

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM COMPUTAÇÃO

**Modelagem e Projeto de Módulos  
Amplificadores e Comparadores em  
Tecnologia CMOS 0,35 $\mu$ m**

por

FERNANDO DA ROCHA PAIXÃO CORTES

Dissertação submetida a avaliação como requisito parcial para a obtenção  
do grau de Mestre em Ciência da Computação

Prof. Dr. Sergio Bampi  
Orientador

Porto Alegre, abril de 2003.

## CIP - CATALOGAÇÃO NA PUBLICAÇÃO

Paixão Cortes, Fernando da Rocha

Modelagem e Projeto de Módulos Amplificadores e Comparadores em Tecnologia CMOS 0,35 $\mu$ m / por Fernando da Rocha Paixão Cortes - Porto Alegre: PPGC da UFRGS, 2003.

124p. : il.

Dissertação (mestrado) - Universidade Federal do Rio Grande do Sul - Programa de Pós-Graduação, Porto Alegre, BR - RS, 2003. Orientador: Bampi, Sergio.

1. Projeto analógico CMOS. 2. Modelamento. 3. Simulação elétrica. 4. Caracterização de parâmetros. 5. Metodologia de projeto. 6. Microeletrônica. I. Bampi, Sergio. II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitora: Prof<sup>a</sup> Wrana Panizzi

Pró-Reitor de Ensino: Prof. José Carlos Ferraz Hennemann

Pró-Reitora Adjunta de Pós-Graduação: Prof<sup>a</sup>. Jocélia Grazia

Diretor do Instituto de Informática: Prof. Philippe Olivier Alexandre Navaux

Coordenador do PPGC: Prof. Carlos Alberto Heuser

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

## Agradecimentos

Ao Prof. Dr. Sergio Bampi, orientador e amigo que sempre esteve a disposição para ajudar, opinar e incentivar durante todo o tempo em que trabalho com ele. Principalmente, pela paciência e por sempre ter acreditado na minha capacidade e potencial.

Aos Profs. Eric Fabris e Luigi Carro (que também foram meus professores durante a graduação em Eng. Elétrica aqui UFRGS) pelo incentivo e suporte que me deram durante o meu Mestrado.

Ao Dr. Jung Hyun Choi, colega, amigo e principal culpado por me fazer querer seguir caminho no nebuloso mundo do Projeto Analógico. Principalmente, pela paciência e força.

Ao colega e grande amigo Juan Pablo Matinez Brito, pelas horas intermináveis tentando decifrar o CADENCE.

Ao colega durante o Mestrado (e agora no Doutorado) e amigo Mestre Alessandro Girardi, com quem trabalhei junto e sempre esteve a disposição para ajudar e opinar no desenvolvimento do meu trabalho.

A todos os colegas do Grupo de Microeletrônica, pelo companheirismo e amizade. Em especial aos grandes amigos Rodrigo Cardoso, Marcos Boschetti, Renato Hentschke, Felipe Marques e Cristiano Lazzari pelo incentivo, pelas conversas, brincadeiras e longas horas de estudo que compartilhamos durante todo este período, tornando-as sempre mais agradáveis.

Aos meus amigos do “coração” que sempre estiveram ao meu lado nos momentos mais difíceis (e bons também). Alessandro, Eduardo, Rodrigo, Cristiane, Patrícia, Sandro, Márcia, Lucas, Hugo, Maurício, Walter, Itamir, Marcelo, Andressa e Angela, podem ter certeza que durante algum momento, durante esta jornada vocês me ajudaram e confortaram de alguma forma.

E, finalmente, um agradecimento muito especial aos meus pais Fernando e Glacy, e a minha maninha Roberta, por tudo que fizeram durante toda a minha vida. Pelo carinho, dedicação, preocupação, amor e por sempre ter acreditado em mim, mesmo quando nem eu acreditava. Esta vitória pertence a vocês também.

## Sumário

<b>Lista de Abreviaturas.....</b>	<b>6</b>
<b>Lista de Símbolos.....</b>	<b>7</b>
<b>Lista de Figuras.....</b>	<b>9</b>
<b>Lista de Tabelas.....</b>	<b>12</b>
<b>Resumo .....</b>	<b>14</b>
<b>Abstract .....</b>	<b>15</b>
<b>1 Introdução.....</b>	<b>16</b>
<b>2 Projeto analógico CMOS .....</b>	<b>18</b>
<b>2.1 Tecnologia CMOS.....</b>	<b>19</b>
2.1.1 Transistor MOS .....	19
2.1.2 Componentes passivos .....	20
<b>2.2 Modelagem do transistor MOS .....</b>	<b>21</b>
2.2.1 Modelo DC (modelo de grandes-sinais).....	22
2.2.2 Modelo AC (modelo de pequenos-sinais).....	24
<b>2.3 Caracterização de parâmetros elétricos do transistor MOS.....</b>	<b>26</b>
2.3.1 Determinação do parâmetro Fator de Inclinação – n.....	27
2.3.2 Determinação do parâmetro Tensão de Early - $V_A$ .....	32
<b>2.4 Conclusão.....</b>	<b>37</b>
<b>3 Análise e projeto de subcircuitos analógicos básicos.....</b>	<b>38</b>
3.1 Transistor de passagem operando como chave - Chave MOS.....	38
3.2 Resistores ativos MOS.....	39
3.3 Espelho de corrente.....	40
3.4 Par diferencial.....	42
3.5 Inversor CMOS.....	42
3.6 Estágio diferencial.....	43
3.6.1 Projeto de um estágio diferencial em tecnologia AMS0.35 $\mu$ m.....	44
3.7 Técnicas de layout analógico .....	47
3.8 Conclusão.....	49
<b>4 Metodologia de projeto baseada na curva <math>g_m/I_D</math> .....</b>	<b>50</b>
4.1 A Curva $g_m/I_D$ .....	51
4.1.1 Curva $g_m/I_D$ analítica.....	51
4.1.2 Curva $g_m/I_D$ simulada .....	52
4.1.3 Curva $g_m/I_D$ : analítica <i>versus</i> simulada .....	53
4.2 Conclusão.....	54
<b>5 Aplicação da metodologia <math>g_m/I_D</math> na análise e projeto de módulos analógicos.....</b>	<b>55</b>
5.1 Amplificador Miller .....	55
5.2 Blocos construtivos de um modulador Sigma-Delta passa-banda .....	59
5.3 Comparador Track-and-Latch .....	61
5.3.1 Comparador.....	61
5.3.2 Latch D 69	
5.3.3 Circuito completo - Comparador + Latch D.....	71
5.4 Filtro GM-C Passa-Banda.....	73
5.4.1 Blocos transdutores construtivos elementares .....	74
5.4.2 Topologia filtro GM-C passa-banda biquad .....	77
5.4.3 Implementação do filtro .....	79

5.5	Conclusão.....	88
6	Conclusões.....	90
Anexo 1	Modelo Spectre BSIM3v3.2.2 para o transistor MOS - Tecnologia AMS0.35 $\mu$ m .....	92
Anexo 2	Arquivo Matlab da extração da curva $g_m/I_D$ AMS0.35 $\mu$ m analítica (Modelo EKV).....	95
Anexo 3	Arquivo Matlab da extração da curva $g_m/I_D$ AMS0.35 $\mu$ m simulada eletricamente.....	96
Anexo 4	Implementação e verificação de módulos analógicos no ambiente CADENCE – Tutorial.....	97
	Bibliografia.....	122

## Lista de Abreviaturas

AC	Alternate Current
A/D	Analógico-Digital
CAD	Computer-Aided Design
CMFB	Common-Mode FeedBack
CMOS	Complementary Metal Oxide Semiconductor
CI	Circuito Integrado
D/A	Digital-Analógico
DC	Direct Current
Eq.	Equação
HPAA	High Performance Analog Array
Max.	Máximo
MF	Margem de Fase
Min.	Mínimo
NMOS	Transistor MOS do tipo N
OTA	Operational Transconductance Amplifier
PMOS	Transistor MOS do tipo P
pot.	Potência
RF	Radio-Frequency
Sat.	Saturação
SR	Slew Rate
tab.	Tabela
VLSI	Very Large Scale Integration

## Lista de Símbolos

$A_v$	Ganho de tensão
B	Terminal substrato ( <i>bulk</i> ) do transistor MOS
$C_{BS}$	Capacitância substrato-fonte
$C_{DS}$	Capacitância dreno-fonte
$C_{GB}$	Capacitância porta-substrato
$C_{GD}$	Capacitância porta-dreno
$C_{GS}$	Capacitância porta-fonte
$C_L$	Capacitância de carga
$C_{ox}$	Capacitância do óxido por unidade de área
D	Terminal dreno ( <i>drain</i> ) do transistor MOS
dB	Decibéis
$f_c$	Frequência Central
$f_{-3dB}$	Frequência de corte
G	Terminal porta ( <i>gate</i> ) do transistor MOS
GBW	Produto Ganho-Faixa
$g_{ds}$	Transcondutância entre dreno e fonte
$g_m$	Transcondutância
GM-C	Transcondutância-C
$g_o$	Condutância de saída
$I_{bias}$	Corrente de polarização
IC	Coefficiente de inversão
$I_D$	Corrente entre dreno e fonte do transistor MOS
$I_{DD}$	Corrente total consumida
$I_s$	Corrente de normalização
K	Constante de Boltzmann's
L	Largura do canal
log	Logaritmo base 10
ln	Logaritmo natural (base e)
n	Fator de Inclinação
$N_{ch}$	Concentração de dopagem do canal
$n_i$	Concentração intrínseca dos portadores (silício)
p	pólo
$P_{diss}$	Potência total dissipada
Q	Fator de qualidade
q	Carga elementar do elétron
$r_o$	Resistência de saída do transistor
$R_{out}$	Resistência de saída do circuito
S	Terminal fonte ( <i>source</i> ) do transistor MOS
$V_A$	Tensão de Early
$V_{BS}$	Tensão substrato-fonte
$V_{bias}$	Tensão de polarização
$V_{CMR}$	Tensão de Modo-Comum
VDD	Tensão de alimentação positiva
$V_{DS}$	Tensão dreno-fonte
$V_{GS}$	Tensão porta-fonte
$V_P$	Tensão de <i>Pinch-off</i>
VSS	Tensão de alimentação negativa

$T_{d_{HL}}$	Atraso em uma porta lógica na transição de saída <i>High</i> $\rightarrow$ <i>Low</i>
$T_{d_{LH}}$	Atraso em uma porta lógica na transição de saída <i>Low</i> $\rightarrow$ <i>High</i>
$T_{ox}$	Espessura de óxido de porta
$V_t$	Tensão de limiar para condução no transistor MOS
$W$	Comprimento do canal
$U_t$	<i>Thermal Voltage</i>
$\Sigma\Delta$	Sigma-Delta
$\lambda$	Efeito de modulação do comprimento do canal
$\infty$	Infinito
$\Omega$	Ohms
$\mu_o$	Mobilidade do canal
$\epsilon_{si}$	Constante dielétrica do silício
$2\phi_F$	Potencial da superfície em inversão forte



## Lista de Figuras

FIGURA 2.1- Fluxo para o projeto analógico CMOS.....	18
FIGURA 2.2 - Estrutura do transistor NMOS .....	19
FIGURA 2.3 - Capacitor Polisilício-Óxido-Polisilício [ALL 02].....	20
FIGURA 2.4 - Resistor Polisilício [ALL 02].....	21
FIGURA 2.5 - Tensões e correntes de polarização para transistores (a) NMOS e (b) PMOS.....	22
FIGURA 2.6 - Características genéricas de tensão e corrente em cada região de operação do transistor NMOS. ....	23
FIGURA 2.7 - Características genéricas de tensão e corrente do transistor NMOS – modelo de inversão fraca .....	24
FIGURA 2.8 - Circuito equivalente de pequenos-sinais para o transistor MOS .....	24
FIGURA 2.9 - Modelo de pequenos-sinais simplificado para o transistor MOS .....	26
FIGURA 2.10 - Definição gráfica do parâmetro fator de inclinação (n).....	27
FIGURA 2.11 - Configuração do transistor NMOS para a obtenção da curva $I_D$ versus $V_G$ .....	29
FIGURA 2.12 - Configuração do transistor NMOS para a obtenção da curva $I_D$ versus $V_S$ .....	30
FIGURA 2.13 - Característica $I_D$ versus $V_S$ do transistor NMOS com o ponto $I_S$ escolhido para se achar se o seu $V_P$ correspondente .....	30
FIGURA 2.14 - Característica $V_P$ versus $V_{GB}$ do transistor NMOS para cada $I_S$ diferente .....	31
FIGURA 2.15 - Relação da VA em função da curva $I_D$ versus $V_{DS}$ do transistor NMOS .....	32
FIGURA 2.16 - Configuração do transistor NMOS para a obtenção da curva $I_D$ versus $V_D$ , para a extração do parâmetro VA.....	33
FIGURA 2.17 - VA em função da variação L e $V_{GB}$ do transistor NMOS - Tecnologia AMS0.35 $\mu$ m .....	33
FIGURA 2.18 - VA em função da variação L e $V_{GB}$ do transistor PMOS - Tecnologia AMS0.35 $\mu$ m .....	34
FIGURA 2.19 - VA em função da variação L e $V_{GB}$ para transistores NMOS de canal curto - Tecnologia AMS0.35 $\mu$ m.....	35
FIGURA 2.20 - VA em função da variação L e $V_{GB}$ para transistores PMOS de canal curto - Tecnologia AMS0.35 $\mu$ m.....	35
FIGURA 2.21 - VA em função da característica $g_m/I_D$ para L diferentes do transistor NMOS - Tecnologia AMS0.35 $\mu$ m.....	36
FIGURA 2.22 - VA em função da característica $g_m/I_D$ para L diferentes do transistor PMOS - Tecnologia AMS0.35 $\mu$ m .....	36
FIGURA 3.1 - Chave CMOS controlada por tensão .....	38
FIGURA 3.2 - Resistor ativo CMOS. (a) NMOS. (b) PMOS .....	39
FIGURA 3.3 - Característica V-I do transistor no modo diodo.....	40
FIGURA 3.4 - Resistor ativo usando um transistor CMOS controlado pela tensão de polarização (VC).....	40
FIGURA 3.5 - Espelho de corrente NMOS.....	41
FIGURA 3.6 - Espelho de corrente NMOS com diversas correntes espelhadas .....	41
FIGURA 3.7 - Par diferencial NMOS.....	42
FIGURA 3.8 - Inversor CMOS: (a) Configuração carga ativa; (b) Configuração <i>Push-Pull</i> .....	43

FIGURA 3.9 - Estágio diferencial CMOS usando par diferencial NMOS .....	43
FIGURA 3.10 - Estágio diferencial CMOS usando par diferencial NMOS a ser implementado .....	44
FIGURA 3.11 - Modelo de pequenos sinais simplificado do estágio diferencial CMOS usando par diferencial NMOS .....	45
FIGURA 3.12 - Par diferencial NMOS e seus terminais .....	47
FIGURA 3.13 - <i>Layout</i> de um par diferencial na configuração centróide comum .....	48
FIGURA 3.14 - <i>Layout</i> de um par diferencial na configuração centróide comum com transistores “quebrados” .....	48
FIGURA 4.1 - Procedimento para o uso da metodologia $g_m/I_D$ .....	51
FIGURA 4.2 - Curva $g_m/I_D$ analítica dos transistores NMOS e PMOS para a tecnologia AMS0.35 $\mu$ m. ....	52
FIGURA 4.3 - Curva $g_m/I_D$ simulada dos transistores NMOS e PMOS para a tecnologia AMS0.35 $\mu$ m. ....	53
FIGURA 4.4 - Curva $g_m/I_D$ : analítica e simulada dos transistores NMOS e PMOS para a tecnologia AMS0.35 $\mu$ m. ....	53
FIGURA 5.1 - Esquemático do amplificador tipo Miller .....	55
FIGURA 5.2 - Modelo de pequenos-sinais simplificado amplificador Miller.....	56
FIGURA 5.3 - <i>Layout</i> do amplificador tipo Miller AMS0.35 $\mu$ m.....	58
FIGURA 5.4 - Diagrama de blocos básico de um modulador $\Sigma\Delta$ .....	60
FIGURA 5.5 - Diagrama de blocos do comparador <i>track-and-latch</i> .....	61
FIGURA 5.6 - Comparador chaveado .....	62
FIGURA 5.7 - Modelo de pequenos-sinais simplificado do comparador.....	63
FIGURA 5.8 - Estágio inversor do comparador.....	63
FIGURA 5.9 - Análise de pequenos sinais simplificado do inverso da figura 5.8 .....	64
FIGURA 5.10 - <i>Layout</i> do Comparador em tecnologia AMS0.35 $\mu$ m .....	66
FIGURA 5.11 - Configuração do ensaio 1 em ambiente Spectre CADENCE - Comparador .....	67
FIGURA 5.12 - Comportamento da corrente do transistor M5 (Itail) na versão esquemático do comparador.....	67
FIGURA 5.13 - Configuração do ensaio 2 em ambiente Spectre CADENCE - Comparador .....	68
FIGURA 5.14 - Configuração do ensaio 3 em ambiente Spectre CADENCE - Comparador .....	69
FIGURA 5.15 - Esquemático em portas lógicas do circuito Latch D .....	69
FIGURA 5.16 - <i>Layout</i> do circuito Latch D em tecnologia AMS0.35 $\mu$ m.....	70
FIGURA 5.17 - <i>Layout</i> do circuito comparador <i>track-and-latch</i> em tecnologia AMS0.35 $\mu$ m .....	71
FIGURA 5.18 - Configuração do ensaio do circuito total em ambiente Spectre CADENCE .....	72
FIGURA 5.19 - Formas de onda das tensões In+ (tensão senoidal de entrada), Vo+_ext (saída do estágio comparador -layout/extraído) e Q_ext (saída final do comparador após o Latch) obtida via simulação elétrica Spectre do circuito Comparador + Latch D.....	72
FIGURA 5.20 - Símbolo do bloco básico transcondutor: (a) circuito <i>single-ended</i> ; (b) circuito diferencial.....	73
FIGURA 5.21 - Resistor aterrado simulado com um transcondutor: (a) circuito <i>single- ended</i> ; (b) circuito diferencial.....	74
FIGURA 5.22 - Integrador GM-C: (a) circuito <i>single-ended</i> ; (b) circuito diferencial... 75	75

FIGURA 5.23 - Conversão de capacitores em circuitos diferenciais.....	75
FIGURA 5.24 - Indutor aterrado simulado com um transcondutor: (a) circuito <i>single-ended</i> ; (b) circuito diferencial.....	76
FIGURA 5.25 - Filtro passa-banda RLC passivo.....	77
FIGURA 5.26 - Topologia filtro GM-C passa-banda diferencial <i>biquad</i> .....	77
FIGURA 5.27 - Topologia filtro GM-C passa-banda diferencial, obtida a partir da configuração <i>biquad</i> .....	78
FIGURA 5.28 - OTA com estágio amplificador diferencial e CMFB .....	79
FIGURA 5.29 - Esquemático do filtro passa-banda implementado em ambiente CADENCE Spectre .....	81
FIGURA 5.30 - Resultados de simulação em frequência do filtro passa-banda implementado.....	82
FIGURA 5.31 - Estágio par diferencial: corrente de saída não é linear em relação a tensão de entrada .....	83
FIGURA 5.32 - Estágio par diferencial linearizado .....	83
FIGURA 5.33 - OTA com estágio amplificador diferencial linearizado e CMFB .....	84
FIGURA 5.34 - Esquemático do filtro passa-banda com Fc ajustável implementado em ambiente CADENCE Spectre.....	86
FIGURA 5.35 - <i>Layout</i> do filtro passa-banda com Fc ajustável implementado em ambiente CADENCE Spectre – Área total de 121 x 163 $\mu\text{m}^2$ . .....	86
FIGURA 5.36 - Resultados de simulação para ajuste de frequência do filtro passa-banda implementado – Versão esquemático. ....	87
FIGURA 5.37 - Resultados de simulação para ajuste de frequência do filtro passa-banda implementado – Versão <i>layout</i> extraído. ....	87

## Lista de Tabelas

TABELA 2.1 - Valores típicos dos elementos passivos para a tecnologia AMS0.35 $\mu$ m.	21
TABELA 2.2 - Definição dos parâmetros do modelo analítico simplificado de transistores de canal longo para se calcular a corrente do transistor MOS	22
TABELA 2.3 - Equações simplificadas para ID em cada região de operação do transistor MOS	23
TABELA 2.4- Definição dos parâmetros de trancondutância do modelo de pequenos-sinais do transistor MOS	25
TABELA 2.5 - Capacitâncias do modelo de pequenos-sinais do transistor MOS	26
TABELA 2.6 - Parâmetros de processo da tecnologia AMS0.35 $\mu$ m - Modelo SPECTRE BSIM3v3.2.2	27
TABELA 2.7 - Valores extraídos de n para a tecnologia AMS0.35 $\mu$ m – Método Analítico	28
TABELA 2.8 - Valores extraídos de n para a tecnologia AMS0.35 $\mu$ m – Método curva $g_m/I_D$	29
TABELA 2.9 - Valores extraídos de n e Vto para a tecnologia AMS0.35 $\mu$ m, transistor NMOS - Método variação da tensão de <i>pinch-off</i> ( $V_P$ )	31
TABELA 2.10 - Valores extraídos de n e Vto para a tecnologia AMS0.35 $\mu$ m, transistor PMOS - Método variação da tensão de <i>pinch-off</i> ( $V_P$ )	31
TABELA 2.11 - Valores extraídos de VA para a tecnologia AMS0.35 $\mu$ m - Transistor NMOS	33
TABELA 2.12 - Valores extraídos de VA para a tecnologia AMS0.35 $\mu$ m - Transistor PMOS	34
TABELA 3.1 - Cálculo da resistência obtida de um transistor a partir da região de operação do transistor.	40
TABELA 3.2 - Equações que modelam o comportamento DC do estágio diferencial	45
TABELA 3.3 - Equações que modelam o comportamento AC do estágio diferencial	45
TABELA 3.4 - Dimensões dos transistores – Estágio diferencial	46
TABELA 3.5 - Resultados de performance do Estágio diferencial calculados e simulados	47
TABELA 5.1 - Equações que modelam o comportamento amplificador Miller	56
TABELA 5.2 - Dimensões dos transistores - Amplificador Miller	57
TABELA 5.3 - Resultados de performance do Amplificador Miller calculados e simulados	57
TABELA 5.4 - Comparação das dimensões dos transistores calculados via metodologia convencional e $g_m/I_D$ - Amplificador Miller	58
TABELA 5.5 - Comparação de resultados de performance simulados do Amplificador Miller com metodologia convencional e $g_m/I_D$	59
TABELA 5.6 - Dimensões dos transistores – Comparador	65
TABELA 5.7 - Resultados de simulação para o ensaio 1 – Comparador	67
TABELA 5.8 - Resultados de simulação para o ensaio 2 – Comparador	68
TABELA 5.9 - Resultados de simulação para o ensaio 3 – Comparador	69
TABELA 5.10 - Dimensões dos transistores – Latch D	70
TABELA 5.11 - Resultados de simulação do layout do circuito Latch D, F = 10MHz – CL= 10pF, Área = 50 x 52 $\mu$ m <sup>2</sup>	71
TABELA 5.12 - Dimensões dos transistores – Amplificador diferencial	80

TABELA 5.13 - Resultados de simulação elétrica Spectre – Amplificador diferencial	81
TABELA 5.14 - Resultados de performance do filtro, obtidos pelas simulações elétricas Spectre.....	82
TABELA 5.15 - Dimensões dos transistores – Amplificador diferencial linearizado ...	85
TABELA 5.16 - Resultados de simulação elétrica Spectre – Amplificador diferencial linearizado .....	85
TABELA 5.17 - Resultados de performance do filtro passa-banda com $F_c$ ajustável, obtidos pelas simulações elétricas Spectre.....	88

## Resumo

Diferente do projeto de sistemas digitais, no qual as técnicas de projeto e ferramentas CAD vêm apresentando uma crescente evolução acompanhada da redução de seus preços, o projeto de sistemas analógicos CMOS ainda apresenta uma forte correlação com a experiência do projetista. Dentro deste contexto, importantes fatores como caracterização de tecnologia, modelamento de dispositivos e metodologia de projeto devem ser considerados.

Este trabalho apresenta um estudo destes importantes fatores necessários para se realizar o projeto de um sistema analógico com menor custo, bom desempenho e reduzido tempo de projeto. Primeiramente, é necessária uma extensa caracterização da tecnologia CMOS a ser usada, onde os parâmetros que descrevem as características elétricas dos dispositivos são obtidos. A partir desta caracterização e das especificações requeridas para o circuito, é feita uma modelagem e síntese a fim de se obter as dimensões dos transistores. Ferramentas para a análise do desempenho elétrico são utilizadas a seguir, antes de se realizar a descrição geométrica (*layout*) do circuito. Com o *layout* pronto, uma nova simulação elétrica é feita incluindo os efeitos geométricos, incluindo-se os parasitas R, C e L extraídos do *layout*. Se os resultados forem satisfatórios, o circuito está pronto para fabricação; havendo degradação do desempenho esperado, uma nova iteração de projeto é realizada.

Mais especificamente, este trabalho ilustra o processo de análise de vários circuitos analógicos, assim como as características de cada circuito em questão, empregando diferentes metodologias de projeto. Uma metodologia de projeto convencional, baseada em modelos onde se obtém uma equação explícita para a corrente válida na região de operação de saturação do transistor, e uma metodologia de projeto baseada na característica  $g_m/I_D$  do transistor, que apresenta uma síntese unificada, considerando todas as regiões de operação do transistor MOS.

Os circuitos a serem analisados e projetados neste trabalho são blocos considerados básicos para construção da maioria dos sistemas analógicos usados atualmente, como, por exemplo, Moduladores Sigma-Delta. Tais blocos são amplificadores, comparadores e filtros analógicos. A metodologia de projeto, baseada em parâmetros do modelo elétrico, é apresentada, enfatizando a característica  $g_m/I_D$  do transistor. Simulações elétricas serão realizadas (esquemático e *layout* extraído) para cada bloco, validando-se o projeto para as especificações requeridas.

**Palavras-chave:** Projeto analógico CMOS, modelamento, simulação elétrica, caracterização de parâmetros, metodologia de projeto, microeletrônica.

TITLE: “ANALYSIS AND DESIGN OF AMPLIFIERS AND COMPARATORS  
MODULES IN CMOS 0.35 $\mu\text{m}$  TECHNOLOGY”

## Abstract

Design techniques and CAD tools for digital systems are advancing rapidly at decreasing cost, while CMOS analog circuit design is related mostly with the individual experience and background of the designer. Therefore, the design of an analog circuit depends on several factors such as a reliable design methodology, good modeling and circuit fabrication technology characterization.

This work presents a study of these factors that allow an analog system to be designed with high quality and performance at low cost, in a reasonable design time. First, an extensive characterization of the technology must be developed, where all the parameters that describe the electrical properties of the device are obtained. When this task is complete, an extensive analysis and modeling is made, transforming specifications into circuits with the transistor dimensions calculated. This leads to another important task – using electrical simulation to predict the performance of the circuit. Once the performance goals are satisfied, the designer is faced with the task of geometrical description (layout) of the circuit. Once the layout is finished, it is necessary to include the geometrical effects in a post-extraction simulation. If the results are satisfactory, the circuit is ready for fabrication. In case the specifications are not met, new design iteration must be undertaken.

Most of this work focuses on the analysis of several analog circuits, including their functionality, using different design methodologies. A “conventional” design methodology, based on the modeling where a current equation is obtained considering that the transistor is in the saturation region, and a design methodology based on the  $g_m/I_D$  characteristic, that allows a unified synthesis methodology in all regions of operation of the transistor.

The analog circuits to be analyzed and designed in this work are basic building blocks (amplifiers, comparators and analog filters) that find vast applications today, including an application of interest - Sigma-Delta Modulators. The design methodology based on the  $g_m/I_D$  characteristic, and the electrical device parameters related to them, are exercised in this work. In order to demonstrate this analysis, electrical simulations (schematic and extracted layout) of performance will be obtained for each block.

**Keywords:** CMOS analog circuit design, modeling, electrical simulation, technology characterization, design methodology.

# 1 Introdução

Um dos principais fatores na evolução no projeto de sistemas VLSI (*Very Large Scale Integration*) é a tecnologia de integração de circuitos que permite a realização e construção de sistemas cada vez mais velozes e complexos.

Hoje é visível uma crescente digitalização dos sistemas, porém os circuitos analógicos não podem ser totalmente substituídos. Todas as grandezas físicas na natureza são analógicas, fazendo-se necessária alguma forma de transformar sinais analógicos em digitais e vice-versa. Muitas vezes, o processamento de um sinal por um circuito analógico é mais econômico e eficiente do que o seu equivalente digital. Exemplos dessa economia podem ser encontrados em aplicações onde a frequência de operação é alta, inviabilizando sua implementação digital com sinal amostrado, ou em aplicações de baixa potência.

Atualmente, circuitos integrados analógicos em tecnologia MOS (*Metal Oxide Semiconductor*) vêm sendo largamente utilizados em diversas aplicações. Além de possuir uma alta densidade de integração, esta tecnologia fornece uma alta confiabilidade e desempenho com um baixo consumo de potência. Reconhecendo estas características únicas presentes em circuitos MOS, os projetistas analógicos vêm buscando a integração da parte digital com a parte analógica (projeto misto) em uma mesma pastilha de silício visando combinar as vantagens de ambos os lados, o que também aumenta a complexidade do projeto.

Diferente do projeto de sistemas digitais onde as técnicas e ferramentas CAD (*Computer-Aided Design*) vêm apresentando uma crescente evolução acompanhada da redução de seus preços, o projeto de circuitos analógicos ainda apresenta uma forte correlação com experiência do projetista. O projetista deve entender profundamente aspectos importantes de projeto, como características de processo e tecnologia, a fim de modelar, caracterizar, implementar e testar os seus circuitos.

Dentro deste contexto, o modelamento de dispositivos semicondutores constitui um aspecto importante no projeto de um sistema analógico, pois de forma abstrata tem-se o objetivo de emular o comportamento elétrico de um dispositivo real durante a fase de projeto. Portanto, o modelamento e a caracterização de dispositivos MOS são áreas de constante pesquisa, tanto acadêmica quanto industrial. Muitas ferramentas computacionais têm sido desenvolvidas para estudar as características do transistor MOS e emular o desempenho de circuitos formados por este dispositivo. Atualmente são utilizados simuladores de circuitos tais como o Spice, que adotam modelos compactos para a emulação do diversos dispositivos. Estes simuladores tornaram-se importantes na análise do desempenho elétrico de sistemas analógicos, alcançando uma posição de destaque no projeto VLSI.

Entretanto, o projetista de circuitos integrados analógicos deve considerar que o resultado da análise feita pelo simulador é tão aproximada quanto os modelos utilizados. Além dos modelos apresentarem imperfeições, existe uma inadequação dos parâmetros do modelo fornecido pelas *foundries*, por exemplo. Também as novas tecnologias de fabricação determinaram a necessidade de modelos capazes de simular efeitos elétricos relacionados à geometria reduzida (canal curto e estreito), já que os modelos que simulavam transistores MOS de canal longo tornaram-se inadequados para dispositivos de geometria reduzida. Além disso, as aplicações de circuitos analógicos e digitais em baixa tensão requerem modelos capazes de simular dispositivos MOS que operam na região de condução sub-limiar.



Outro importante fator que o projetista analógico deve considerar é a metodologia de projeto a ser usada, ou seja, dadas as especificações desejadas, o cálculo da geometria dos transistores (W/L) dos blocos a partir de modelos analíticos que emulem o comportamento do bloco a ser implementado. A maioria dos métodos para síntese de circuitos analógicos geralmente considera que os transistores MOS operam em inversão forte ou em inversão fraca, o que muitas vezes não é uma boa solução para se obter resultados de um bom desempenho.

Diversos trabalhos desenvolvidos no Grupo de Microeletrônica da UFRGS como [CHO 94] [CHO 2001] apresentam a análise de diversos sistemas analógicos utilizando metodologias de projeto diferentes. Porém, viu-se a necessidade de um estudo focando as técnicas de análise e projeto de blocos analógicos básicos, considerando aspectos importantes como modelagem, caracterização e cálculo das dimensões dos transistores.

Este trabalho tem como objetivo o estudo de técnicas de projeto e modelagem a fim de se obter um projeto de um circuito analógico com menor custo, bom desempenho e reduzido tempo de projeto. Serão discutidos os passos considerados essenciais para se obter um sistema analógico confiável: primeiramente, uma extensa caracterização da tecnologia a ser usada deve ser feita, onde os parâmetros que descrevem as características particulares dos dispositivos são obtidos; a partir desta caracterização e das especificações requeridas para o circuito é feita uma modelagem e síntese a fim de se obter a dimensão dos transistores; a seguir usam-se ferramentas para a análise do desempenho elétrico do circuito; após isto, é feita sua descrição geométrica (*layout*); com o *layout* pronto, uma nova simulação elétrica é feita, incluindo os efeitos geométricos (parasitas extraídos do *layout*). Com todos estes passos feitos, se os resultados forem satisfatórios, o circuito está pronto para fabricação (havendo degradação do desempenho esperado, uma nova iteração de projeto deve ser realizada).

Os circuitos a serem analisados são blocos considerados básicos para construção da maioria dos sistemas analógicos usados atualmente, mais precisamente visando Moduladores Sigma-Delta – amplificadores, comparadores e filtros analógicos. Toda esta análise será baseada na tecnologia AMS0.35 $\mu\text{m}$ , uma tecnologia de canal curto recente disponível para o uso acadêmico.

O texto desta dissertação está organizado da seguinte maneira:

No capítulo 2 é discutido com mais detalhe o projeto analógico CMOS, analisando suas características de tecnologia, modelagem do transistor e caracterização de parâmetros de tecnologia.

O capítulo 3 ilustra o processo de análise de vários subcircuitos analógicos, assim como as características de cada bloco em questão, empregando uma metodologia de projeto convencional baseada nos modelos desenvolvidos anteriormente.

O capítulo 4 apresenta uma metodologia de projeto baseada na característica  $g_m/I_D$  do transistor, uma metodologia de síntese unificada considerando todas as regiões de operação do transistor MOS.

O capítulo 5 é dedicado à análise e projeto de módulos amplificadores e comparadores. Os projetos serão baseados nas análises contidas nos capítulos anteriores. Simulações elétricas serão realizadas para cada bloco, para a validação do projeto e obtenção das características elétricas.

## 2 Projeto analógico CMOS

O objetivo do projetista analógico é transformar um conjunto de especificações em circuitos que satisfaçam estas especificações, tanto com seus esquemáticos, *netlists* e *layouts*. Isto resulta em uma tarefa muitas vezes complexa, pois o projeto de circuitos analógicos ainda apresenta uma forte correlação com a experiência do projetista. Esta correlação está vinculada tanto aos conhecimentos específicos de projeto como ao uso dos modelos de simulação existentes, assim como ao conhecimento de sua tecnologia.

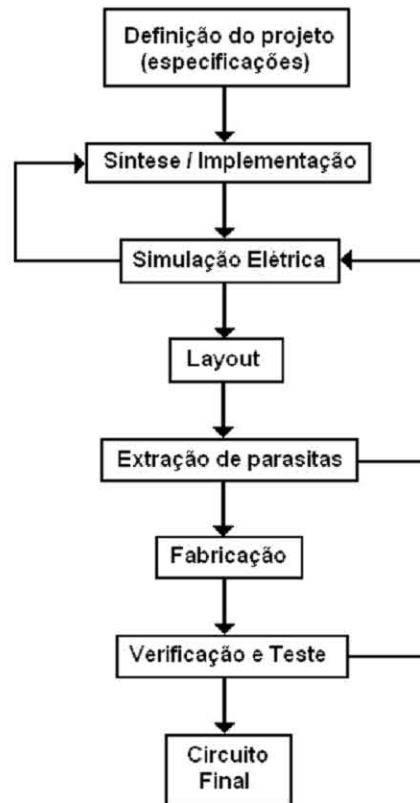


FIGURA 2.1- Fluxo para o projeto analógico CMOS

A figura 2.1 ilustra uma aproximação geral dos passos necessários para o projeto analógico CMOS baseado em [ALL 2002]. O projetista é responsável por todos estes passos exceto a fabricação. Porém, o envolvimento do projetista somente é requerido na fase de teste dos protótipos da primeira fabricação. O teste de CIs em produção é tarefa diferenciada, que em muito é apoiada pelas técnicas de testabilidade ou DFT (*design for testability*).

Primeiramente, uma extensa caracterização da tecnologia a ser usada deve ser feita, onde os parâmetros que descrevem as características particulares dos dispositivos são obtidos. A partir desta caracterização e das especificações requeridas para o circuito é feita uma modelagem e síntese a fim de se obter a dimensão dos transistores. A seguir, são usadas ferramentas para a análise do desempenho elétrico do circuito (simuladores elétricos, como Spice), onde o projetista deve realizar uma iteração usando os resultados de simulação a fim de melhorar o desempenho do circuito. Com a performance desejada satisfeita, é feita a sua descrição geométrica (*layout*). Com os dados do *layout*, uma

nova simulação elétrica é feita incluindo os efeitos geométricos (os parasitas R, L e C extraídos do *layout*). Depois de todos estes passos, se os resultados forem satisfatórios, o circuito está pronto para fabricação. Senão, uma nova iteração de projeto deve ser realizada.

O objetivo deste capítulo é discutir brevemente sobre o projeto de circuitos integrados analógicos CMOS. Serão detalhadas as características importantes necessárias ao projetista analógico a fim de se obter um modelo analítico confiável que emule o comportamento do dispositivo: conhecimento da tecnologia CMOS, modelagem do transistor, e caracterização de parâmetros de tecnologia.

## 2.1 Tecnologia CMOS

Atualmente a tecnologia CMOS (*Complementary Metal Oxide Semiconductor*) é bastante difundida na indústria, sendo usada tanto em circuitos analógicos como circuitos digitais, devido em grande parte à possibilidade que se obter circuitos com grande densidade, permitindo a realização e construção de sistemas cada vez mais velozes e complexos.

A tecnologia de semicondutores é baseada em vários passos de processos físico-químicos bem definidos e caracterizados. Portanto decidiu-se, nesta seção, focar-se na análise dos principais dispositivos usados no projeto analógico em tecnologia CMOS: o transistor MOS e os componentes passivos.

### 2.1.1 Transistor MOS

Aqui é descrito de maneira sucinta o comportamento do transistor MOS, baseado em [ALL 2002] [MUL 96] [RAB 96]. Esta análise é feita para o transistor NMOS (canal tipo N, de enriquecimento, e substrato P), mas pode ser estendida ao transistor PMOS.

A estrutura básica do transistor é mostrada na figura 2.2. Esta estrutura é composta por um substrato de material semiconductor tipo P (BULK) no qual foram difundidas duas regiões de material fortemente dopado (N+) chamadas fonte (SOURCE) e dreno (DRAIN). A região entre o dreno e a fonte é coberta por uma camada fina de óxido sobre a qual é colocado o eletrodo de porta (GATE) feito de metal ou de polisilício com alta dopagem e baixa resistividade.

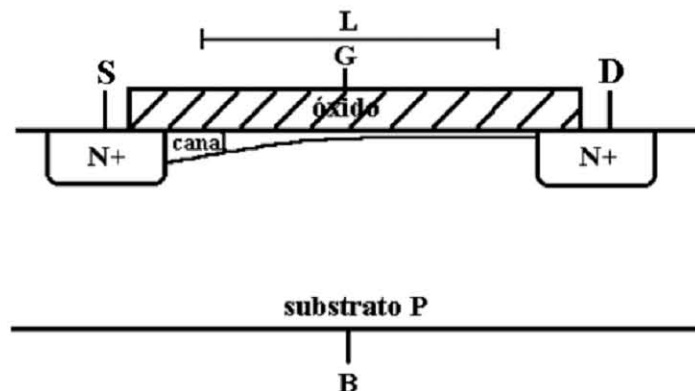


FIGURA 2.2 - Estrutura do transistor NMOS

Ao se aplicar uma tensão entre a porta e o substrato, induz-se um campo elétrico vertical que repele da superfície os portadores majoritários (lacunas) e atrai os portadores minoritários (elétrons). Isto causa a formação na superfície de uma camada fina de elétrons chamada de canal. No modo normal de operação do transistor MOS, uma vez que os portadores que formam o canal são móveis, os mesmos podem fluir da fonte ao dreno, produzindo uma corrente de condução quando presente uma tensão dreno-fonte ( $V_{DS}$ ).

Em transistores NMOS, o potencial de dreno é maior que o potencial de fonte, e em transistores PMOS, o potencial de fonte é maior que o potencial de dreno. A tensão porta-fonte ( $V_{GS}$ ) determina a concentração de portadores no lado S (fonte) do canal; a tensão de porta correspondente quando a corrente no canal se torna significativa é chamada de *threshold voltage* (ou tensão de limiar)  $V_t$ . Se  $V_{GS}$  é maior que  $V_t$ , a corrente  $I_{DS}$  percorre o transistor do dreno para a fonte (canal).

As características de corrente *versus* tensão para  $V_{GS} > V_t$  podem ser divididas em duas regiões: a região linear e a região de saturação. Na região linear as características de transferência de corrente são lineares em relação a  $V_{DS}$ , enquanto na região de saturação  $I_{DS}$  não depende de  $V_{DS}$ . Também existe a região próxima a  $V_{GS} = V_t$  onde a corrente depende exponencialmente de  $V_{GS}$ , esta é a região de inversão fraca.

### 2.1.2 Componentes passivos

Nesta seção são examinados rapidamente os componentes passivos que são compatíveis com o processo de fabricação usados para se construir um circuito CMOS. O estudo aqui compreende os componentes passivos capacitores e resistores [ALL 2002]. No projeto de circuitos analógicos integrados, capacitores estão sempre presentes.

Existem basicamente dois tipos de capacitores em tecnologia CMOS. Uma maneira de se obter um capacitor é usando uma camada de condutor (metal ou polisilício) sobre o silício cristalino separados por um dielétrico (óxido de campo). O segundo tipo de capacitor é formado por duas camadas condutoras (como metal ou polisilício) separadas por um dielétrico. Geralmente estas duas camadas são separadas por óxido fino. A figura 2.3 mostra o exemplo da implementação de um capacitor com duas camadas de polisilício separadas por um dielétrico.

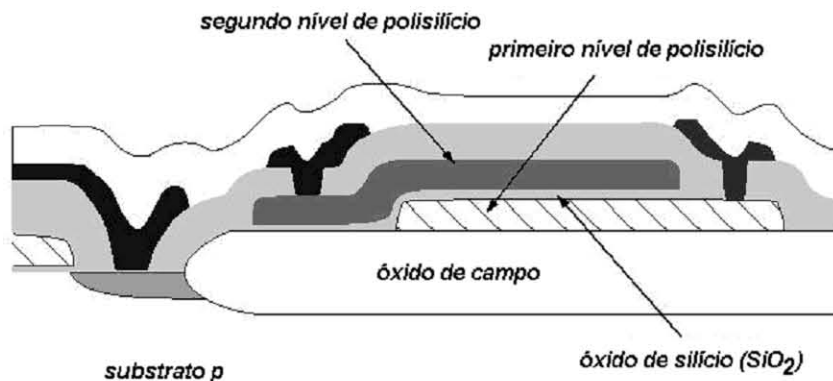


FIGURA 2.3 - Capacitor Polisilício-Óxido-Polisilício [ALL 02]

Outro componente passivo usado em projeto analógico CMOS é o resistor. Os resistores compatíveis em tecnologia CMOS mais comuns incluem os tipos difusão e polisilício. O resistor tipo difusão é implementado usando regiões de difusão fonte/dreno, produzindo valores de resistência entre 10 a 100 ohms/quadrado. Já o resistor tipo polisilício, mostrado na figura 2.4, é formado por uma camada de polisilício que é rodeada por uma fina camada de óxido, produzindo um resistor com parasitas bem menores e independente da polarização.

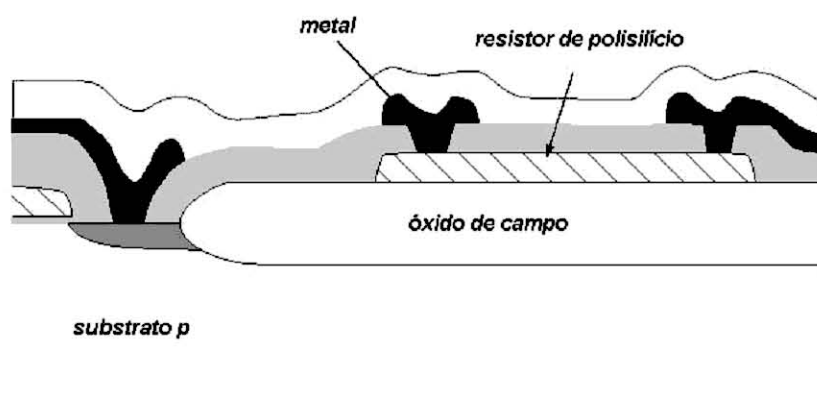


FIGURA 2.4 - Resistor Polisilício [ALL 02]

A tabela 2.1 apresenta alguns valores típicos dos elementos passivos discutidos acima para a tecnologia AMS0.35 $\mu\text{m}$ , como, por exemplo, as capacitâncias parasitas do polisilício ao substrato.

TABELA 2.1 - Valores típicos dos elementos passivos para a tecnologia AMS0.35 $\mu\text{m}$ .

Tipo de Componente	Valores
Capacitor poly-poly	0,78 – 0,96 fF/ $\mu\text{m}^2$
Capacitor poly-well	0,099 – 0,119 fF/ $\mu\text{m}^2$
Resistor poly	40 – 60 $\Omega/\square$
Resistor difusão	60 – 100 $\Omega/\square$

## 2.2 Modelagem do transistor MOS

A principal função do projeto analógico é prever e verificar a performance do circuito ou sistema. Esta função é alcançada através do uso de modelos elétricos que emulam o funcionamento destes circuitos, em particular o comportamento das correntes e cargas como função das tensões terminais do dispositivo ( $I(V)$  e  $Q(V)$ ). Segundo [ALL 02], modelagem é definido como o processo em que as propriedades elétricas de um dispositivo semiconductor (ou um grupo de dispositivos interconectados) são representadas por equações matemáticas, representação de circuitos ou tabelas.

A seguir será descrito e analisado um modelo simples (ordem zero – inversão forte) baseado em [ALL 2002] e [LAK 94] que modela a operação do transistor MOS. A análise será feita para o transistor NMOS, mas pode ser estendida ao transistor PMOS.

### 2.2.1 Modelo DC (modelo de grandes-sinais)

A principal aplicação para o modelo DC é prever o comportamento em grandes-sinais do transistor. Neste comportamento inclui-se a polarização (*biasing*) dos transistores, ou seja, os valores DC das correntes do dispositivo. A figura 2.5 mostra o sentido das tensões e correntes de polarização do transistor MOS.

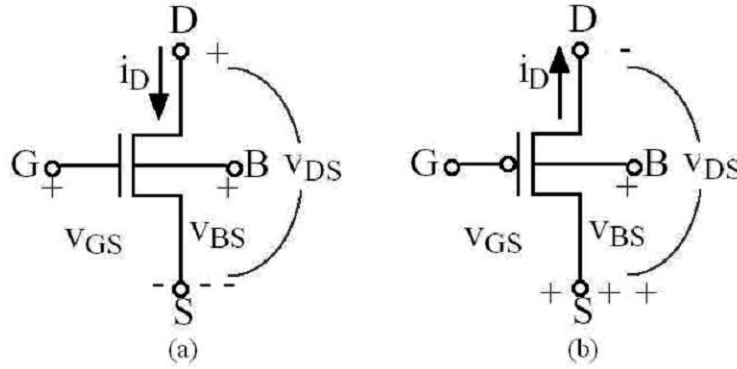


FIGURA 2.5 - Tensões e correntes de polarização para transistores (a) NMOS e (b) PMOS

Pode se obter, então, um modelo simplificado para se calcular a corrente do transistor MOS baseado em [ALL 2002] e [LAK 94], usado em simuladores elétricos como Spice quando se especifica o nível mais simples de modelagem do transistor (nível 1), resultando na equação 2.1. Os parâmetros são definidos na tabela 2.2.

$$I_D = \frac{\mu\sigma \cdot C_{ox}}{n} \cdot \frac{W}{L} \cdot \left[ (V_{GS} - V_t) - \frac{V_{DS}}{2} \right] \cdot V_{DS} \cdot (1 + \lambda \cdot V_{DS}) \quad (\text{Eq. 0.1})$$

TABELA 2.2 - Definição dos parâmetros do modelo analítico simplificado de transistores de canal longo para se calcular a corrente do transistor MOS

Parâmetro	Descrição
$\mu\sigma$	Mobilidade do canal
$C_{ox} = \epsilon\sigma/t_{ox}$	Capacitância do óxido por unidade de área
W	Largura do canal
L	Comprimento do canal
$\lambda$	Efeito de modulação do comprimento do canal
Vt	Tensão de limiar ( <i>threshold voltage</i> )
n	Fator de inclinação ( <i>slope factor</i> )
$2\phi_F$	Potencial da superfície em inversão forte

A partir da equação 2.1 podem-se identificar as regiões de operação do transistor MOS. Estas regiões de operação dependem do valor de  $V_{GS} - V_t$ . Se  $V_{GS} - V_t$  é zero ou negativa o transistor está na região de corte. A segunda região ocorre quando  $V_{DS}$  é maior de  $V_{DSsat} = (V_{GS} - V_t)$ , ou seja, a corrente  $I_D$  se torna fracamente dependente de  $V_{DS}$ , portanto o transistor está na região de saturação. Se  $V_{DS}$  é menor que  $V_{DSsat}$ , o transistor está na região não-saturada (linear).

Portanto, a partir da equação 2.1 e desprezando o efeito de modulação do canal, podem-se obter equações simplificadas para  $I_D$  em cada região de operação do transistor, como mostra a tabela 2.3. A figura 2.6 ilustra as características de tensão e corrente em cada região de operação do transistor MOS.

TABELA 2.3 - Equações simplificadas para  $I_D$  em cada região de operação do transistor MOS

Região de Corte	$I_D = 0, V_{GS} - V_t < 0$
Região não-saturada (região linear)	$I_D = \frac{\mu_0 \cdot C_{ox}}{2 \cdot n} \cdot \frac{W}{L} \cdot [2 \cdot (V_{GS} - V_t) - V_{DS}] \cdot V_{DS}$ $0 < V_{DS} < V_{GS} - V_t$
Região de Saturação	$I_D = \frac{\mu_0 \cdot C_{ox}}{2 \cdot n} \cdot \frac{W}{L} \cdot (V_{GS} - V_t)^2$ $0 < V_{GS} - V_t < V_{DS}$

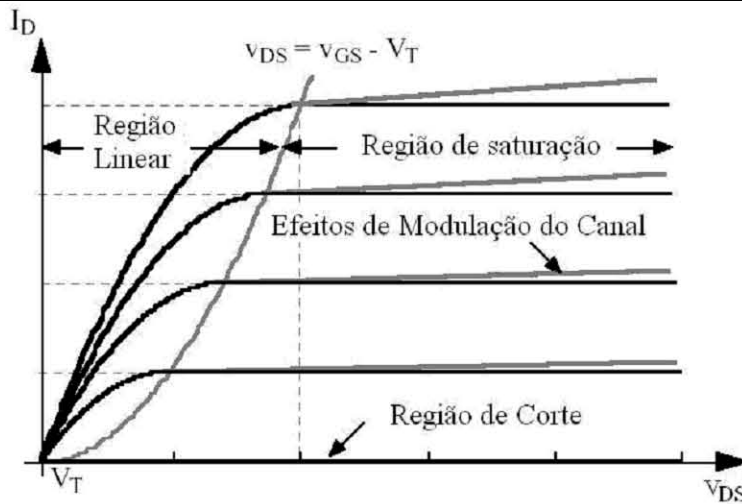


FIGURA 2.6 - Características genéricas de tensão e corrente em cada região de operação do transistor NMOS.

As características mostradas anteriormente estão relacionadas à operação do transistor em inversão forte, ou seja, onde os valores de  $I_D$  e  $V_{GS}$  são grandes e o potencial de superfície é maior que  $2\phi_F$ . Entretanto para valores de  $I_D$  pequenos,  $V_{GS}$  é um pouco maior que  $V_t$  (e em alguns casos até menor), ou seja, o transistor está na região de inversão fraca. A figura 2.7 ilustra esta característica, onde se tem o gráfico do  $\log(I_D)$  versus  $V_{GS}$ . Abaixo da tensão de limiar, a corrente diminui exponencialmente até obter-se um valor pequeno ( $I_{OFF}$ ) para  $V_{GS} = 0$ , o que caracteriza a região de inversão fraca.

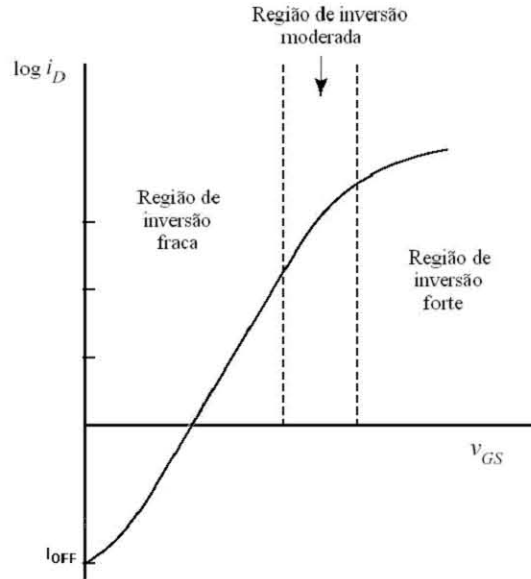


FIGURA 2.7 - Características genéricas de tensão e corrente do transistor NMOS – modelo de inversão fraca

### 2.2.2 Modelo AC (modelo de pequenos-sinais)

Com os pontos de polarização definidos, um modelo de pequenos-sinais pode ser usado para se determinar as características de pequenos-sinais. O modelo de pequenos-sinais é um modelo linear que ajuda a simplificar alguns cálculos, somente válido nas regiões de operação onde as tensões e correntes de grandes-sinais podem ser representadas por uma linha reta, ou seja, quando são lineares. Portanto, a fim de ser avaliado a resposta de ganho, por exemplo, de um estágio de um circuito analógico, são usados modelos de pequenos-sinais. A figura 2.8 mostra circuito equivalente de pequenos-sinais para o transistor MOS. Todos os parâmetros do modelo de pequenos-sinais estão relacionados com os parâmetros de grandes-sinais e tensões de polarização assumidas constantes naquele ponto de polarização. Os resistores  $r_D$  e  $r_S$  representam a resistência ôhmica de dreno e fonte, respectivamente.

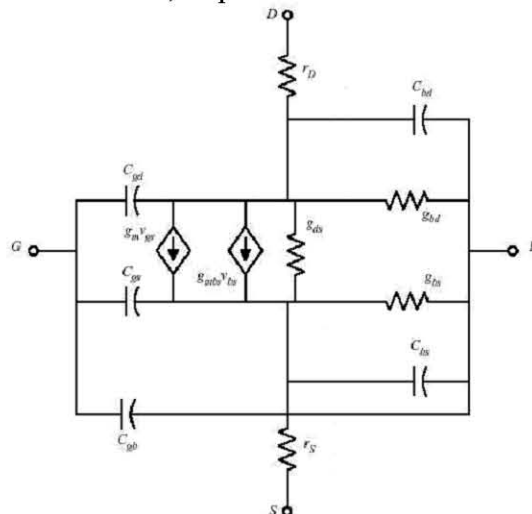


FIGURA 2.8 - Circuito equivalente de pequenos-sinais para o transistor MOS



A seguir pretende-se descrever cada um destes parâmetros, considerando sempre o transistor na região de saturação.

### 2.2.2.1 Transcondutâncias

A relação entre corrente e tensão no modelo de pequenos-sinais é dada pela variação (derivada) de  $I$  em relação a  $V$  do transistor, a chamada transcondutância. No modelo de pequenos sinais podem ser identificados três tipos de transcondutâncias:  $g_m$ ,  $g_{mb}$  e  $g_o$ . Estes parâmetros são definidos na tabela 2.4.

A transcondutância  $g_m$  é dada pela variação de  $I_D$  em relação a  $V_{GS}$ , que fornece a razão entre a corrente de saída e a tensão de entrada do transistor, ou seja, fornece a função de transferência do transistor.

A transcondutância de substrato  $g_{mb}$  representa a relação da tensão  $V_{BS}$  e a corrente  $I_D$  do transistor.

A transcondutância de saída  $g_{ds}$  ( $g_o$ ) fornece a resistência de saída do transistor, ou seja,  $g_o = 1/r_o$ . Isto é resultado do efeito de diminuição do comprimento do canal por  $V_{DS}$ . Isto faz com que a corrente aumente lentamente em função do aumento de  $V_{DS}$ , como se pode notar na figura 2.6. Como se pode ver na tabela 2.4, a resistência de saída do transistor ( $1/g_{ds}$ ) depende inversamente do parâmetro  $\lambda$ , que por sua vez depende diretamente do comprimento do canal  $L$ .

TABELA 2.4- Definição dos parâmetros de transcondutância do modelo de pequenos-sinais do transistor MOS

Parâmetro	Definição	Cálculo do valor em relação à corrente DC e/ou Tensão DC
$g_m$	$\frac{\partial I_D}{\partial V_{GS}}$	$\sqrt{2 \cdot \frac{\mu_o \cdot Cox}{n} \cdot \frac{W}{L} \cdot  I_D }$
$g_{mbs}$	$\frac{\partial I_D}{\partial V_{BS}}$	$\frac{\frac{\mu_o \cdot Cox}{n} \cdot \frac{W}{L} \cdot \lambda \cdot (V_{GS} - V_t)}{2 \cdot (2 \cdot  \phi F  + V_{SB})^{\frac{1}{2}}}$
$g_{ds}$	$\frac{\partial I_D}{\partial V_{DS}}$	$g_o = \frac{I_D \cdot \lambda}{1 + \lambda \cdot V_{DS}} \cong I_D \cdot \lambda$

### 2.2.2.2 Capacitâncias

Com circuitos operando cada vez mais em altas frequências, a estimativa das capacitâncias parasitas se tornam importantes para o projeto analógico, e devem ser adicionadas no modelo de pequenos sinais. Aqui a análise focará as capacitâncias internas do transistor MOS, desconsiderando as capacitâncias de interconexões dos dispositivos.

As capacitâncias internas do transistor MOS são listadas na tabela 2.5. A capacitância de cada terminal do transistor  $C_{GS}$ ,  $C_{GD}$ ,  $C_{GB}$ ,  $C_{DB}$  e  $C_{SB}$  são determinadas através de parâmetros de capacitância internos do transistor.  $C_{GDO}$  é a capacitância de *overlap* entre porta e dreno,  $C_{GBO}$  é a capacitância de *overlap* entre porta e substrato,

$C_J$  é a capacitância de junção entre substrato e dreno e  $C_{JSW}$  a é a capacitância de junção *side wall* entre fonte e dreno.

TABELA 2.5 - Capacitâncias do modelo de pequenos-sinais do transistor MOS

Capacitância	Definição
$C_{GS}$	$\frac{2}{3} \cdot W \cdot L \cdot C_{ox}$
$C_{GD}$	$CGDO \cdot W$
$C_{GB}$	$CGBO \cdot L$
$C_{DB}$	$CJ \cdot AD + CJSW \cdot PD$
$C_{SB}$	$CJ \cdot AS + CJSW \cdot PS$

### 2.2.2.3 Modelo de pequenos-sinais simplificado

A fim de simplificar os cálculos para a avaliação da resposta de um estágio de um circuito analógico, pode-se obter um modelo simplificado de pequenos-sinais considerando a transcondutância  $g_m$  e a resistência de saída  $r_o$ , mostrado na figura 2.9. Em pequenos sinais ou tensão AC,  $V_{GS}$  controla a corrente  $I_D$  por meio de uma fonte de corrente controlada com valor de  $g_m \cdot V_{GS}$ .

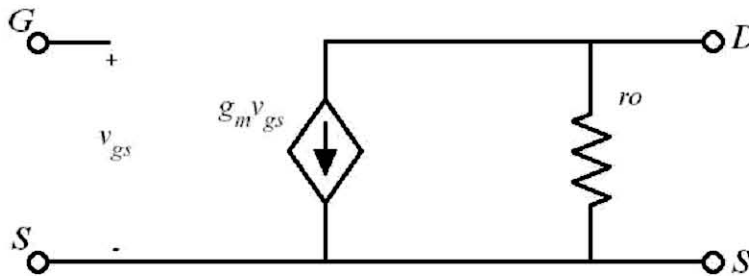


FIGURA 2.9 - Modelo de pequenos-sinais simplificado para o transistor MOS

## 2.3 Caracterização de parâmetros elétricos do transistor MOS

Na seção anterior foi apresentado um modelo que emula o transistor MOS na região de inversão forte, sob várias condições de funcionamento de acordo com seus terminais (S, G, D, B). Entretanto, antes de qualquer modelo ser usado, é importante que os parâmetros que descrevem características particulares de um dado dispositivo sejam conhecidos. Portanto, antes que o projeto comece, os dispositivos a serem usados devem ser caracterizados para que se obtenha um modelo com seus parâmetros devidamente determinados. Como geralmente os parâmetros de tecnologia não são totalmente fornecidos pelas *foundries* para todos os modelos, é necessário que o próprio projetista caracterize os dispositivos físicos a serem usados, através de medidas elétricas.

Como ainda não se possui dispositivos físicos (transistores de teste) para a caracterização na tecnologia aqui em uso, AMS0.35 $\mu$ m, a solução encontrada foi o uso de simulações elétricas com o modelo elétrico disponível, o modelo BSIM3v3.2.2 [LIU 99]. Primeiramente, vários parâmetros da tecnologia AMS0.35 $\mu$ m podem ser obtidos diretamente do modelo Spectre BSIM3v3.2.2. A tabela 2.6 mostra a relação destes parâmetros de tecnologia.

TABELA 2.6 - Parâmetros de processo da tecnologia AMS0.35um - Modelo SPECTRE BSIM3v3.2.2

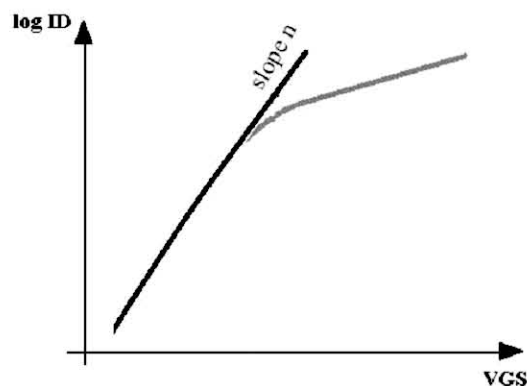
Parâmetro	Descrição	Valor		Unidade
		NMOS	PMOS	
$N_{ch}$	Concentração de dopagem do canal	$2,31e+17$	$1,03e+17$	$1/cm^3$
$\mu_o$	Mobilidade do canal	403,5	129,6	$cm^2/Vs$
$T_{ox}$	Espessura de óxido de porta	$7,700e-07$	$7,700e-07$	cm
$C_{ox}$	Capacitância do óxido	$4,48e-7$	$4,48e-7$	$F/cm^2$
$V_{to}$	Tensão de limiar @ $V_{bs} = 0$	0,465	-0,617	V
CGD0	Capacitância de <i>overlap</i> entre porta e dreno por unidade de comprimento de canal	$2,1e-10$	$1,9e-10$	F/m
CGB0	Capacitância de <i>overlap</i> entre porta e substrato por unidade de comprimento de canal	$2,1e-10$	$1,9e-10$	F/m

Observando-se a equação 2.1 (do modelo de ordem zero apresentado), dois parâmetros importantes para o cálculo da corrente  $I_D$  do transistor, o fator de inclinação  $n$  (*slope factor*) e  $V_A$  (tensão de Early, que é inversamente proporcional ao parâmetro  $\lambda$ ) devem ser conhecidos. Porém, estes parâmetros não são fornecidos, pois o modelo elétrico BSIM3v3 possui equações para estes parâmetros que dependem de outros parâmetros característicos do modelo.

A seguir serão descritos os processos de obtenção destes parâmetros através de métodos gráficos e numéricos desenvolvidos em [CUN 96] [GOM 95] [PAI 2001].

### 2.3.1 Determinação do parâmetro Fator de Inclinação – $n$

A fim de se calcular corretamente a corrente de polarização ( $I_D$ ) do transistor, é necessário levar em consideração o parâmetro chamado de fator de inclinação  $n$  (*slope factor*). Este parâmetro é interpretado como a inclinação da curva  $\log(I_D)$  versus  $V_{GS}$  na região de inversão fraca, como é ilustrado na figura 2.10. Portanto, fica clara a importância deste parâmetro para o projeto analógico.

FIGURA 2.10 - Definição gráfica do parâmetro fator de inclinação ( $n$ )

São abordados três métodos para a obtenção do valor de  $n$  para a tecnologia AMS0.35 $\mu m$ . O primeiro é uma aproximação inicial usando uma equação matemática,

o segundo a partir da curva  $g_m/I_D$  característica desta tecnologia, e o terceiro através da variação da tensão de *pinch-off* (VP) baseado no modelo elétrico EKV [ENZ 97]. A seguir serão descritos os três métodos.

### 2.3.1.1 Método 1 – Analítico

O primeiro método pode fornecer uma aproximação inicial de  $n$ , usando a seguinte relação baseada em [MUL 86]

$$n = 1 + \frac{Cd}{Cox} \quad (\text{Eq. 0.2})$$

A capacitância do óxido por unidade de área ( $Cox$ ) pode ser obtida diretamente da tabela 2.6, e a capacitância de depleção ( $Cd$ ) é obtida a partir das equações 2.3, 2.4, e 2.5 (todos os parâmetros usados nestas equações estão listados na tabela 2.6, onde  $Nb$  – dopagem do substrato – é aproximada pelo valor de  $Nch$ ). A tabela 2.7 mostra os valores obtidos de  $n$  utilizando este método.

$$Cd = \frac{\epsilon_{si}}{Xd} \quad (\text{Eq. 0.3})$$

$$Xd = \sqrt{\frac{2 \cdot \epsilon_{si} \cdot (2\Phi_f)}{q \cdot Nb}} \quad (\text{Eq. 0.4})$$

$$2\Phi_f = \frac{2 \cdot K \cdot T}{q} \cdot \ln\left(\frac{Nb}{n_i}\right) \quad (\text{Eq. 0.5})$$

TABELA 2.7 - Valores extraídos de  $n$  para a tecnologia AMS0.35um – Método Analítico

	NMOS	PMOS
$n$	1,335	1,134

### 2.3.1.2 Método 2 - Característica $g_m/I_D$ do transistor

Este método leva em consideração a característica  $g_m/I_D$  *versus*  $I_D/(W/L)$  do transistor. Foi seguido o seguinte procedimento (que será melhor detalhado no próximo capítulo):

- a curva  $I_D$  *versus*  $V_G$ , com  $V_D = 3,3V$  e  $V_B = V_S = 0V$  é obtida via simulação elétrica Spectre de um transistor NMOS de  $W/L=1$  ( $W=10\mu m$ ,  $L=10\mu m$ ), de acordo com a configuração mostrada na figura 2.11;
- é calculado  $\ln(I_D)$  de cada ponto;
- é calculada a derivada de  $\ln(I_D)$  em relação a  $V_G$  para cada ponto;
- é plotado  $g_m/I_D \times I_D/(W/L)$ ;
- o mesmo procedimento é repetido para o transistor PMOS de  $W/L=1$ , com as tensões de polarização invertidas.

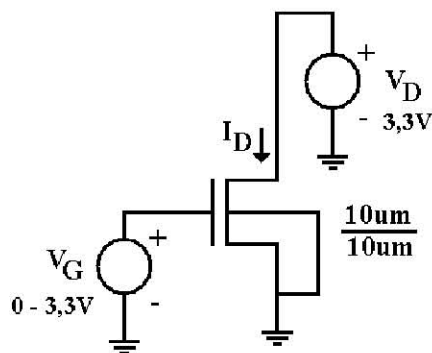


FIGURA 2.11 - Configuração do transistor NMOS para a obtenção da curva  $I_D$  versus  $V_G$

O Valor de  $g_m/I_D$  é máximo na região de inversão fraca, onde é igual a  $1/(nUt)$ , portanto pode-se obter o valor de  $n$ . A tabela 2.8 mostra os valores máximos obtidos de  $g_m/I_D$ , e conseqüentemente de  $n$ .

TABELA 2.8 - Valores extraídos de  $n$  para a tecnologia AMS0.35um – Método curva  $g_m/I_D$

	NMOS	PMOS
$g_m/I_D(\text{máx})$	29,75	30,06
$n$	1,29	1,28

### 2.3.1.3 Método 3 – Variação da tensão de pinch-off ( $V_P$ )

Este método é baseado em [CUN 96], levando em consideração uma outra interpretação ao fator de inclinação  $n$ . Pode-se considerar o parâmetro equivalente ao inverso da derivada de  $V_P$  em relação a  $V_{GB}$ . A tensão de *pinch-off* ( $V_P$ ) é definida como a tensão de canal no limite entre a região de inversão fraca e a região de inversão forte [ENZ 97]. Portanto, pode-se obter a seguinte relação

$$V_P \cong \frac{1}{n} \cdot (V_G - V_{to}) \quad (\text{Eq. 0.6})$$

$V_P$  é obtido a partir das características “porta-comum”, curvas obtidas através do procedimento descrito a seguir. A partir deste método os valores do parâmetro tensão de limiar para  $V_{bs} = 0$  ( $V_{to}$ ) também podem ser obtidos.

Foi realizado o seguinte procedimento:

- a curva  $I_D \times V_S$  com  $V_G = V_D = (0,7 - 0,8 - 0,9 - 1 - 1,5 - 2 - 2,5 - 2,8 - 3)$  V e  $V_B = 0$  V é obtida via simulação elétrica Spectre de um transistor NMOS de  $W/L=1$  ( $W=10\mu\text{m}$ ,  $L=10\mu\text{m}$ ), de acordo com a configuração mostrada na figura 2.12;
- calcula-se o ponto da corrente de normalização ( $I_s = 2 \cdot n \cdot \beta \cdot Ut^2$ , usando uma primeira aproximação para  $n$ ) da curva
- Para cada valor de  $I_s$  e  $V_{GS}$ , acha-se a tensão  $V_P$  correspondente;
- é plotado  $V_P \times V_{GB}$ ;
- valor de  $n$  é obtido através da derivada da  $V_P \times V_{GB}$ ;
- valor de  $V_{to}$  é obtido através do ponto da curva em que  $V_P = 0$ ;

- o mesmo procedimento é repetido, variando-se o valor de  $I_S$ , a fim de se observar a variação dos valores de  $n$  e  $V_{to}$  obtidos em função da variação de  $I_S$ ;
- todo o procedimento é repetido para o transistor PMOS de  $W/L=1$ , com as tensões de polarização invertidas.

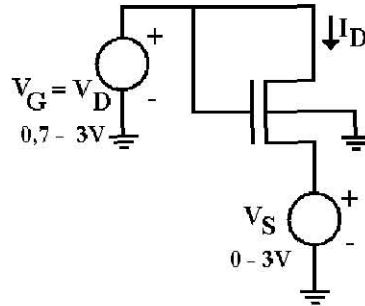


FIGURA 2.12 - Configuração do transistor NMOS para a obtenção da curva  $I_D$  versus  $V_S$

A tabelas 2.9 e 2.10 mostra os valores obtidos de  $n$  e  $V_{to}$ , para cada ponto de  $I_S$  escolhido. A figura 2.13 mostra a curva  $I_D$  versus  $V_S$  para o transistor NMOS, com o ponto  $I_S$  escolhido para se achar se a tensão  $V_P$  correspondente. Já a figura 2.14 mostra a característica  $V_P$  versus  $V_{GB}$  do transistor, onde se obtêm os valores de  $n$  (derivada da curva) e  $V_{to}$  (ponto em que  $V_P$  é nulo).

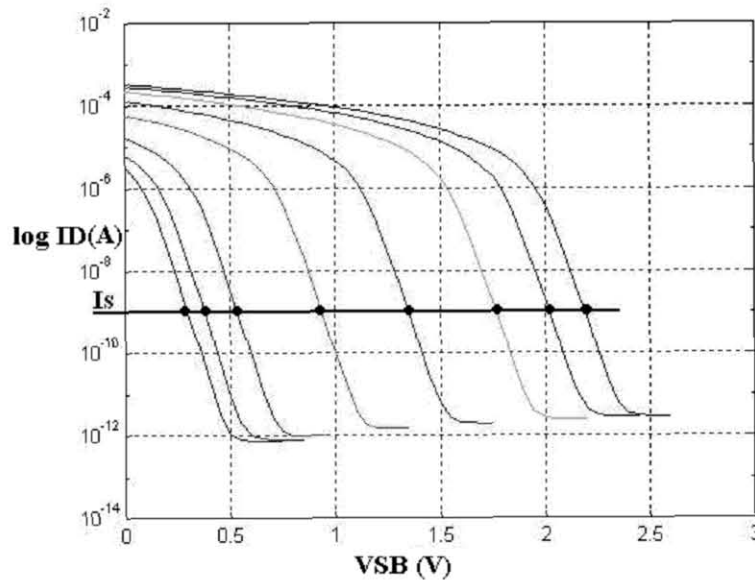


FIGURA 2.13 - Característica  $I_D$  versus  $V_S$  do transistor NMOS com o ponto  $I_S$  escolhido para se achar se o seu  $V_P$  correspondente

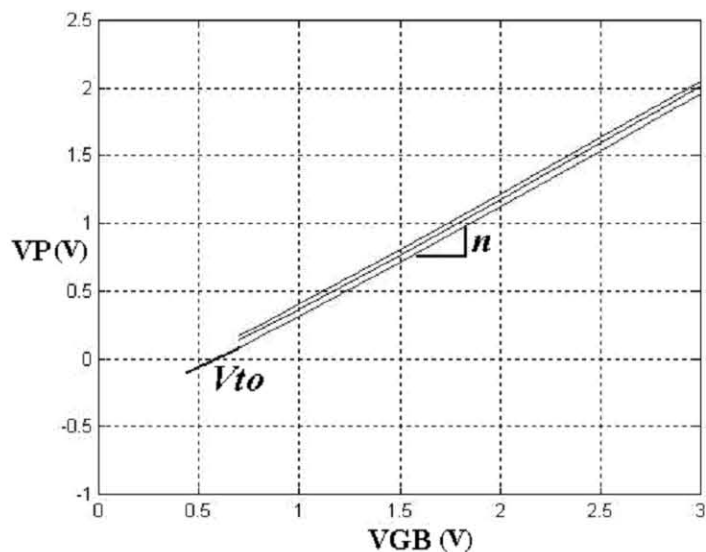


FIGURA 2.14 - Característica  $V_p$  versus  $V_{GB}$  do transistor NMOS para cada  $I_s$  diferente

TABELA 2.9 - Valores extraídos de  $n$  e  $V_{to}$  para a tecnologia AMS0.35 $\mu$ m, transistor NMOS - Método variação da tensão de *pinch-off* ( $V_p$ )

$I_s$ (A)	$n$	$V_{to}$ (V)
100n	1,221	0,502
296n	1,224	0,545
1000n	1,226	0,612

TABELA 2.10 - Valores extraídos de  $n$  e  $V_{to}$  para a tecnologia AMS0.35 $\mu$ m, transistor PMOS - Método variação da tensão de *pinch-off* ( $V_p$ )

$I_s$ (A)	$n$	$V_{to}$ (V)
-10n	1,1704	-0,565
-91.19n	1,1733	-0,667
-200n	1,1737	-0,705

#### 2.3.1.4 Comparação entre os métodos

Os valores de  $n$  estimados pelos três métodos diferem bastante. O primeiro método (analítico) não é confiável pelo fato de que a dopagem Nb (ou Nch) é bastante uniforme nas tecnologias CMOS atuais. O parâmetro Nb neste caso é um parâmetro de ajuste de corrente em regimes de condução não informados ao projetista.

O segundo método, baseado na curva  $g_m/I_D$  versus  $I_D/(W/L)$ , também não fornece uma estimativa correta, pois considera o valor máximo de  $g_m/I_D$  na região de inversão fraca, onde o transistor geralmente não está em operação durante o funcionamento de circuitos analógicos.

O terceiro método é o mais aplicável ao projeto, por resultar em um valor de  $n$  razoavelmente constante nas regiões de inversão fraca e moderada.

### 2.3.2 Determinação do parâmetro Tensão de Early - VA

O parâmetro Tensão de Early (VA) é a tensão por unidade de comprimento do canal fazendo uma analogia à tensão de Early do transistor bipolar [LAK 94] (em alguns modelos, como o Spice nível 1, o parâmetro  $\lambda$  emula este efeito, onde  $VA=1/\lambda$ ). Este parâmetro é essencial para o projeto analógico CMOS, pois a resistência de saída do transistor depende diretamente deste parâmetro, que por sua vez está extremamente ligado ao comprimento do canal (L) do transistor. De acordo com a definição de  $g_{ds}$  (seção 3.2.2.1), pode-se obter a seguinte relação

$$r_o = \frac{VA}{I_D} \quad (\text{Eq. 0.7})$$

Geralmente, os estágios de ganho de um amplificador CMOS dependem diretamente da resistência de saída dos transistores que o compõem, portanto, é necessário se obter valores confiáveis deste parâmetro.

Considerando que o parâmetro VA depende do efeito de diminuição do comprimento do canal por  $V_{DS}$ , ou seja, o efeito em que a corrente aumenta lentamente em função do aumento de  $V_{DS}$ , pode-se obter o valor de VA a partir da curva  $I_D$  versus  $V_{DS}$  do transistor MOS, como mostra a figura 2.15.

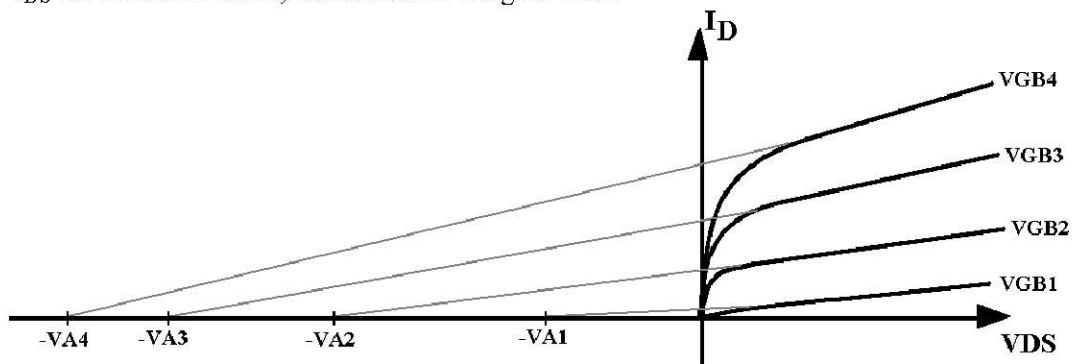


FIGURA 2.15 - Relação da VA em função da curva  $I_D$  versus  $V_{DS}$  do transistor NMOS

Portando, para a obtenção dos valores de VA para a tecnologia AMS0.35 $\mu\text{m}$ , foi seguido o seguinte procedimento:

- a curva  $I_D \times V_{DS}$ , com  $V_G = (0,7 - 1 - 1,5 - 2 - 3) \text{ V}$  e  $V_B = V_S = 0 \text{ V}$  é obtida via simulação elétrica Spectre de um transistor NMOS de  $W=10\mu\text{m}$  para L diferentes (1 - 1,5 - 2 - 2,5 - 5 - 7,5 - 10)  $\mu\text{m}$ , de acordo com a configuração mostrada na figura 2.16;
- o valor de VA é extraído para cada valor de L e  $V_{GB}$  através do método ilustrado na figura 2.13;
- o mesmo procedimento é repetido para o transistor PMOS com as tensões de polarização invertidas.



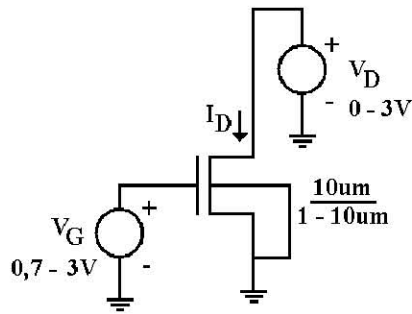


FIGURA 2.16 - Configuração do transistor NMOS para a obtenção da curva  $I_D$  versus  $V_D$ , para a extração do parâmetro  $V_A$

As tabelas 2.11 e 2.12 mostram os valores obtidos, através do método descrito, de tensão de Early para a tecnologia AMS0.35 $\mu$ m para os transistores NMOS e PMOS, respectivamente. Observando-se os resultados fica clara a dependência de  $V_A$  em relação ao comprimento do canal do transistor, assim como a sua tensão  $V_{GB}$ . As figuras 2.17 e 2.18 ilustram melhor a relação linear da variação da tensão de Early em função da variação  $L$  e  $V_{GB}$ .

TABELA 2.11 - Valores extraídos de  $V_A$  para a tecnologia AMS0.35 $\mu$ m - Transistor NMOS

$V_{GB}$ (V)	$V_A$ (V)				
	0.7	1	1.5	2	3
$L$ ( $\mu$ m)					
1	45,72	79,22	110,3	116,6	129,5
1.5	61,14	104,6	142,7	149,2	159,6
2	69,54	120,5	168,4	177,4	178,8
2.5	75,84	132,5	187,9	205,2	204,1
5	96,05	171,02	258,3	286,6	297,3
7.5	110,7	190,1	297,4	350,1	357,8
10	121,8	209,9	330,8	381,5	426,2

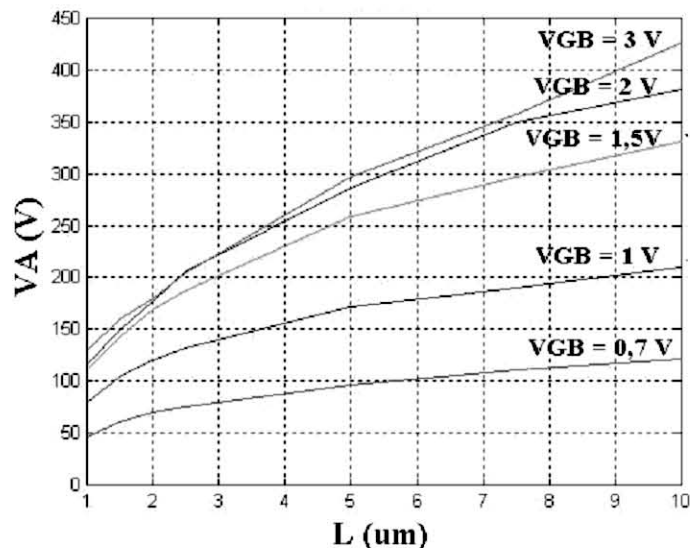
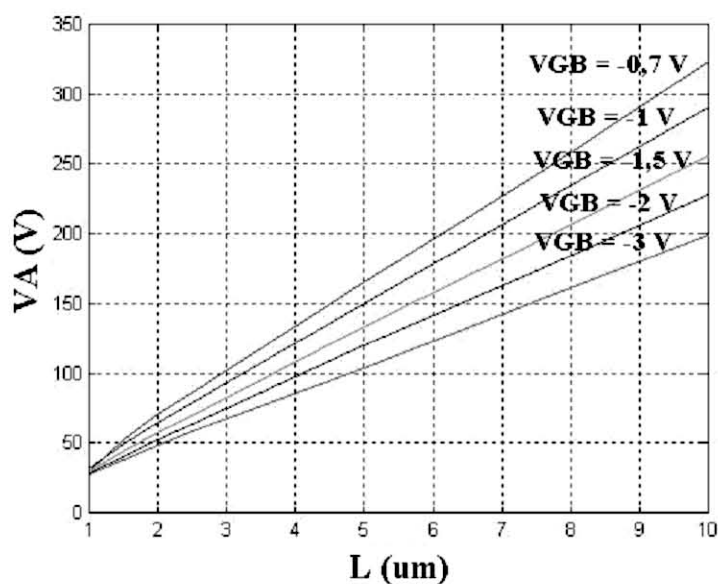


FIGURA 2.17 -  $V_A$  em função da variação  $L$  e  $V_{GB}$  do transistor NMOS - Tecnologia AMS0.35 $\mu$ m

TABELA 2.12 - Valores extraídos de VA para a tecnologia AMS0.35µm - Transistor PMOS

		VA (V)				
$V_{GB}$ (V)		-0.7	-1	-1.5	-2	-3
L (µm)						
1		25,66	31,33	30,21	28,31	27,55
1.5		52,51	49,41	44,17	40,48	38,24
2		70,84	64,3	57,16	51,98	48,06
2.5		86,57	78,65	69,81	63,57	57,99
5		165,6	150,3	133	119,8	103,9
7.5		242,5	221,1	193,5	173,2	151,5
10		322,9	290,1	255,6	227,4	198,9

FIGURA 2.18 - VA em função da variação L e  $V_{GB}$  do transistor PMOS - Tecnologia AMS0.35µm

A partir destas curvas, pode-se obter as seguintes relações para a tensão de Early para esta tecnologia

$$VA \propto L \quad (\text{Eq. 0.8})$$

$$VA = f(V_{GB}) \quad (\text{Eq. 0.9})$$

Também foram caracterizados (da mesma maneira descrita anteriormente) transistores de canal curto ( $L = 0,3 - 0,5 - 0,8 \mu\text{m}$ ) desta tecnologia. As figuras 2.19 e 2.20 ilustram a relação da variação da tensão de Early em função da variação L e  $V_{GB}$  para transistores de canal curto. Observa-se que a variação de VA não é mais linear, efeito bem mais presente no transistor PMOS, caracterizando os efeitos de canal curto do transistor nesta tecnologia (lembrando que as simulações são feitas com o modelo BSIM3v3.2.2).

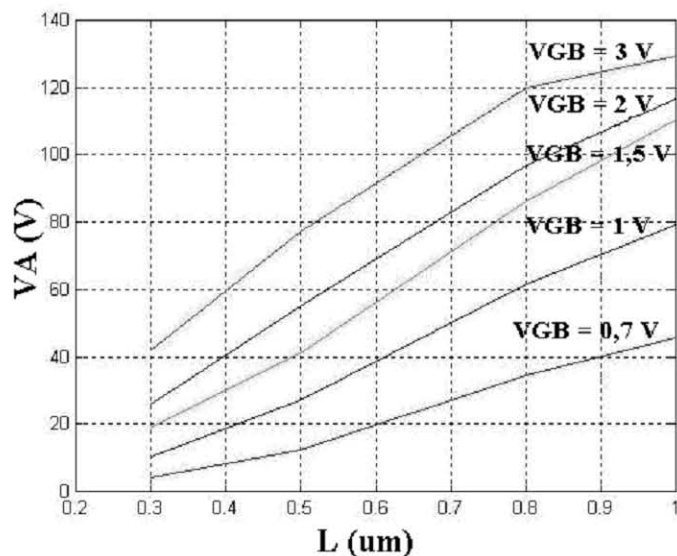


FIGURA 2.19 - VA em função da variação  $L$  e  $V_{GB}$  para transistores NMOS de canal curto - Tecnologia AMS0.35 $\mu\text{m}$

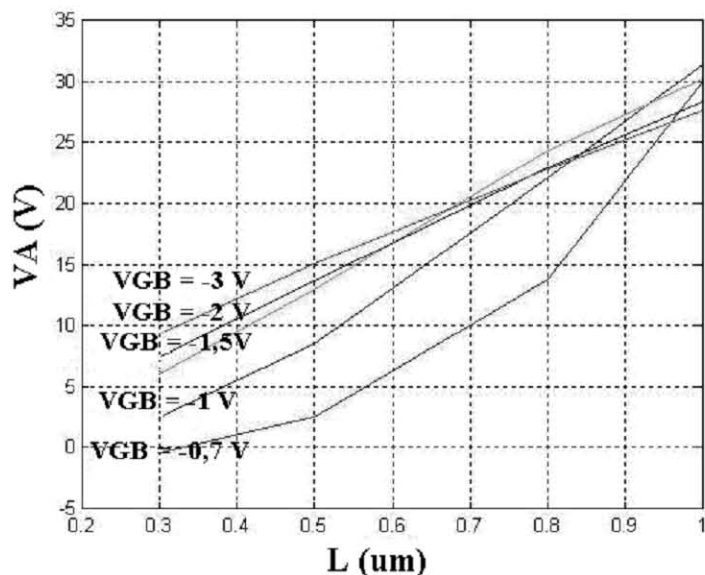


FIGURA 2.20 - VA em função da variação  $L$  e  $V_{GB}$  para transistores PMOS de canal curto - Tecnologia AMS0.35 $\mu\text{m}$

Muitas vezes o projetista escolhe a região de operação do transistor a ser usado e a partir daí escolhe seu tamanho, e, conseqüentemente, seu VA. Portanto, é interessante ao projetista o conhecimento da variação de VA em relação à região de operação do transistor. As figuras 2.21 e 2.22 ilustram a relação da variação da tensão de Early em função da variação da característica  $g_m/I_D$  do transistor para diversos comprimentos de canal diferentes. Portanto, pode-se obter uma curva de VA *versus* a característica universal de  $g_m/I_D$  (que será mais detalhada no capítulo 4) para ser explorada durante o projeto, onde as dimensões dos transistores são desconhecidas.

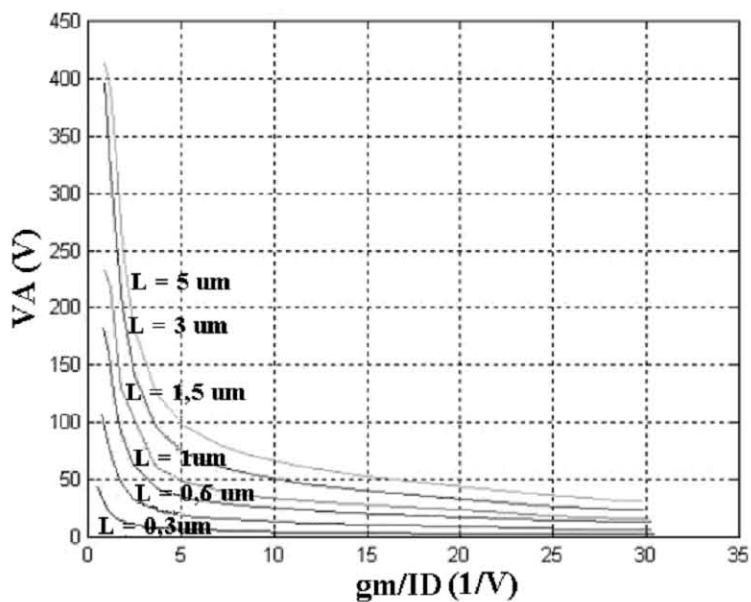


FIGURA 2.21 -  $V_A$  em função da característica  $g_m/I_D$  para  $L$  diferentes do transistor NMOS - Tecnologia AMS0.35 $\mu m$

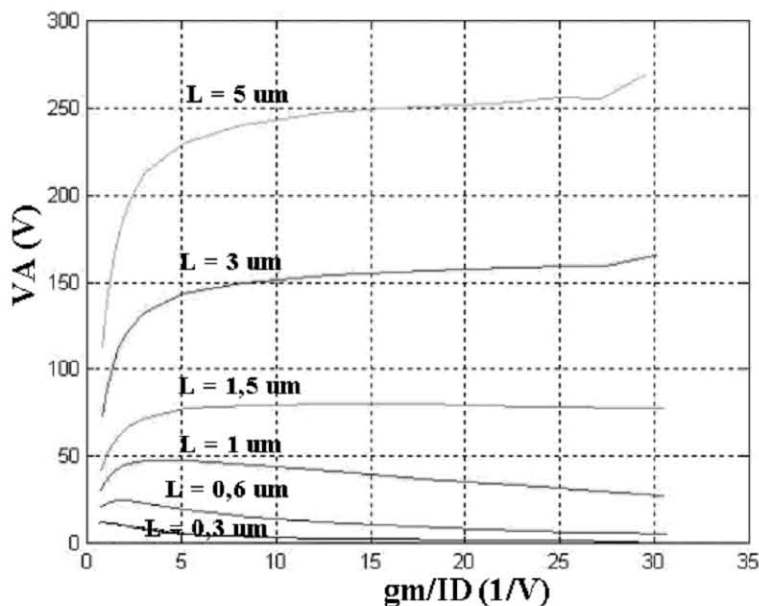


FIGURA 2.22 -  $V_A$  em função da característica  $g_m/I_D$  para  $L$  diferentes do transistor PMOS - Tecnologia AMS0.35 $\mu m$

Os dados obtidos nesta seção resultam numa poderosa ferramenta para o projetista, pois dá mais liberdade na escolha do comprimento do canal ( $L$ ) do transistor de acordo com a região de operação do transistor, a fim de se obter, por exemplo, estágios de ganho para amplificadores. Com o  $(W/L)$  do transistor conhecido, o projetista pode escolher o  $L$  de acordo com o  $V_A$  requerido.

## 2.4 Conclusão

A análise feita neste capítulo é muito importante no projeto de circuitos analógicos. A partir do conhecimento da tecnologia a ser usada, uma modelagem confiável do dispositivo e caracterização dos parâmetros de tecnologia deste dispositivo, o projetista é capaz de prever o comportamento do circuito a ser implementado.

Primeiramente, foi feita a análise do principal dispositivo usado no projeto analógico em tecnologia CMOS: o transistor MOS. Foi analisado um modelo simplificado para se calcular a corrente do transistor MOS usado em modelos SPICE nível 1, e a partir disto foi desenvolvido a modelagem AC e DC do transistor MOS, que emulam o funcionamento deste dispositivo.

A partir desta modelagem, os parâmetros de tecnologia que descrevem as características particulares do transistor MOS. A maioria dos parâmetros foi obtida a partir do modelo elétrico disponível, o modelo BSIM3v3.2.2. Também foram descritos os processos de obtenção de dois parâmetros muito importantes para o projeto analógico,  $n$  (fator de inclinação) e  $V_A$  (tensão de Early).

Foram usados três métodos para a obtenção do valor de  $n$  para a tecnologia AMS0.35 $\mu\text{m}$ , porém o terceiro método foi considerado o mais eficaz, pois é baseado em um modelo desenvolvido para circuitos analógicos (EKV) onde o parâmetro equivale ao inverso da derivada de  $V_P$  em relação a  $V_{GB}$  ( $n_{NMOS} = 1,22$  e  $n_{PMOS} = 1,17$ ).

O parâmetro  $V_A$ , que determina diretamente a resistência de saída do transistor, está extremamente ligado ao comprimento do canal ( $L$ ) do transistor,. Portanto, este parâmetro foi caracterizado, a partir do efeito de diminuição do comprimento do canal por  $V_{DS}$  (curva  $I_D$  versus  $V_{DS}$ ) do transistor. A relação da variação da tensão de Early em função da variação  $L$  e  $V_{GB}$  para o transistor foi obtida a partir das simulações da corrente DC fornecidas pelo modelo elétrico BSIM3v3, dando mais liberdade ao projetista na escolha do  $L$  do transistor a fim de se obter estágio de um circuito com a resistência de saída desejada. Porém, também é interessante ao projetista o conhecimento da variação de  $V_A$  em relação à região de operação do transistor, portanto a característica de  $V_A$  em função da variação da característica  $g_m/I_D$  do transistor para diversos comprimentos de canal foi obtida.

Os dados obtidos neste capítulo devem ser validados por medidas em dispositivos de teste, pois a caracterização de  $n$  e  $V_A$  foi baseada no modelo elétrico BSIM3v3 simulado com os parâmetros nominais da *foundry*.

### 3 Análise e projeto de subcircuitos analógicos básicos

No capítulo anterior foram analisadas as características de tecnologia, modelamento, e caracterização dos dispositivos CMOS. Portanto, o próximo passo é a análise e desenvolvimento de subcircuitos. Subcircuitos são considerados combinações de circuitos simples (com um ou mais transistores), a fim de se gerar circuitos com funções mais complexas. Conseqüentemente, os circuitos tratados neste capítulo podem ser considerados como “blocos construtivos” (*building blocks*).

Neste capítulo serão tratados os seguintes subcircuitos considerados básicos para se construir os blocos analógicos a serem implementados neste trabalho: chave MOS, resistores ativos, espelho de corrente, inversor CMOS e par diferencial.

#### 3.1 Transistor de passagem operando como chave - Chave MOS

A chave MOS é bastante usada em projeto de circuitos analógicos, pois é usada para implementar diversas funções, tais como simulações de resistores chaveados, multiplexação, modulação, e diversas outras aplicações.

Uma chave MOS controlada por tensão é na verdade uma rede com três terminais, onde os terminais A e B são os terminais da chave, e o terminal C é o terminal de controle, como é ilustrado na figura 3.1. A tensão VC controla a chave e determina quando ela está no estado ON ou OFF.

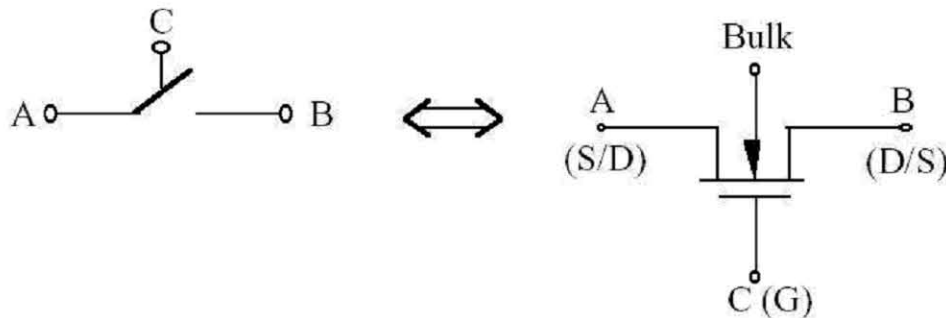


FIGURA 3.1 - Chave CMOS controlada por tensão

As principais características de uma chave MOS são as resistências  $R_{ON}$  e  $R_{OFF}$ . Idealmente  $R_{ON}$  é zero e  $R_{OFF}$  é infinita. Quando a chave está no estado OFF,  $V_{GS}$  é menor ou igual a  $V_t$ , portanto o transistor está sempre na região de corte. Como a resistência OFF tem um valor alto (mas não infinito), existe uma corrente passando pelo transistor. Esta corrente de fuga tem valores na faixa de  $pA$  e aumentam de acordo com o aumento da temperatura [ALL 2002].

No estado que a chave está ON, a tensão que controla a chave é pequena e  $V_{GS}$  deve ser grande. Portanto, o transistor é considerado na região de não-saturação (ver capítulo 2). Considerando que  $V_{DS}$  é pequeno, podem-se desconsiderar os efeitos de segunda ordem de  $V_{DS}$ , obtendo-se

$$I_D = \frac{\mu_0 \cdot C_{ox}}{n} \cdot \frac{W}{L} \cdot (V_{GS} - V_t) \cdot V_{DS} \quad (\text{Eq. 0.10})$$

onde  $V_{DS}$  é menor que  $V_{GS} - V_t$  e maior que zero. Portanto pode-se obter uma expressão para  $R_{ON}$

$$R_{ON} = \frac{1}{\partial I_D / \partial V_{DS}} = \frac{1}{\frac{\mu_0 \cdot Cox}{n} \cdot \frac{W}{L} \cdot (V_{GS} - V_t)} \quad (\text{Eq. 0.11})$$

### 3.2 Resistores ativos MOS

Para o projeto de um sistema analógico muitas vezes se necessita de um resistor para se produzir uma queda de tensão DC, ou de uma resistência em pequenos-sinais que seja linear para uma faixa de valores pequenos. Um resistor ativo, emulado por um transistor MOS, pode ser usado no lugar de um resistor de polisilísio ou difusão, obtendo-se um resistor equivalente com área muito menor.

O resistor ativo é obtido por uma simples conexão entre os terminais de porta e de dreno do transistor como ilustra a figura 3.2. Para o transistor NMOS, o terminal fonte deve estar com o seu potencial mais próximo de VSS (terminal mais negativo), para que os efeitos de corpo do transistor sejam eliminados. Para o transistor PMOS, o terminal fonte deve estar com o seu potencial o mais próximo de VDD (terminal mais positivo). Como nesta conexão  $V_{GS} = V_{DS}$ , ou seja, o transistor está sempre na região de saturação, a transcondutância do transistor caracteriza o resistor ativo equivalente. A conexão entre os terminais porta e dreno significa que  $V_{DS}$  controla  $I_D$  e, portanto, o canal de transcondutância se torna o canal de condutância. Portanto, pode-se obter a resistência em pequenos sinais do dispositivo por

$$r_{out} = \frac{1}{g_m + g_{mbs} + g_{ds}} \cong \frac{1}{g_m} \quad (\text{Eq. 0.12})$$

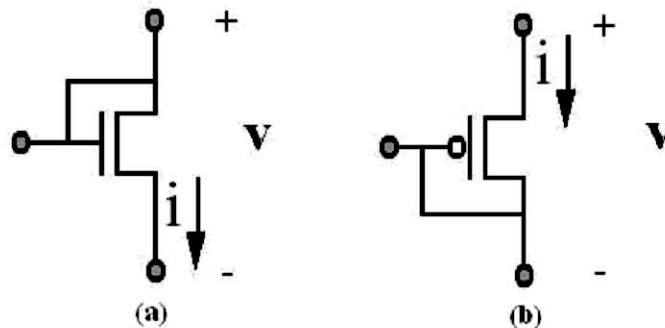


FIGURA 3.2 - Resistor ativo CMOS. (a) NMOS. (b) PMOS .

A figura 3.3 ilustra a características V-I de ambos os dispositivos da figura 3.2. Pode-se observar que o transistor está operando na região de saturação, ou seja, como um diodo onde a sua resistência é obtida a partir da região linear para uma determinada faixa de valores.

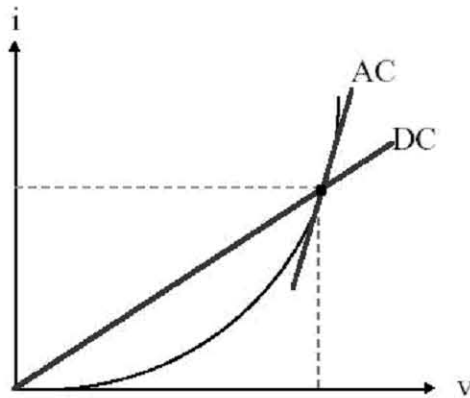


FIGURA 3.3 - Característica V-I do transistor no modo diodo

Outra alternativa de se obter um resistor ativo é quando se conecta o terminal porta do transistor a uma tensão de polarização ( $V_C$ ). A figura 3.4 mostra este tipo de configuração, onde os terminais dreno e fonte formam os dois terminais do resistor. Entretanto, a região de operação não é garantida para todas as tensões de terminais para este tipo de resistor. Na verdade este tipo de resistor funcionará como a chave MOS descrita na seção anterior, obtendo-se uma faixa de valores grande mas não-linear. A tabela 3.1 mostra os valores de resistência obtidos a partir da região de operação do transistor.

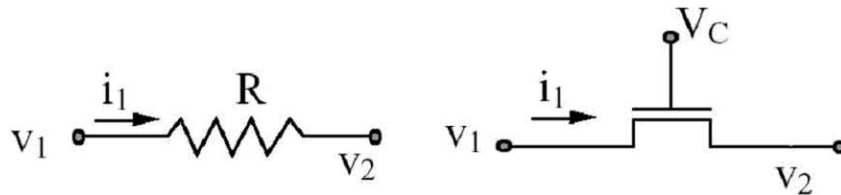
FIGURA 3.4 - Resistor ativo usando um transistor CMOS controlado pela tensão de polarização ( $V_C$ ).

TABELA 3.1 - Cálculo da resistência obtida de um transistor a partir da região de operação do transistor.

Região não-saturada (região linear)	$r_{ds} = \frac{1}{\frac{\mu_o \cdot Cox}{n} \cdot \frac{W}{L} \cdot (V_{GS} - V_t)}$
Região de Saturação	$r_{ds} = \frac{VA}{I_D}$

### 3.3 Espelho de corrente

O espelho de corrente é um bloco construtivo básico muito útil para o projeto analógico CMOS. Um espelho de corrente simples é ilustrado na figura 3.5. Consiste em dois transistores com  $V_{GS}$  e características de processo ( $\mu \cdot Cox$ ) idênticos. Um é conectado como um diodo e polarizado com a corrente  $I_{D1}$ , o outro fornece a corrente de



saída  $I_{D2}$  com uma alta impedância. Como possuem  $V_{GS}$  iguais, a razão entre suas correntes é dada por

$$\frac{I_{D2}}{I_{D1}} = B = \frac{(W/L)_2}{(W/L)_1} \quad (\text{Eq. 0.13})$$

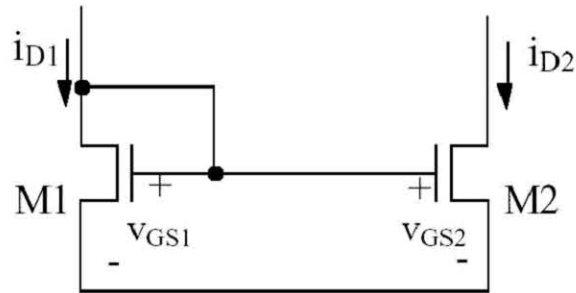


FIGURA 3.5 - Espelho de corrente NMOS

Escolhendo-se a razão  $B$ , a corrente  $I_{D2}$  pode ser ajustada para um determinado valor com uma alta precisão. Geralmente, o comprimento de canal  $L$  é mantido igual para ambos os transistores a fim de se obter um bom casamento (ver próximas seções). Portanto, a razão  $B$  é definida pela largura do canal  $W$ .

O espelho de corrente mostrado na figura 3.5 é a configuração mais simples e é usado com muita mais frequência que qualquer outra. Há casos em que o projetista necessita espelhar uma corrente para diversas partes do circuito. Isto pode ser realizado colocando-se diversos transistores em paralelo como ilustra a figura 3.6.

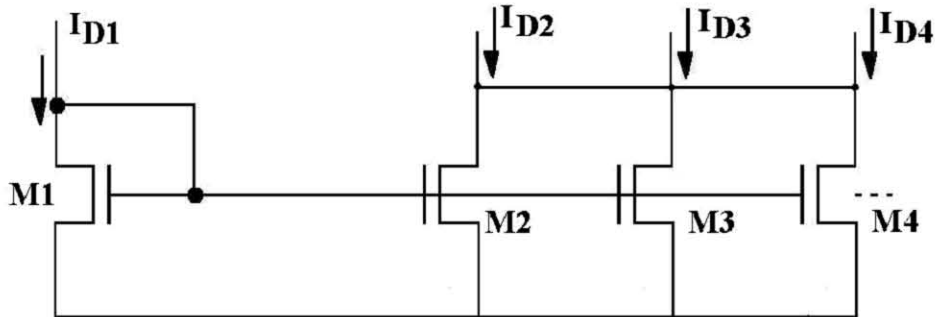


FIGURA 3.6 - Espelho de corrente NMOS com diversas correntes espelhadas

Para circuitos que necessitam de configurações com impedância de saída elevada e com menos erro entre as correntes de polarização, outras configurações devem ser usadas. Tais configurações, como espelho de corrente em cascata (*cascade*) e espelho de corrente Wilson, são detalhadas em [ALL 2002] [LAK 94].

### 3.4 Par diferencial

Um dos mais importantes blocos construtivos básicos para o projeto analógico é, sem dúvida, o par diferencial. Geralmente, este bloco consiste no estágio de entrada de um amplificador operacional. O par diferencial é formado basicamente de dois transistores iguais (ou casados). Um exemplo de um par diferencial NMOS é mostrado na figura 3.7, que consiste em dois transistores iguais e a fonte de corrente  $I_B$ , que polariza ambos os transistores M1 e M2 com a mesma corrente  $I_B/2$ .

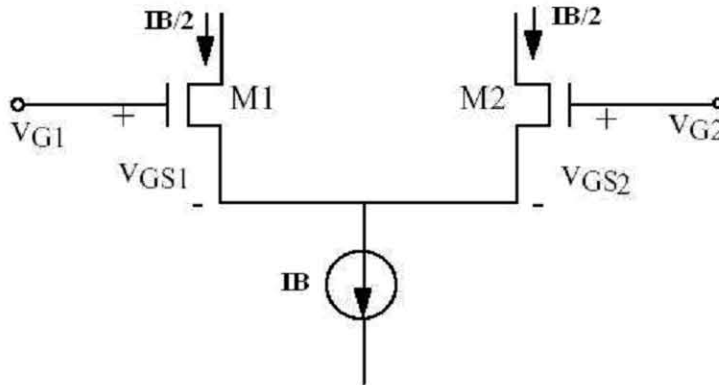


FIGURA 3.7 - Par diferencial NMOS

O objetivo deste bloco é amplificar a tensão diferencial entre os terminais de gate de ambos os transistores. Na seção 3.6 será feita uma análise mais detalhada de um estágio diferencial que na verdade é implementado por um par diferencial e um espelho de corrente.

### 3.5 Inversor CMOS

Geralmente para se aumentar o ganho de um estágio de um amplificador a resistência de saída do mesmo deve ser aumentada. Isto pode ser feito colocando-se um transistor configurado como um resistor neste estágio, produzindo uma carga ativa. A configuração mais simples é mostrada na figura 3.8a, onde se tem um amplificador NMOS com uma carga ativa PMOS. Como resultado, a tensão de saída será invertida em relação à entrada. Portanto, este estágio é chamado de estágio inversor.

Muitas vezes, necessita-se de estágios inversores com ganhos bem maiores do que os obtidos através da configuração carga ativa. Uma segunda configuração inversora, com um ganho bem maior, pode ser implementada. Em vez de uma carga ativa, uma fonte de corrente é usada. Uma das desvantagens desta configuração é que a fonte de corrente necessita de uma tensão de polarização. Isto pode ser resolvido com a configuração mostrada na figura 3.8b. Esta configuração, chamada de *Push-Pull*, fornece um alto ganho e uma boa excursão do sinal de saída [ALL 2002].

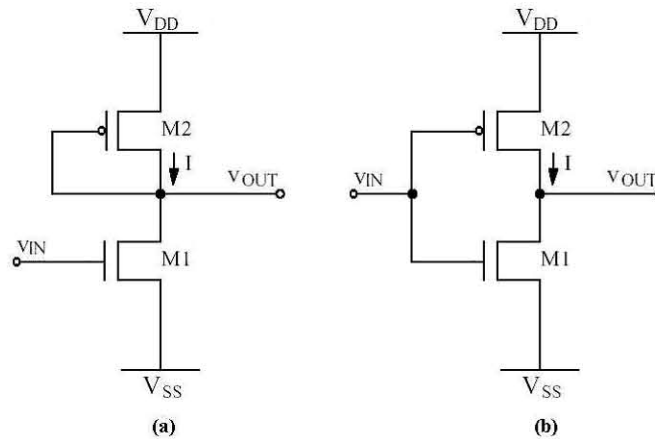


FIGURA 3.8 - Inversor CMOS: (a) Configuração carga ativa; (b) Configuração *Push-Pull*

O inversor é considerado o estágio básico de ganho para circuitos amplificadores analógicos CMOS. Porém estágios de alto ganho como estes requerem o uso de realimentação negativa para a estabilização do ponto de polarização.

### 3.6 Estágio diferencial

A figura 3.9 mostra um estágio diferencial CMOS usando par diferencial NMOS. O principal objetivo deste bloco é amplificar a tensão diferencial entre os terminais entrada em função de seu modo-comum. Portanto, pode ser considerado como um amplificador diferencial de um estágio, que é caracterizado pela sua tensão de modo-comum ( $V_{CMR}$ ) que especifica em que faixa de valores de modo-comum o amplificador continua “perceber” e amplificar com o mesmo ganho.

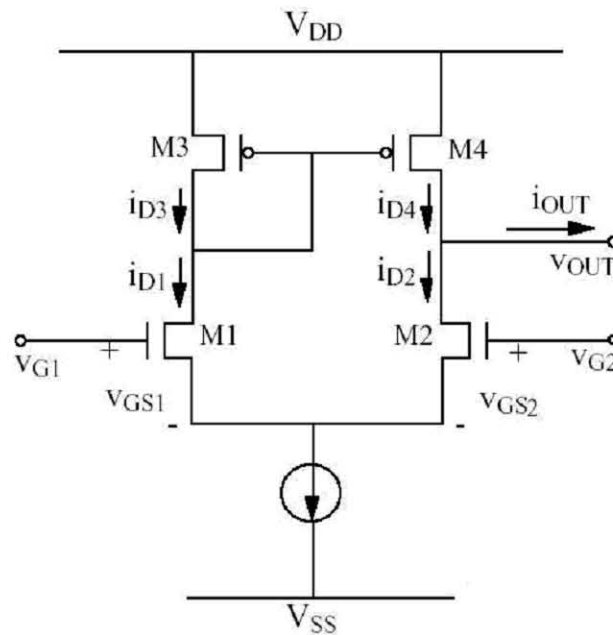


FIGURA 3.9 - Estágio diferencial CMOS usando par diferencial NMOS

Portanto, a fim de se obter uma análise confiável de qualquer estágio amplificador, deve-se analisar as seguintes características:

- Comportamento DC (análise de grandes sinais);
- Limite máximo da variação do sinal de entrada;
- Comportamento AC (características de pequenos sinais como ganho, Rout, etc.).

A seguir, segue uma análise detalhada de um estágio diferencial usando par diferencial NMOS, a partir da modelagem do transistor MOS discutida no capítulo 2.

### 3.6.1 Projeto de um estágio diferencial em tecnologia AMS0.35 $\mu\text{m}$

A fim de ilustrar o processo de análise de um circuito analógico, assim como as características deste bloco em questão, a seguir serão descritas a análise e projeto de um estágio diferencial usando par diferencial NMOS. A partir de toda a modelagem do transistor MOS descrita no capítulo anterior e da análise dos subcircuitos descritos neste capítulo, uma metodologia de projeto baseada em [ALL 2002]. O circuito será implementado na tecnologia AMS0.35 $\mu\text{m}$ .

A figura 3.10 mostra a configuração estágio diferencial usando par diferencial NMOS (transistores M1 e M2), uma fonte de corrente controlada por tensão (transistor M5) e um espelho de corrente PMOS (M3 e M4) como carga.

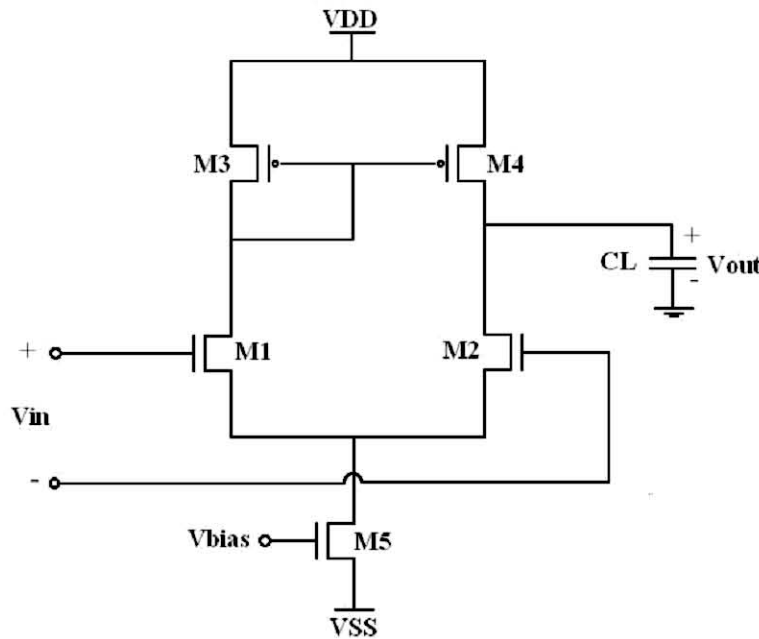


FIGURA 3.10 - Estágio diferencial CMOS usando par diferencial NMOS a ser implementado

A análise do comportamento DC deste bloco deve ser feita considerando que o par diferencial M1/M2 opera sempre na região de saturação e que as correntes do espelho de corrente são idênticas. A tabela 3.2 mostra as equações que modelam o comportamento DC do estágio diferencial, onde as características DC importantes para o projeto analógico são detalhadas.

TABELA 3.2 - Equações que modelam o comportamento DC do estágio diferencial

Característica DC	Definição	Equação
$I_{D5}$	Corrente de polarização da fonte de corrente M5	$I_D = \frac{\mu_0 \cdot Cox}{2 \cdot n} \cdot \frac{W}{L} \cdot (V_{GS} - V_t)^2$ $V_{GS} = V_{bias} - V_{SS}$
$P_{diss}$	Potência DC dissipada	$I_{D5} \cdot (V_{DD} - V_{SS})$
Slew rate (SR)	Taxa máxima de variação da saída no tempo	$\frac{I_{D5}}{CL}$
Vin máximo (CMR+)	Máxima tensão de modo-comum	$V_{DD} - V_{DS5} - V_{SG1}$
Vin mínimo (CMR-)	Mínima tensão de modo-comum	$V_{SS} + V_{GS3} + V_{SD1} - V_{SG1}$

O próximo passo é a análise AC deste circuito através de seu modelo de pequenos sinais. O modelo de pequenos sinais simplificado é mostrado na figura 3.10, onde é assumido que ambos os lados do circuito estão casados. Se esta condição for satisfeita, os terminais fonte de M1 e M2 podem ser considerados aterrados. A tabela 3.3 mostra as equações que modelam o comportamento AC do estágio diferencial, onde as características em frequência de amplificadores analógicos são detalhadas.

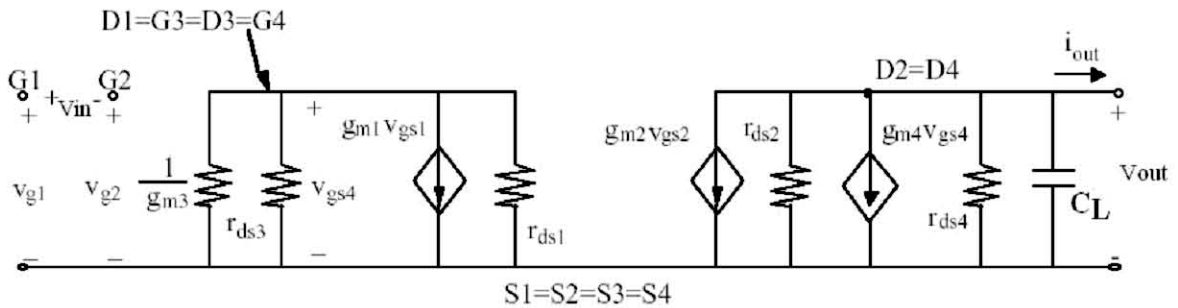


FIGURA 3.11 - Modelo de pequenos sinais simplificado do estágio diferencial CMOS usando par diferencial NMOS

TABELA 3.3 - Equações que modelam o comportamento AC do estágio diferencial

Característica DC	Definição	Equação
$A_v$	Ganho diferencial em baixa frequência (Ganho DC)	$g_{m1} \cdot R_{out}$
$R_{out}$	Resistência de saída	$r_{o2} // r_{o4} = \frac{V_{An}}{I_{D5}/2} // \frac{V_{Ap}}{I_{D5}/2}$
$F_{-3dB}$	Frequência de corte	$\frac{1}{2 \cdot \pi \cdot R_{out} \cdot CL}$
GBW	Produto Ganho-Faixa	$\frac{g_{m1}}{2 \cdot \pi \cdot CL}$

Com o comportamento do circuito devidamente caracterizado, parte-se para o seu projeto a partir das especificações. Deseja-se obter um estágio diferencial com as seguintes especificações:  $A_v = 100$  (40dB),  $F_{-3dB} \geq 100\text{KHz}$ ,  $P_{diss} \leq 1\text{mW}$ ,  $V_{CMR} = -0,5\text{V}$  a  $1\text{V}$ ,  $SR > 10\text{V}/\mu\text{s}$ ,  $C_L = 5\text{pF}$ ,  $V_{DD} = 1,65\text{V}$  e  $V_{SS} = -1,65\text{V}$ .

O procedimento de projeto é baseado metodologia desenvolvida em [ALL 2002], e é ilustrado aqui buscando melhor performance nas especificações acima. Todas as características DC e AC do transistor são calculadas a partir das equações das tabelas 3.2 e 3.3, e do modelo discutido no capítulo anterior. O projeto segue a seguinte seqüência:

- a partir da especificação de SR, pode-se obter o limite mínimo para a corrente de polarização:  $I_{D5} \geq SR \cdot C_L \Rightarrow I_{D5} \geq 50\mu\text{A}$ ;

- a partir da especificação de potência, pode-se obter o limite máximo para a corrente de polarização:  $I_{D5} = \frac{P_{diss}}{(V_{DD} - V_{SS})} \Rightarrow I_{D5} \leq 303\mu\text{A}$ ;

- a partir da especificação de  $F_{-3dB}$ , pode-se obter o limite máximo para  $R_{out}$ :

$$R_{out} = \frac{1}{2 \cdot \pi \cdot F_{-3dB} \cdot C_L} \Rightarrow R_{out} \leq 318,3\text{K}\Omega \Rightarrow I_{D5} \geq 88,7\mu\text{A};$$

- escolhe-se a corrente de polarização:

$$I_{D5} = 200\mu\text{A} \Rightarrow I_{D1} = I_{D2} = I_{D3} = I_{D4} = \frac{I_{D5}}{2} = 100\mu\text{A};$$

- os tamanhos dos transistores do par diferencial NMOS (M1 e M2) são calculados a partir da especificação de ganho:

$$A_v = 100 \Rightarrow g_{m1} = \frac{A_v}{R_{out}} \Rightarrow g_{m1} = 353,9\mu\text{S} \Rightarrow \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \frac{g_{m1}^2}{\mu_0 \cdot C_{ox} \cdot I_{D5}} = 7;$$

- os tamanhos dos transistores do espelho de corrente PMOS (M3 e M4) são calculados a partir da especificação de  $V_{CMR_{\max}}$ :

$$V_{GS3} = 1,115\text{V} \Rightarrow \left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = \frac{n \cdot I_{D5}}{\mu_0 \cdot C_{ox} \cdot (V_{GS3} - V_{tp})^2} = 28;$$

- o tamanho do transistor M5 é calculado a partir da especificação de  $V_{CMR_{\min}}$ :

$$V_{DS5} = 0,373\text{V} \Rightarrow \left(\frac{W}{L}\right)_5 = \frac{2 \cdot n \cdot I_{D5}}{\mu_0 \cdot C_{ox} \cdot (V_{DS5})^2} = 32;$$

A tabela 3.4 mostra a relação dos tamanhos dos transistores para este projeto. O comprimento de canal (L) é determinado a fim de se obter uma melhor relação entre área e ganho DC (devido à dependência da tensão de Early em relação ao L, como é mostrado na seção 3.2), aqui estimado em 5 vezes o L mínimo que a tecnologia permite.

TABELA 3.4 - Dimensões dos transistores – Estágio diferencial

	W/L	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M1	7	10,5	1,5
M2	7	10,5	1,5
M3	28	42	1,5
M4	28	42	1,5
M5	32	48	1,5

A tabela 3.5 mostra os resultados de performance do estágio diferencial, calculados analiticamente e através de simulações elétricas Spectre usando o modelo BSIM3v3.2.2. Nota-se que esta metodologia convencional, ainda bastante usada em projeto analógico, é suficiente para obter-se uma primeira aproximação para o projeto de um circuito, utilizando-se métodos simples.

TABELA 3.5 - Resultados de performance do Estágio diferencial calculados e simulados

	Analítico (Modelo nível 1)	Simulação Spectre (Modelo BSIM3v3)
Av (dB)	41,5	36,84
F <sub>-3dB</sub> (Hz)	94,85	172
GBW(MHz)	11,3	12,18
SR (V/μs)	40	43,4
I <sub>DD</sub> (μA)	200	222,5
Pdiss (mW)	0,66	0,73

### 3.7 Técnicas de layout analógico

Em relação ao *layout* de circuitos analógicos CMOS, diversas considerações devem ser feitas [GIR 2003] [HAS 2001]. Esta seção traz uma descrição sucinta das principais técnicas de *layout* que serão usadas na implementação dos blocos analógicos analisados anteriormente.

Como já mencionado, os blocos construtivos básicos mais importantes para o projeto analógico, o par diferencial e espelho de corrente, utilizam transistores MOS casados. O par diferencial necessita do pareamento da tensão porta-fonte, enquanto o espelho de corrente necessita do casamento das correntes de dreno. Porém, o tamanho, o formato e a orientação dos transistores MOS afetam o seu casamento. Transistores grandes casam com maior precisão que os pequenos, pois o aumento da área de porta ajuda a minimizar o impacto de flutuações localizadas. Transistores de canal longo casam melhor que os de canal curto, pois os canais longos reduzem as variações da largura das linhas e a modulação do comprimento do canal. Transistores orientados na mesma direção casam melhor que aqueles orientados em direções diferentes por causa da natureza anisotrópica do silício monocristalino. Outros tipos de descasamento são causados pela presença ou ausência de outras estruturas perto dos transistores casados.

As técnicas de *layout* para casamento de transistores aqui tratadas serão exemplificadas para o subcircuito par diferencial, mostrado na figura 3.12. O mesmo pode ser aplicado ao espelho de corrente.

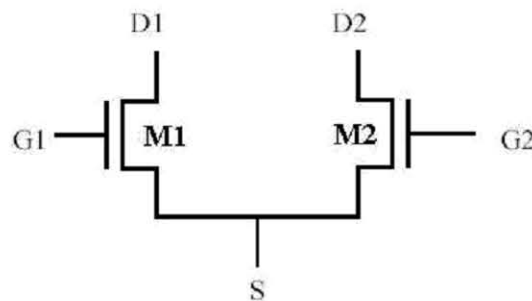


FIGURA 3.12 - Par diferencial NMOS e seus terminais

Uma técnica bastante utilizada para se obter estas configurações casadas é a técnica chamada de centróide comum. Descasamentos induzidos por diferenças de processo ou gradientes (variações produzidas por efeitos mecânicos ou térmicos) podem ser minimizados pela redução da distância entre os centróides dos dispositivos casados. Alguns tipos de *layout* podem realmente reduzir a distância dos centróides a zero. Estes *layouts* em “centróide comum” podem reduzir completamente os efeitos das variações mencionadas anteriormente. A figura 3.13 mostra a forma mais simples do *layout* de um par diferencial na configuração centróide comum, que produz um *layout* compacto e possui os dois segmentos pertencentes a cada dispositivo orientados em direções opostas.

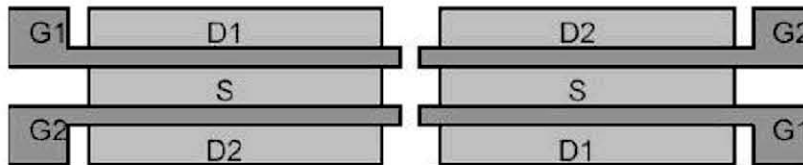


FIGURA 3.13 - *Layout* de um par diferencial na configuração centróide comum

Para blocos com transistores de tamanhos maiores, os transistores geralmente são divididos em segmentos, ou seja, “quebrados” para permitir a construção de um *layout* compacto (o que reduz significativamente as resistências de porta do par casado). Os tipos mais simples de *layout* envolvem o posicionamento de múltiplos segmentos em paralelo. Se estes segmentos forem interdigitados corretamente, então os centróides dos dispositivos casados estarão alinhados em um ponto no meio do eixo de simetria do *layout*. A figura 3.14 mostra um exemplo de um par diferencial casado com transistores de múltiplos segmentos em paralelo.

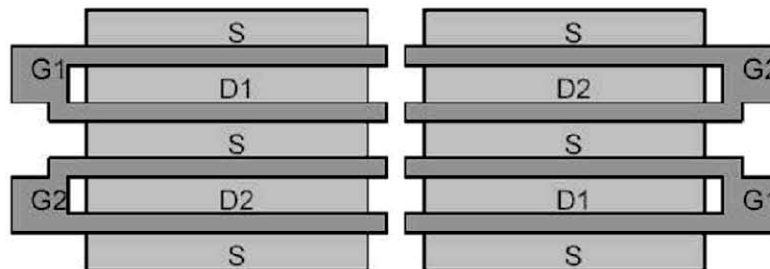


FIGURA 3.14 - *Layout* de um par diferencial na configuração centróide comum com transistores “quebrados”

A qualidade de um *layout* de transistores casados somente pode ser analisada com certeza após a fabricação. Uma análise mais detalhada só pode ser realizada através de uma boa caracterização do processo de fabricação. Desta maneira, o projetista analógico teria informações específicas sobre questões importantes para o pareamento e poderia utilizá-las no momento da implementação do *layout*.



### 3.8 Conclusão

Neste capítulo foram tratados os subcircuitos considerados básicos para o projeto de circuitos analógicos CMOS, com as características elétricas de cada um, as quais serão base para o projeto de blocos analógicos mais complexos como amplificadores operacionais e comparadores.

Os subcircuitos analisados foram: chave CMOS, resistores ativos, espelho de corrente, par diferencial e inversor CMOS. A fim de ilustrar todo processo de análise de um subcircuito analógico, assim como as características deste bloco em questão, foram descritas a análise e projeto de um estágio diferencial usando par diferencial NMOS. A partir da modelagem AC e DC desenvolvida no capítulo anterior, foi implementada uma metodologia de projeto. Foram obtidos resultados de performance do estágio diferencial, calculados analiticamente e através de simulações elétricas, comprovando que esta metodologia convencional, ainda bastante usada em projeto analógico, é suficiente, obtendo-se uma primeira aproximação para o projeto de um circuito.

As principais técnicas de *layout* usadas na implementação dos blocos analógicos analisados anteriormente também foram analisadas. Os blocos construtivos básicos mais importantes para o projeto analógico, o par diferencial e espelho de corrente, utilizam transistores MOS casados. Portanto foram discutidas técnicas de *layout* para casamento de transistores como a técnica centróide comum, onde os centróides dos dispositivos casados são alinhados em um ponto no meio do eixo de simetria do *layout*.

## 4 Metodologia de projeto baseada na curva $g_m/I_D$

A maioria dos métodos para síntese de circuitos analógicos geralmente considera que os transistores MOS operam em inversão forte ou em inversão fraca, que muitas vezes não é uma boa solução para se obter resultados seguros. A metodologia de projeto  $g_m/I_D$ , proposta por [FLA 96] [SIL 96], apresenta um método alternativo para este problema, permitindo uma metodologia de síntese unificada considerando todas as regiões de operação do transistor MOS.

Neste método é considerada a relação entre a característica  $g_m/I_D$  (razão entre a transcondutância  $g_m$  sobre a corrente de dreno  $I_D$ ) e a corrente de dreno normalizada  $I_D/(W/L)$  como parâmetro fundamental para o projeto. A escolha da relação  $g_m/I_D$  é baseada nas seguintes considerações:

- É fortemente relacionada à performance dos circuitos analógicos;
- Indica a região de operação do dispositivo;
- Fornece uma ferramenta para o cálculo das dimensões dos transistores.

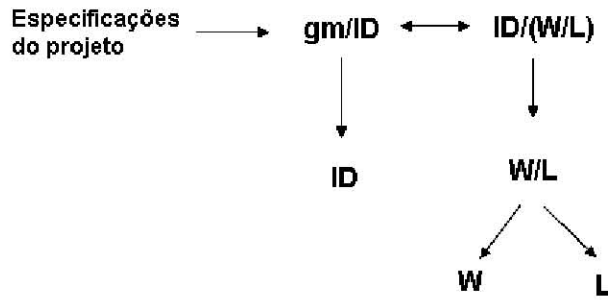
A relação da razão  $g_m/I_D$  com a região de operação do transistor pode ser observada pelo fato que sua razão é igual à derivada do logaritmo de  $I_D$  com respeito à  $V_G$  como é mostrada abaixo:

$$\frac{g_m}{I_D} = \frac{1}{I_D} \cdot \frac{\partial I_D}{\partial V_G} = \frac{\partial(\ln I_D)}{\partial V_G} = \frac{\partial\left(\ln \frac{I_D}{W/L}\right)}{\partial V_G} \quad (\text{Eq. 0.14})$$

A derivada é máxima na região de inversão fraca, onde é igual a  $1/(nUt)$ , onde  $n$  é o *slope factor* e  $Ut$  a *thermal voltage*, e mínima quando o ponto de operação se move para a região de inversão forte. Portanto, dá uma boa indicação da região de operação do transistor.

Outra interessante característica desta metodologia é que tanto a relação  $g_m/I_D$  como a corrente normalizada  $I_D/(W/L)$  são independentes em relação às dimensões dos transistores. Portanto, pode-se considerar que a relação entre  $g_m/I_D$  e a corrente normalizada é uma característica única para todos os transistores do mesmo tipo (NMOS e PMOS) para uma determinada tecnologia.

Portanto, pode-se obter uma curva com esta característica universal de  $g_m/I_D$  versus  $I_D/(W/L)$  que pode ser explorada durante o projeto, onde as dimensões dos transistores são desconhecidas. A partir das especificações desejadas para um determinado bloco analógico, e uma vez que um par de valores  $g_m$  e  $I_D$  forem obtidos (escolha da região de operação do transistor pelo projetista), o  $W/L$  do transistor pode ser determinado. A figura 4.1 demonstra esta metodologia.

FIGURA 4.1 - Procedimento para o uso da metodologia  $g_m/I_D$ 

#### 4.1 A Curva $g_m/I_D$

A curva  $g_m/I_D$  versus  $I_D/(W/L)$  pode ser obtida por duas maneiras: analiticamente, utilizando-se um modelo para o transistor MOS, ou através de medidas experimentais de um transistor típico. A tecnologia usada neste trabalho é a AMS0.35 $\mu\text{m}$ , portanto a curva  $g_m/I_D$  foi obtida para esta tecnologia. Todos os parâmetros de processo da tecnologia foram obtidos através do modelo BSIM3v3.

##### 4.1.1 Curva $g_m/I_D$ analítica

Para se obter a curva  $g_m/I_D$  analiticamente, é necessário o uso de um modelo para o transistor MOS que forneça uma representação contínua da corrente do transistor com os seus parâmetros de pequenos sinais em todas as regiões de sua operação. O modelo EKV [ENZ 97] fornece a seguinte equação que modela todas as regiões do transistor:

$$\frac{g_m}{I_D} = \frac{1}{n \cdot U_t} \cdot \frac{1 - e^{(-\sqrt{IC})}}{\sqrt{IC}} \quad (\text{Eq. 0.15})$$

$$IC = \frac{I_D}{2 \cdot n \cdot \mu_0 \cdot C_{ox} \cdot \frac{W}{L} \cdot U_t^2} \quad (\text{Eq. 0.16})$$

onde IC é o coeficiente de inversão, n é o *slope factor* e  $U_t$  a *thermal voltage*.

Substituindo a equação 4.2 na equação 4.3, e isolando a variável  $I_D/(W/L)$ , obtêm-se a seguinte equação:

$$g_m / I_D = \frac{\sqrt{2 \cdot n \cdot \mu_0 \cdot C_{ox}}}{n} \cdot \frac{1 - e^{-\frac{\sqrt{\frac{I_D}{W/L}}}{U_t \cdot \sqrt{2 \cdot n \cdot \mu_0 \cdot C_{ox}}}}}{\sqrt{\frac{I_D}{W/L}}} \quad (\text{Eq. 0.17})$$

Para a obtenção da curva  $g_m/I_D$  através da equação descrita anteriormente, é necessário o conhecimento de importantes parâmetros de processo, como  $n$ ,  $U_t$ ,  $\mu_0$ ,  $C_{ox}$ , já previamente apresentados na seção 2.3. A figura 4.2 mostra a curva  $g_m/I_D$  obtida analiticamente para os transistores NMOS e PMOS da tecnologia AMS0.35 $\mu\text{m}$ .

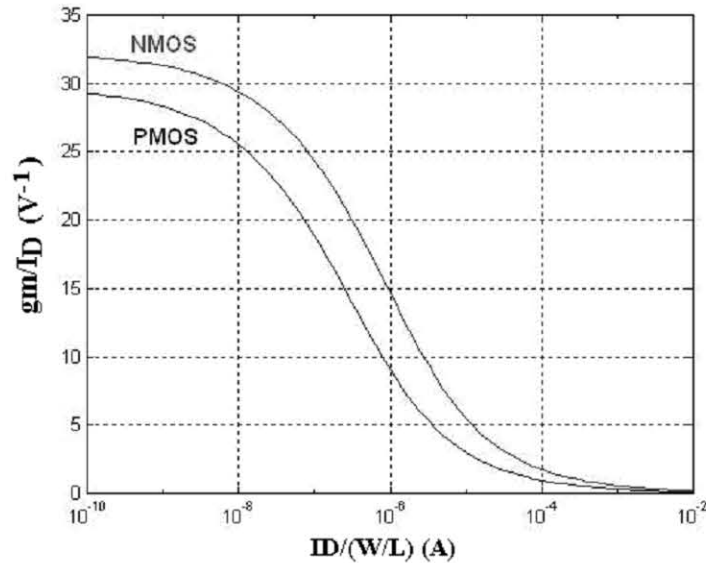


FIGURA 4.2 - Curva  $g_m/I_D$  analítica dos transistores NMOS e PMOS para a tecnologia AMS0.35 $\mu\text{m}$ .

#### 4.1.2 Curva $g_m/I_D$ simulada

Para a obtenção da curva  $g_m/I_D$  experimental, seriam necessárias várias medidas de transistores típicos para a tecnologia aqui em uso. Como ainda não se possui dispositivos físicos para a caracterização nesta tecnologia, a solução encontrada foi a obtenção da curva através de simulações elétricas Spectre com o modelo BSIM3v3.

Para a obtenção da curva foi seguido o seguinte procedimento:

- a curva  $I_D \times V_G$ , com  $V_D = 3,3\text{V}$  e  $V_B = 0\text{V}$  é obtida via simulação de um transistor de  $W/L=1$  ( $W=10\mu\text{m}$ ,  $L=10\mu\text{m}$ );
- é calculado  $\ln(I_D)$  de cada ponto;
- é calculada a derivada de  $\ln(I_D)$  em relação a  $V_G$  para cada ponto (equação 4.1);
- é plotado  $g_m/I_D$  versus  $I_D/(W/L)$ ;
- o mesmo procedimento é repetido para o transistor PMOS de  $W/L=1$ , com as tensões de polarização invertidas.

A figura 4.3 mostra a curva  $g_m/I_D$  obtida através de simulação elétrica dos transistores NMOS e PMOS para a tecnologia AMS0.35 $\mu\text{m}$ .

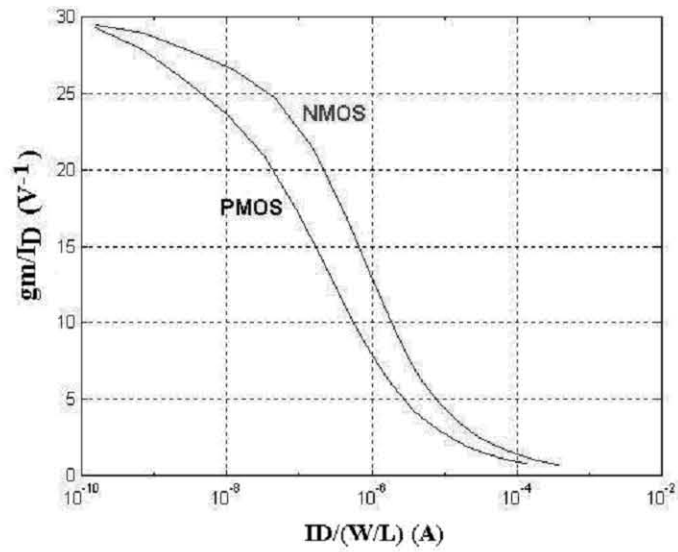


FIGURA 4.3 - Curva  $g_m/I_D$  simulada dos transistores NMOS e PMOS para a tecnologia AMS0.35 $\mu\text{m}$ .

#### 4.1.3 Curva $g_m/I_D$ : analítica versus simulada

Com a obtenção das curvas  $g_m/I_D$  analítica e simulada para a tecnologia AMS0.35 $\mu\text{m}$ , o próximo passo é a decisão de qual solução usar para o projeto. A figura 4.4 mostra a comparação entre as curvas  $g_m/I_D$  obtidas analiticamente e através de simulação elétrica dos transistores NMOS e PMOS para a tecnologia AMS0.35 $\mu\text{m}$ . Para um ajuste melhor das duas curvas foi necessário um ajuste fino (na região de inversão moderada) do parâmetro  $n$  na curva analítica ( $n_{\text{NMOS}} = 1,2$  e  $n_{\text{PMOS}} = 1,3$ ).

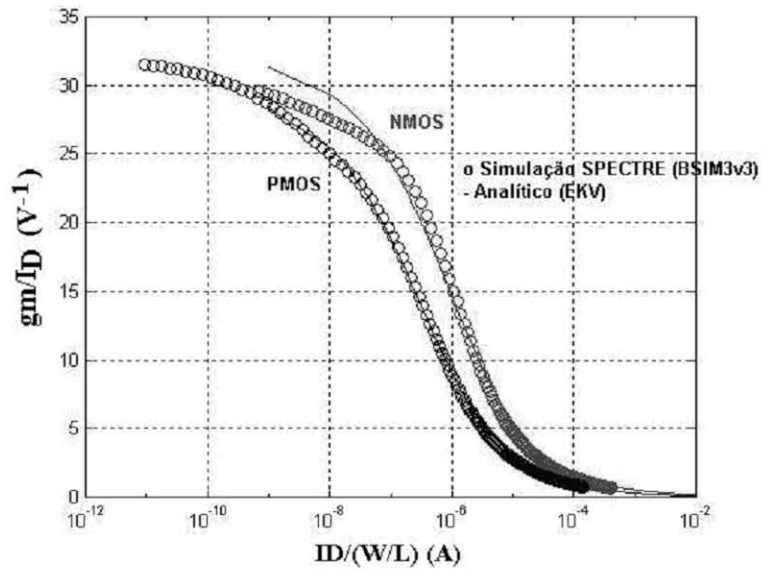


FIGURA 4.4 - Curva  $g_m/I_D$ : analítica e simulada dos transistores NMOS e PMOS para a tecnologia AMS0.35 $\mu\text{m}$ .

A solução ideal seria o uso da curva obtida através de medidas experimentais em transistores desta tecnologia. Como não se dispõe em laboratório dos dispositivos físicos necessários para a caracterização nesta tecnologia, optou-se pelo uso da curva obtida através de simulações elétricas Spectre com o modelo BSIM3v3, considerando que este modelo é confiável.

## 4.2 Conclusão

Neste capítulo é analisada a metodologia de projeto  $g_m/I_D$ , uma metodologia de síntese unificada considerando todas as regiões de operação do transistor MOS. Neste método considera-se a relação entre a razão da transcondutância  $g_m$  pela corrente unitária de dreno  $I_D$  e a corrente de dreno normalizada  $I_D/(W/L)$  como a ferramenta fundamental para o projeto.

A curva  $g_m/I_D$  versus  $I_D/(W/L)$  para a tecnologia AMS0.35 $\mu\text{m}$  foi obtida por duas maneiras: analiticamente, usando o modelo EKV para o transistor MOS, e através de simulações elétricas Spectre de um transistor típico de canal longo ( $W=10\mu\text{m}$  e  $L=10\mu\text{m}$ ). Considerando que o modelo elétrico disponível é confiável, escolheu-se curva simulada como padrão para o projeto dos blocos analógicos a serem implementados neste trabalho.

Com a curva  $g_m/I_D$  obtida para a tecnologia desejada, o próximo passo é a aplicação e validação desta metodologia. O próximo capítulo tratará da análise e projeto de alguns blocos analógicos considerados básicos para construção da maioria dos sistemas analógicos usados atualmente: o amplificador Miller, o comparador *track-and-latch* e um filtro passa-banda contínuo no tempo.

## 5 Aplicação da metodologia $g_m/I_D$ na análise e projeto de módulos analógicos

Neste capítulo, a metodologia estudada será aplicada na análise e projeto de alguns circuitos considerados básicos para construção da maioria dos sistemas analógicos usados atualmente: amplificadores, comparadores e filtros analógicos. Primeiramente, será descrito o projeto do amplificador operacional tipo Miller de dois estágios. Logo após, será descrita a análise de blocos amplificadores e comparadores, visando a aplicação em um sistema analógico, o Modulador Sigma-Delta Passa-Banda [NOR 97]. Toda esta análise será baseada na tecnologia AMS0.35 $\mu$ m, utilizando os parâmetros típicos fornecidos pela *foundry*.

### 5.1 Amplificador Miller

A fig. 5.1 mostra o esquemático do amplificador operacional Miller. Este circuito consiste em dois estágios: o primeiro é um estágio diferencial com par diferencial PMOS e o segundo é um estágio inversor que funciona com carga ativa. Este importante circuito analógico tem esta denominação porque utiliza a versão mais simples da técnica da compensação “Miller” [ALL 2002]. Esta técnica é aplicada conectando-se um capacitor da saída ( $C_c$ ) do circuito à entrada do segundo estágio amplificador. A função deste capacitor de compensação é separar ainda mais os pólos do amplificador de modo a evitar que o circuito se torne instável (compensação Miller).

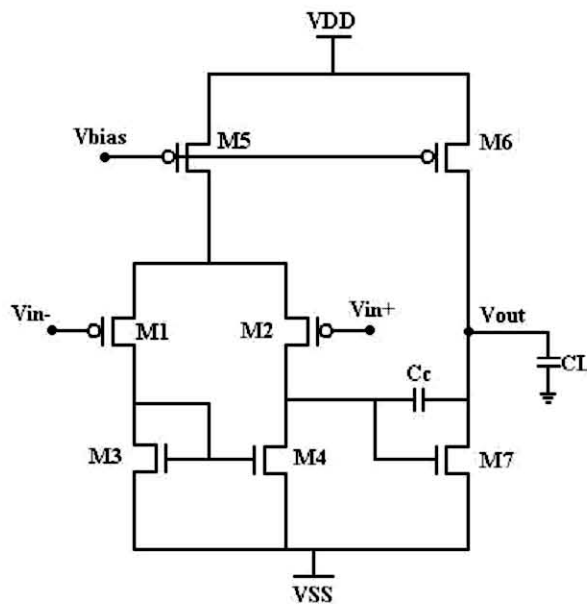


FIGURA 5.1 - Esquemático do amplificador tipo Miller

A partir da análise do comportamento DC e da análise AC, através de seu modelo de pequenos sinais mostrado na figura 5.2, deste bloco pode-se obter as principais equações que modelam seu comportamento baseado na análise feita em [ALL 2002]. A tabela 5.1 mostra as equações que modelam o comportamento do amplificador Miller, onde as características em AC e DC são detalhadas.

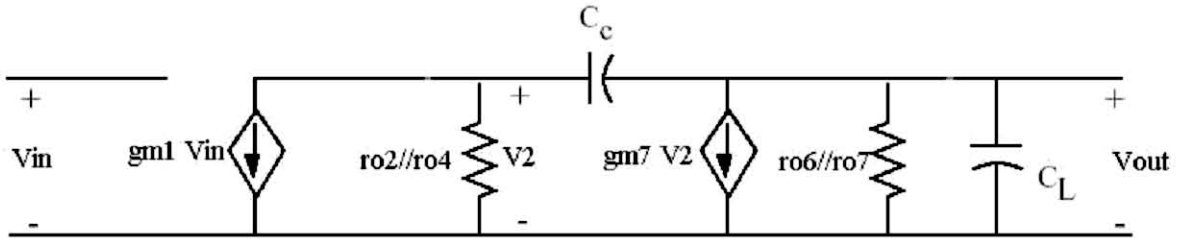


FIGURA 5.2 - Modelo de pequenos-sinais simplificado amplificador Miller

TABELA 5.1 - Equações que modelam o comportamento amplificador Miller

p1 (pólo dominante)	$\frac{-1}{g_{m1} \cdot (ro2 // ro4) \cdot (ro6 // ro7) \cdot Cc}$
p2 (pólo de segunda ordem)	$\frac{-g_{m7}}{CL}$
Garantia para MF = 60°	$g_{m7} \geq 10 \cdot g_{m1}$
Slew rate (SR)	$\frac{I5}{Cc}$
Ganho DC (Av)	$g_{m1} \cdot (ro2 // ro4) \cdot g_{m7} \cdot (ro6 // ro7)$
Produto ganho-faixa (GBW)	$\frac{g_{m1}}{Cc}$
Vin máximo (CMR+)	$VDD - V_{DS5} - V_{SG1}$
Vin mínimo (CMR-)	$VSS + V_{GS3} + V_{SD1} - V_{SG1}$

Deseja-se obter um amplificador Miller com as seguintes especificações (baseadas em especificações de amplificadores operacionais comerciais):  $A_v > 10000$  (80dB),  $GBW = 15\text{MHz}$ ,  $MF = 60^\circ$ ,  $V_{CMR} = -1\text{V}$  a  $0,5\text{V}$ ,  $SR > 18\text{V/us}$ ,  $C_L = 10\text{pF}$ ,  $VDD = 1,65\text{V}$  e  $VSS = -1,65\text{V}$ .

Primeiro, é necessário estabelecer o valor do capacitor de compensação  $C_c$ . Como regra básica [ALL 2002], o pólo dominante de saída do circuito deve ser posicionado a 2,2 vezes o  $GBW$ , o que garante uma margem de fase de  $60^\circ$  (assumindo que o zero do semiplano direito  $z_1$  é maior que 10 vezes o  $GBW$ ). Tal posicionamento do pólo resulta na seguinte expressão para o valor para  $C_c$

$$C_c > 0,22 \cdot C_L \Rightarrow C_c = 2,5\text{pF} \quad (\text{Eq. 0.18})$$

O procedimento do projeto, baseado em [ALL 2002] [SIL 96], é ilustrado aqui buscando melhor performance em termos de ganho DC ( $A_v$ ), Margem de Fase (MF), produto ganho-faixa (GBW) e *slew rate* (SR). Entretanto, este procedimento pode ser modificado levando em conta outros aspectos (como ruído e CMR – rejeição de modo comum) que podem ser relevantes para um determinado tipo de aplicação, desde que esteja diretamente ligado com relação  $g_m/I_D$  versus  $I_D/(W/L)$ .

Esta metodologia é graficamente ilustrada na figura 4.1, mostrada anteriormente. O projeto segue a seguinte seqüência:



- a partir da especificação de SR, pode-se obter a corrente de polarização ( $I_{DM5}$ ), que é igual a  $45\mu\text{A}$ .
- os transistores do espelho de corrente NMOS (M3 e M4) devem operar na região de inversão forte, a fim de se garantir um bom casamento e boas propriedades de ruído. Portanto, é escolhido  $(g_m/I_D)_3 = (g_m/I_D)_4 = 10$ ;
- para o par diferencial NMOS (M1 e M2), a partir da especificação de GBW pode-se saber o  $g_m$  dos transistores do par, e conseqüentemente seu  $g_m/I_D$ . Portanto,  $(g_m/I_D)_1 = 10,47$ ;
- a partir da relação  $g_{m7} \geq 10 \cdot g_{m1}$  [ALL 2002], tem-se que  $(g_m/I_D)_7 = 10$ ;
- $(g_m/I_D)_5 = (g_m/I_D)_6 = 7$ .

Com os valores de  $g_m/I_D$  escolhidos, a corrente normalizada  $I_D/(W/L)$  é determinada através da curva  $g_m/I_D$  de cada transistor, e conseqüentemente o  $W/L$  de cada transistor. O comprimento de canal ( $L$ ) é determinado a fim de se obter uma melhor relação entre área e ganho DC (devido à dependência da tensão de Early em relação ao  $L$ , como é mostrado na seção 3.2), aqui estimado em 5 vezes o  $L$  mínimo que a tecnologia permite. Os valores escolhidos são mostrados na tabela 5.2.

TABELA 5.2 - Dimensões dos transistores - Amplificador Miller

	W/L	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M1	36	54	1,5
M2	36	54	1,5
M3	10	15	1,5
M4	10	15	1,5
M5	30	45	1,5
M6	158	237	1,5
M7	103	154,4	1,5

A tabela 5.3 mostra excelentes resultados de performance do amplificador Miller, calculados analiticamente e através de simulações elétricas Spectre, nas versões esquemático e com o seu *layout* extraído. O *layout* do amplificador projetado, mostrado na figura 5.3, foi feito no ambiente CADENCE usando as técnicas de *layout* descritas no capítulo 3.

TABELA 5.3 - Resultados de performance do Amplificador Miller calculados e simulados

	Analítico	Simulação Spectre	
		Esquemático	Layout Extraído
$A_v$ (dB)	107,45	90,09	81,99
$F_{-3dB}$ (Hz)	-	543	1,037K
MF ( $^\circ$ )	60	54,3	55
GBW (MHz)	15	15,14	14,6
SR (V/ $\mu\text{s}$ )	18	20,7	20,42
$I_{DD}$ ( $\mu\text{A}$ )	280,6	356	346,9
$P_{diss}$ (mW)	0,925	1,17	1,144
$V_{out\ max}$ (V)	0,5	1	1
$V_{out\ min}$ (V)	-1	-1,48	-1,47

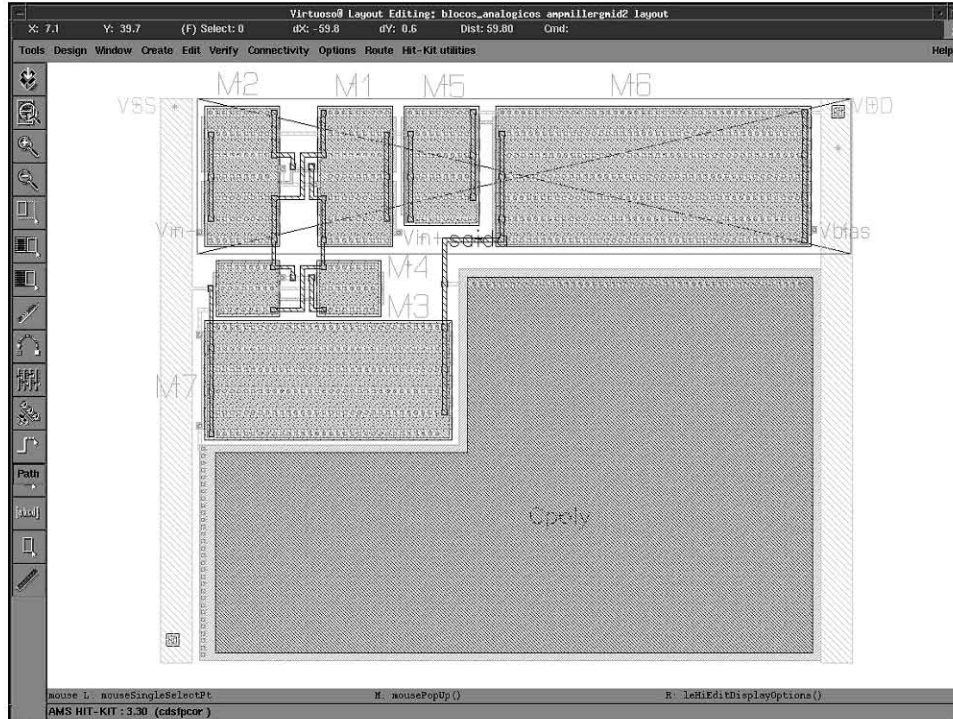


FIGURA 5.3 - Layout do amplificador tipo Miller AMS0.35 $\mu$ m

A fim de se demonstrar o potencial desta metodologia também são comparados com resultados obtidos através de uma metodologia de projeto convencional baseada em [ALL 2002]. A tabela 5.4 mostra a comparação das dimensões dos transistores obtidas e a tabela 5.5 mostra comparações de alguns resultados de performance simulados eletricamente (com o simulador Spectre) em cada metodologia. A metodologia convencional modela o transistor MOS, usando equações Spice nível 1, considerando que o transistor está sempre na região de saturação (ver seção 2.2).

TABELA 5.4 - Comparação das dimensões dos transistores calculados via metodologia convencional e  $g_m/I_D$  - Amplificador Miller

	W/L	
	Metodologia Convencional [ALL 02]	Metodologia $g_m/I_D$
M1	42	36
M2	42	36
M3	5	10
M4	5	10
M5	25	30
M6	205	158
M7	82	103

A tabela 5.5 mostra a comparação entre os resultados de performance do amplificador Miller (ambos na versão esquemático), utilizando as duas metodologias diferentes. Pode-se observar claramente a vantagem da metodologia  $g_m/I_D$  na otimização do projeto na topologia de um amplificador Miller, pois se obtêm o ganho DC ( $A_v$ ) e produto ganho-faixa (GBW) similares aos obtidos usando a metodologia convencional utilizando-se 35% menos corrente, e conseqüentemente consumindo menos potência. Porém estes resultados podem variar em função da variação das especificações requeridas.

TABELA 5.5 - Comparação de resultados de performance simulados do Amplificador Miller com metodologia convencional e  $g_m/I_D$

	Metodologia Convencional [ALL 02]	Metodologia $g_m/I_D$
$(g_m/I_D)_1$	10,69	10,47
$(W/L)_1$	42	36
$(g_m/I_D)_3$	6,33	10
$(W/L)_3$	5	10
$A_v$ (dB)	90,85	90,09
MF (°)	55	54,3
GBW (MHz)	16	15,14
SR (V/ $\mu$ s)	19,2	20,7
$I_{DD}$ ( $\mu$ A)	510,5	356
Pdiss (mW)	1,68	1,17
$V_{out\ max}$ (V)	0,996	1
$V_{out\ min}$ (V)	-1,5	-1,47

## 5.2 Blocos construtivos de um modulador Sigma-Delta passa-banda

Atualmente, conversores A/D e D/A sobre-amostrados são bem populares, pois proporcionam aplicações de velocidade pequena/média com alta resolução, tais como áudio de alta qualidade e telecomunicações. Nestes conversores o sinal analógico é amostrado a uma taxa significativamente acima da banda de sinal. A principal razão para esta popularidade é que conversores sobre-amostrados podem “relaxar” nas especificações na parte analógica, permitindo que toda a filtragem e tratamento do sinal sejam realizados pela parte digital do conversor.

Conversores A/D baseados em modulação sigma-delta ( $\Sigma\Delta$ ) [NOR 97] combinam taxas de amostragem bem acima da taxa de Nyquist com simplicidade de *hardware*. Primeiro, o sinal analógico é modulado em um código simples, uma seqüência de palavras de 1 bit, em uma freqüência bem maior que a taxa de Nyquist (quantização). Depois, o estágio decimador transforma o sinal modulado em palavras maiores a uma taxa de amostragem menor, removendo também ruído e interferência [AZI 96] [NOR 97].

Moduladores  $\Sigma\Delta$  são atualmente usados em diversas aplicações. Além de serem implementados facilmente com pequena área e potência, são relativamente insensíveis às imperfeições do circuito e ao casamento entre componentes, podendo operar com alta resolução, mostrando-se eficientes em proporcionar uma grande faixa de funções de processamento sobre um sinal. O modulador  $\Sigma\Delta$  consiste em um filtro analógico e um

comparador (quantizador) em um laço de realimentação, como mostrado na figura 5.4. O filtro analógico limita a faixa de frequências do sinal de entrada analógico, que depois é quantizado através do comparador. Então o sinal quantizado resultante é realimentado e subtraído do sinal de entrada. Esta realimentação força o valor médio do sinal quantizado a se igualar com o sinal de entrada, portanto qualquer diferença que se acumular no circuito será eventualmente corrigida. O laço de realimentação atua para atenuar o ruído de quantização na faixa de frequência requerida, enquanto aumenta o ruído fora desta faixa. E como o sinal é amostrado em uma frequência bem maior que a taxa de Nyquist, o ruído pode ser removido sem afetar a banda do sinal.



FIGURA 5.4 - Diagrama de blocos básico de um modulador  $\Sigma\Delta$

Utilizando-se um filtro passa-baixa no estágio do filtro analógico, a sua função de transferência é escolhida para que se tenha um alto ganho em frequências baixas, e conseqüentemente, deixando o ruído de quantização baixo nesta faixa. Moduladores  $\Sigma\Delta$  utilizando integradores no estágio analógico são bastantes populares em diversas aplicações como, por exemplo, telecomunicações [NOR 97] [CHO 2001]. Normalmente, utilizam-se moduladores de ordem maior, utilizando mais de um estágio integrador, aumentando a resolução para acima da faixa de 20 bits. Entretanto, moduladores com mais de dois integradores podem sofrer de instabilidade, devido à acumulação de grandes sinais nos integradores. Uma maneira de se obter boa performance e solucionar este problema de instabilidade são o uso de moduladores de primeira ou segunda ordem em cascata.

De uma maneira similar, pode-se utilizar filtros passa-banda no estágio do filtro analógico, escolhendo-se uma função de transferência que tenha alto ganho em uma determinada frequência  $F_c$ . Desta maneira, quase todo o ruído de quantização pode ser removido através de um estágio filtro passa-banda com banda estreita [NOR 97] [BEM 2000]. Portanto, moduladores  $\Sigma\Delta$  passa-banda são usados em aplicações de sistemas que possuem uma banda de sinal estreita, como sistemas de comunicação em RF (*Radio-Frequency*) e instrumentação para sinais de banda estreita.

No trabalho desenvolvido em [FAB 2003], a arquitetura de um HPAA (*High Performance Analog Array*) está sendo desenvolvida e um de seus blocos funcionais é um modulador  $\Sigma\Delta$  passa-banda contínuo no tempo. Portanto, esta é uma ótima oportunidade para pôr em prática o estudo e modelagem, assim como a metodologia  $g_m/I_D$ , de circuitos analógicos CMOS feitos anteriormente, aplicando no projeto dos módulos amplificadores e comparadores que compõem este sistema.

O Modulador  $\Sigma\Delta$  passa-banda é composto por um estágio filtro passa-banda, um comparador seguido de um estágio digital Latch. O circuito é realimentado através de um D/A de 1 bit, ou seja, chaves CMOS.

A seguir, será descrita a análise e projeto dos dois blocos que compõem este sistema: comparador *track-and-latch* e filtro passa-banda.

### 5.3 Comparador Track-and-Latch

O comparador é um importante bloco funcional analógico. Ele compara um sinal analógico com outro sinal analógico (referência), resultando em um sinal binário baseado nesta comparação. Um comparador de tensão pode ser considerado como um circuito não-linear similar ao amplificador operacional operando a laço aberto. Devido ao alto ganho, dependendo dos sinais de entrada, a saída fica sempre saturada ou no nível alto (VDD) ou no nível baixo (VSS). Um comparador ideal pode ser descrito pelos mesmos parâmetros de um amplificador operacional, com ganho finito, sendo necessário alguma variação de tensão de entrada para se alterar a saída [ALL 2002].

A figura 5.5 mostra o diagrama de blocos do circuito comparador escolhido para análise: o comparador *track-and-latch* [CHO 2001] [KOB 93]. Ele consiste em um estágio comparador controlado por um relógio seguido de um circuito digital Latch, que serve para manter o sinal comparado anteriormente durante o mesmo ciclo de relógio. A seguir será descrito a análise e projeto de cada um destes blocos.

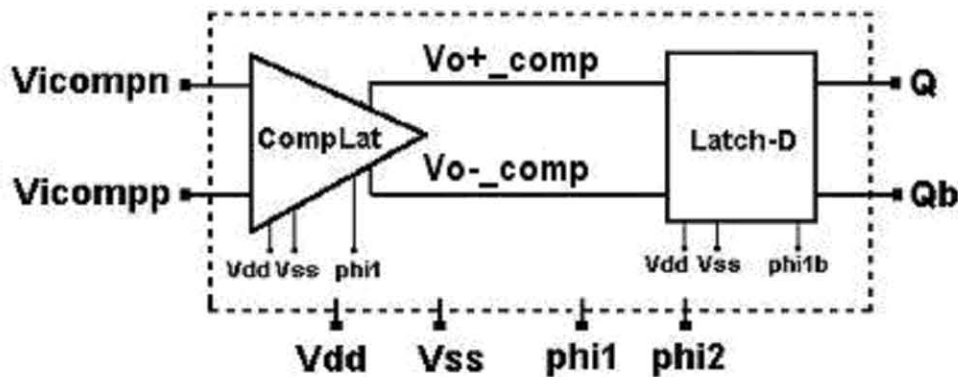


FIGURA 5.5 - Diagrama de blocos do comparador *track-and-latch*

#### 5.3.1 Comparador

O estágio comparador escolhido é um circuito amplificador diferencial que detecta pequenas variações de tensão. Ele funciona, basicamente, por controle de corrente, apresenta baixo consumo estático e é imune a variações de tensão de alimentação [KOB 93].

O comparador, mostrado na figura 5.6, consiste em um par diferencial NMOS (M1 e M2), dois inversores realimentados (M3/M8 e M4/M9), dois transistores PMOS pull-up de reset (M6/M7) e uma fonte de corrente controlada por um relógio (M5). Durante o semi-ciclo ativo do relógio, os transistores pull-up ficam “abertos” e o par diferencial é ativado, onde os sinais de entrada devem estar definidos e estáveis, realizando-se a comparação. No semi-ciclo inativo, a corrente  $I_5$  é cortada e os nodos de saída são resetados (pré-carga). Por esta razão consome muito menos potência que um comparador convencional.

O seu desempenho depende, principalmente, do ganho do amplificador diferencial, isto é, da corrente de polarização do circuito. A realimentação positiva através dos inversores tem a função de aumentar a velocidade de regeneração e manter o sinal por algum tempo.

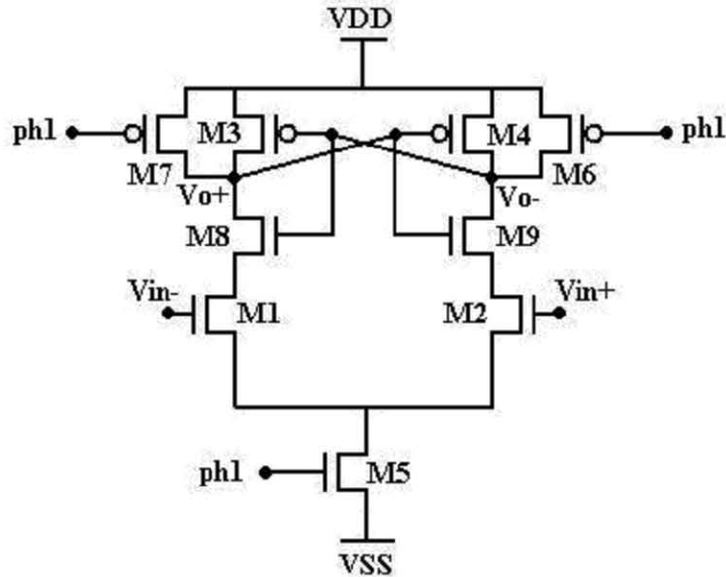


FIGURA 5.6 - Comparador chaveado

### 5.3.1.1 Análise e Projeto

Deseja-se obter um comparador com as seguintes especificações: sensibilidade de 5mV, frequência de operação de 10MHz,  $SR = 100V/\mu s$ ,  $C_L = 100fF$  (carga de entrada do estágio seguinte, Latch D),  $V_{DD} = 1,65 V$  e  $V_{SS} = -1,65 V$ .

A partir da análise dos comportamentos DC e AC (através de seu modelo de pequenos-sinais), deduziram-se as principais relações que modelam seu comportamento.

Primeiramente, pode-se obter a corrente de polarização  $I_5$  do comparador. Considerando a carga de saída do comparador  $C_L = 100fF$  (carga de entrada do estágio seguinte, Latch D) e um *slew rate*  $SR = 100V/\mu s$ , obtêm-se  $I_5$

$$SR = \frac{I_5}{C_L} \Rightarrow I_5 = 100\mu A \quad (\text{Eq. 0.19})$$

A partir da corrente, pode obter-se, então, o (W/L) do transistor M5

$$\left(\frac{W}{L}\right)_5 = 0,277 \quad (\text{Eq. 0.20})$$

A seguir, é feita uma análise de pequenos sinais do comparador. Observando-se a figura 5.7, pode-se notar que a variação da corrente no par diferencial ( $\Delta I$ ) é que irá ditar o funcionamento do comparador. A partir desta observação pode-se obter duas equações importantes que ditam o funcionamento do comparador:

$$\Delta I = GM_{\text{par dif.}} \cdot V_{in} \quad (\text{Eq. 0.21})$$

onde  $GM_{\text{par dif}}$  é o ganho de trancondutância  $gm$  do par diferencial e  $V_{in}$  a tensão de entrada a ser comparada (sensibilidade do comparador), e

$$V_o = r_{o3} \cdot \Delta I \quad (\text{Eq. 0.22})$$

onde  $r_{o3}$  é a resistência de saída do estágio inversor e  $V_o$  a tensão de saída comparada.

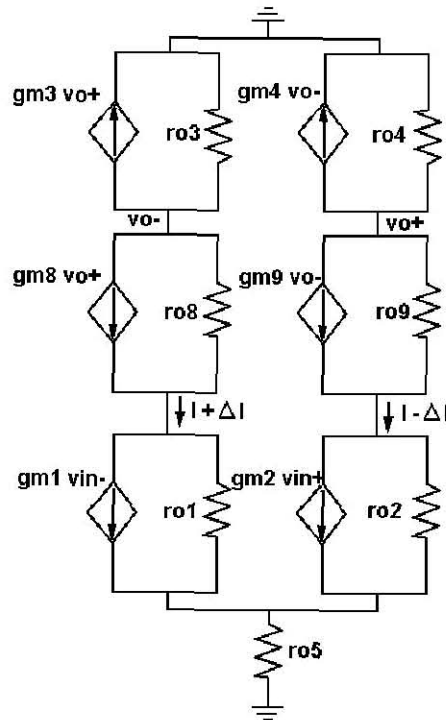


FIGURA 5.7 - Modelo de pequenos-sinais simplificado do comparador

A partir destas duas relações pode-se obter as dimensões do par diferencial e do estágio inversor. A seguir, cada um deste blocos é analisado separadamente.

#### Estágio inversor:

Fazendo uma análise de pequenos sinais do estágio inversor, mostrado na figura 5.8, durante o funcionamento do comparador, a equação 5.5 é obtida.

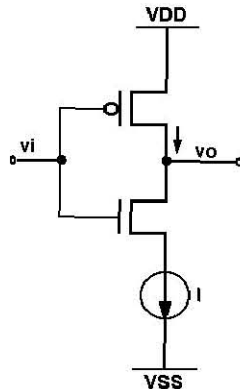


FIGURA 5.8 - Estágio inversor do comparador

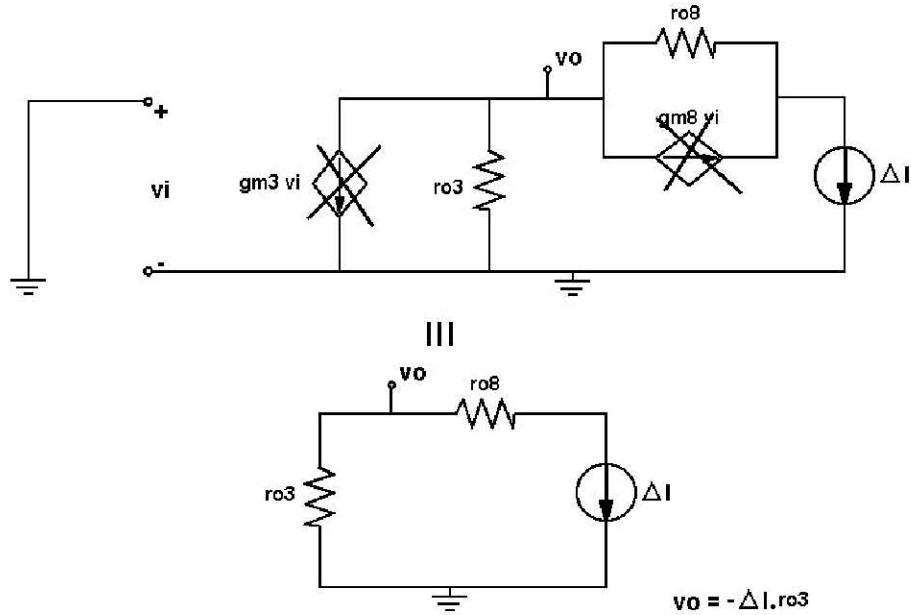


FIGURA 5.9 - Análise de pequenos sinais simplificado do inverso da figura 5.8

Considerando-se um  $\Delta I$  de 5%, ou seja,  $\Delta I = 2,5\mu A$ , e que a tensão de saída (*output swing*) excursions entre VDD e VSS (variação de 3.3V), pode-se obter  $r_{o3}$ .

$$r_{o3} = \frac{V_o}{\Delta I} = \frac{3,3V}{2,5\mu A} \Rightarrow r_{o3} = 1,32M\Omega \quad (\text{Eq. 0.23})$$

A partir de  $r_{o3}$ , pode-se obter a tensão de Early (VA) do transistor

$$V_A = r_{o3} \cdot I = 1,32M\Omega \cdot 50\mu A \Rightarrow V_A = 66V \quad (\text{Eq. 0.24})$$

E a partir de VA pode-se obter o L dos transistores do estágio inversor (ver capítulo 3),  $L = 2,5\mu m$ .

O (W/L) dos transistores deste estágio foram calculados para suportar uma corrente de  $50\mu A$  ( $I_5/2$ ) na região de saturação (modelo SPICE nível 1).

**Estágio par diferencial:**

A partir da equação 5.4, pode-se obter o ganho de transcondutância  $g_m$  dos transistores do par diferencial. Considerando-se o mesmo  $\Delta I$  de 5%, ou seja,  $\Delta I = 2,5\mu A$ , e uma sensibilidade ( $V_{in}$ ) de 5mV, obtêm-se

$$\frac{GM_{par}}{V_{in}} = \frac{2,5\mu A}{5mV} \Rightarrow GM_{par} = 0,0005S \quad (\text{Eq. 0.25})$$



A partir de  $g_m$  pode-se obter o (W/L) dos transistores do par diferencial usando a curva  $g_m/I_D$ .

$$g_m/I_D = 10 \rightarrow \text{curva } g_m/I_D \rightarrow (W/L) = 22 \quad (\text{Eq. 0.26})$$

Os transistores de *pull-up* (M6 e M7) só funcionam durante o estágio de pré-carga, sendo uma chave puramente digital. Portanto, foram dimensionados com W e L mínimos da tecnologia.

A partir de simulações Spectre iniciais do layout extraído do estágio comparador, constatou-se que a sensibilidade ( $\Delta V_{in}$ ) e a variação da tensão de modo-comum deixavam a desejar (valores baixos). Portanto foi necessário um ajuste no projeto, uma realimentação na análise do projeto para se buscar uma solução.

A solução encontrada foi o aumento das dimensões (W/L) dos transistores do par diferencial, ou seja, analisando-se a equação 5.4 para um mesmo  $\Delta I$ , baixou-se pela metade a sensibilidade desejada, dobrando-se as dimensões do par diferencial, deixando o par diferencial mais sensível às variações de corrente.

$$\frac{GM_{par}}{V_{in}} = \frac{2,5\mu A}{2,5mV} \Rightarrow GM_{par} = 0,001S \quad (\text{Eq. 0.27})$$

A partir de  $g_m$  pode-se obter o novo (W/L) dos transistores do par diferencial usando a curva  $g_m/I_D$ .

$$g_m/I_D = 20 \rightarrow g_m/I_D \rightarrow (W/L) = 44 \quad (\text{Eq. 0.28})$$

A partir da análise feita pode-se obter uma tabela com o dimensionamento dos transistores do comparador. O comprimento de canal (L) é determinado a fim de se obter uma melhor relação entre área e ganho DC (devido à dependência da tensão de Early em relação ao L, como é mostrado na seção 3.2). Os valores escolhidos são mostrados na tabela 5.6.

TABELA 5.6 - Dimensões dos transistores – Comparador

	W/L	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M1	44	66	1,5
M2	44	66	1,5
M3	2,4	6	2,5
M4	2,4	6	2,5
M5	0,277	1,25	4,5
M6	3,33	1	0,3
M7	3,33	1	0,3
M8	0,8	2	2,5
M9	0,8	2	2,5

### 5.3.1.2 Implementação

Com as dimensões obtidas partiu-se para a etapa de implementação utilizando-se a ferramenta CADENCE. O circuito foi implementado em duas versões: esquemático (utilizando a biblioteca de transistores AMS0.35) e *layout* (extraído com capacitâncias).

A figura 5.10 mostra o *layout* do estágio comparador na tecnologia AMS0.35 $\mu\text{m}$ , com uma área total de  $53 \times 25 \mu\text{m}^2$ .

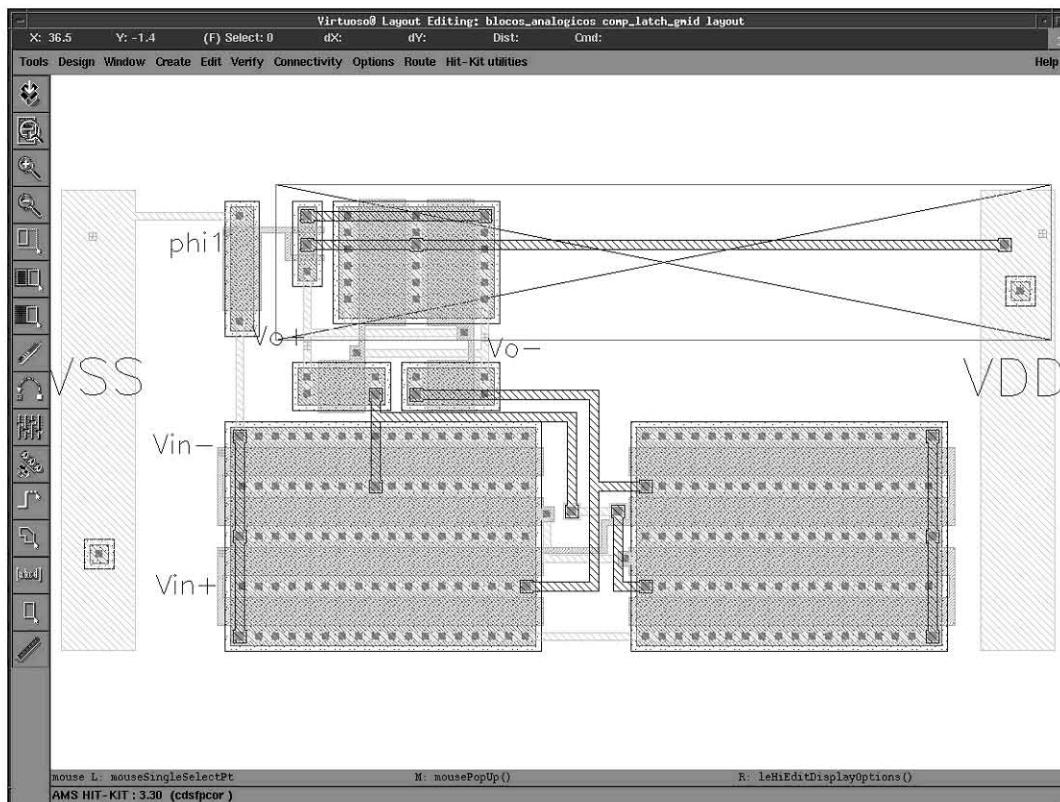


FIGURA 5.10 - Layout do Comparador em tecnologia AMS0.35 $\mu\text{m}$

### 5.3.1.3 Resultados de simulação

A fim de se validar o projeto, foram realizadas diversas simulações Spectre, em versões esquemático e *layout*/extraído.

Foram realizados 3 ensaios para se caracterizar a performance do estágio comparador., conforme descrito a seguir.

ENSAIO 1 (Sensibilidade):

- Aplica-se uma tensão senoidal de 100KHz na entrada positiva do comparador, e aterra-se a entrada negativa;
- Frequência de relógio de 10MHz;
- CL = 50fF (emulando a carga de saída do comparador - Latch D).

A partir deste ensaio pode-se obter a sensibilidade, frequência máxima do relógio, e corrente de operação. A figura 5.11 ilustra o ensaio feito em ambiente Spectre CADENCE e a tabela 5.7 mostra os resultados obtidos.

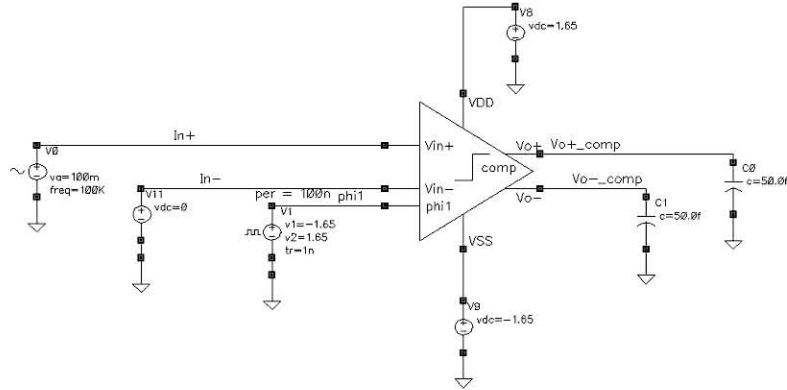


FIGURA 5.11 - Configuração do ensaio 1 em ambiente Spectre CADENCE - Comparador

TABELA 5.7 - Resultados de simulação para o ensaio 1 – Comparador

	Esquemático	Layout/Extração
Sensibilidade - $\Delta V_{in}$ (Vp)	500 $\mu$	1m
$F_{m\acute{a}x}$ phi 1 (MHz)	40	40
$I_{tail}$ ( $\mu$ A)	63,5	65

A figura 5.12 mostra o comportamento da corrente  $I_{tail}$  do transistor M5 na versão esquemático do comparador. A operação chaveada do comparador faz com que um pico de corrente significativo ocorra imediatamente após a ativação do relógio (phi1 = low  $\rightarrow$  high).

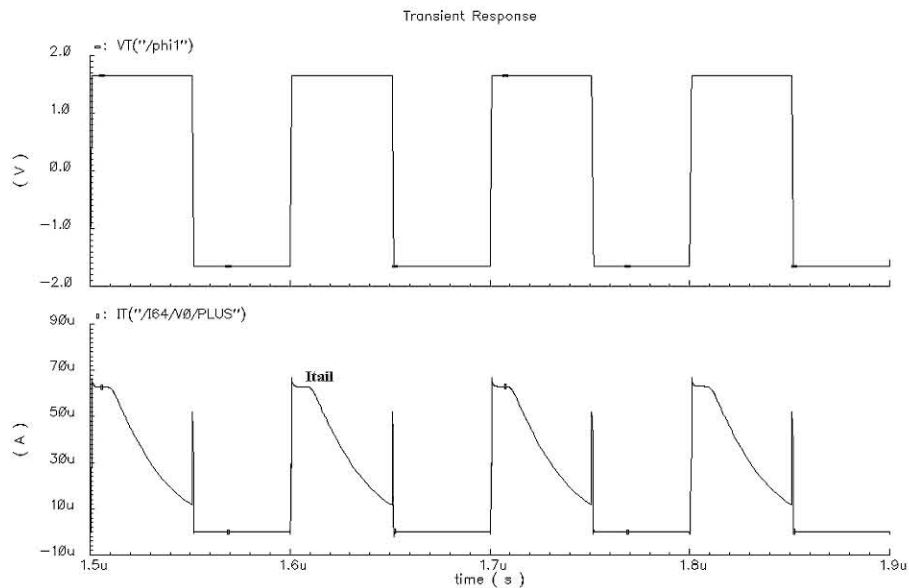


FIGURA 5.12 - Comportamento da corrente do transistor M5 ( $I_{tail}$ ) na versão esquemático do comparador.

## ENSAIO 2 (Atraso):

- Aplica-se uma tensão onda quadrada de 2MHz na entrada positiva do comparador, e aterra-se a entrada negativa;
- Frequência de relógio de 10MHz
- $CL = 50fF$  (emulando a carga de saída do comparador- Latch D).

A partir deste ensaio pode-se obter o atraso (tempo de propagação) do comparador. A figura 5.13 ilustra o ensaio feito em ambiente Spectre CADENCE e a tabela 5.8 mostra os resultados obtidos.

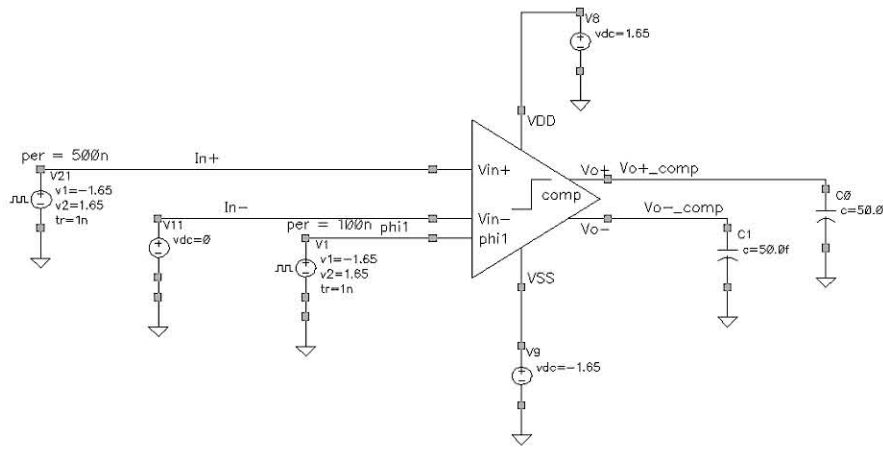


FIGURA 5.13 - Configuração do ensaio 2 em ambiente Spectre CADENCE - Comparador

TABELA 5.8 - Resultados de simulação para o ensaio 2 – Comparador

Amplitude (mV)	Esquemático				Layout/Extração			
	± 10		± 50		± 10		± 50	
	Td <sub>LH</sub> (ns)	Td <sub>HL</sub> (ns)	Td <sub>LH</sub> (ns)	Td <sub>HL</sub> (ns)	Td <sub>LH</sub> (ns)	Td <sub>HL</sub> (ns)	Td <sub>LH</sub> (ns)	Td <sub>HL</sub> (ns)
Phi1 → Vo+comp	5,10	10,60	5,15	8,63	5,14	9,68	5,20	7,88
Phi1 → Vo-comp	5,12	10,54	5,15	8,40	5,14	9,61	5,21	7,66

## ENSAIO 3 (Modo-comum):

- Aplica-se uma tensão onda triangular na entrada positiva do comparador com uma amplitude de  $\pm 3mV + V_x$ , e a entrada negativa com uma tensão DC  $V_x$ . A partir daí varia-se a tensão de modo-comum  $V_x$ .
- Frequência de relógio de 10MHz
- $CL = 50fF$  (emulando a carga de saída do comparador - Latch D).

A partir deste ensaio pode-se obter a variação da tensão de saída em relação à variação da tensão de modo-comum. A figura 5.14 ilustra o ensaio feito em ambiente Spectre CADENCE e a tabela 5.9 mostra os resultados obtidos.

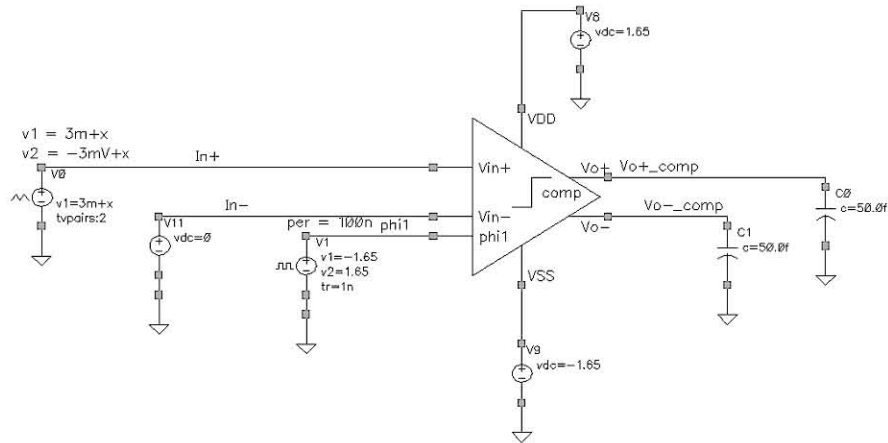


FIGURA 5.14 - Configuração do ensaio 3 em ambiente Spectre CADENCE - Comparador

TABELA 5.9 - Resultados de simulação para o ensaio 3 – Comparador

	Esquemático	Layout/Extração
Varição da saída em relação à tensão de modo-comum (V)	$\pm 500\text{mV}$	$\pm 350\text{mV}$
Máxima variação da tensão de saída (V)	+1,63 / -1,44	+1,62 / -1,53

### 5.3.2 Latch D

Após o estágio comparador é necessário um estágio Latch D. Enquanto o comparador amostra o sinal, o estágio Latch deve manter o sinal comparado anteriormente durante o mesmo ciclo de relógio.

Este circuito é um simples circuito digital Latch D, como é mostrado figura 5.15, composto por duas portas NOR2, duas portas NOR3 e dois buffers de saída para que o circuito suporte uma carga de 10pF.

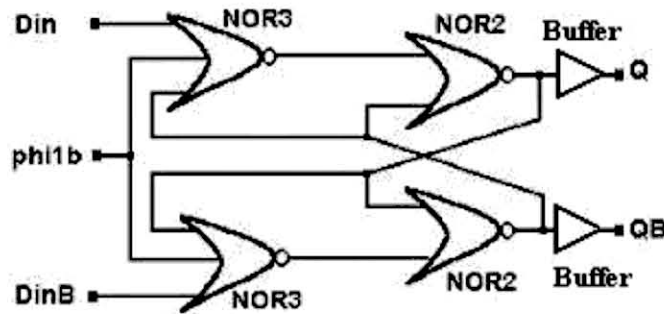


FIGURA 5.15 - Esquemático em portas lógicas do circuito Latch D

Os transistores foram dimensionados de acordo com os procedimentos e recomendações para projeto de circuitos digitais. A tabela 5.10 mostra a relação das dimensões escolhidas para os transistores que operam em modo digital (grandes-sinais).

TABELA 5.10 - Dimensões dos transistores – Latch D

		W/L	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
NOR2	NMOS	20	6	0,3
	PMOS	40	12	0,3
NOR3	NMOS	10	3	0,3
	PMOS	20	6	0,3
INV1 (Buffer)	NMOS	50	15	0,3
	PMOS	100	30	0,3
INV2 (Buffer)	NMOS	200	60	0,3
	PMOS	400	120	0,3

Com as dimensões obtidas partiu-se para a etapa de implementação e validação do circuito, utilizando-se a ferramenta CADENCE. O circuito foi implementado em duas versões: esquemático (utilizando a biblioteca de transistores AMS0.35) e layout (extraído com capacitâncias). A figura 5.16 mostra o *layout* do Latch D na tecnologia AMS0.35 $\mu\text{m}$ . Simulações elétricas Spectre foram realizadas a fim de se avaliar performance do circuito. A tabela 5.11 mostra estes resultados.

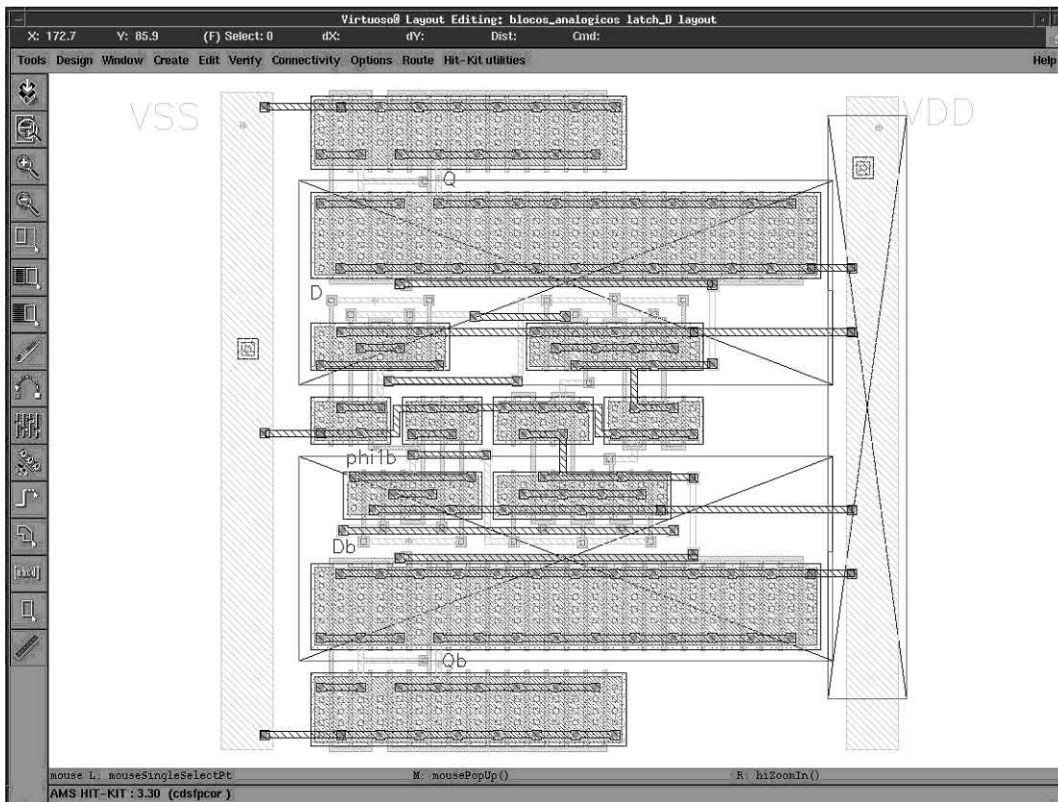


FIGURA 5.16 - Layout do circuito Latch D em tecnologia AMS0.35 $\mu\text{m}$

TABELA 5.11 - Resultados de simulação do layout do circuito Latch D,  $F = 10\text{MHz}$  –  $CL = 10\text{pF}$ , Área =  $50 \times 52 \mu\text{m}^2$

	Atraso – phi1b → Q	Atraso – phi1b → Qb
$T_{dHL}$ (ns)	1,42	1,38
$T_{dLH}$ (ns)	1,8	1,87
$I_{DD}$ (mA)	36,68	
$P_{diss}$ (mW)	121,04	

### 5.3.3 Circuito completo - Comparador + Latch D

Com os 2 blocos caracterizados, partiu-se para a implementação do comparador *track-and-latch* completo, mostrado na figura 5.5. O circuito foi implementado em duas versões: esquemático (utilizando a biblioteca de transistores AMS0.35) e layout (extraído com capacitâncias). A figura 5.17 mostra o *layout* do comparador *track-and-latch* na tecnologia AMS0.35 $\mu\text{m}$ , com uma área total de  $78 \times 50 \mu\text{m}^2$ .

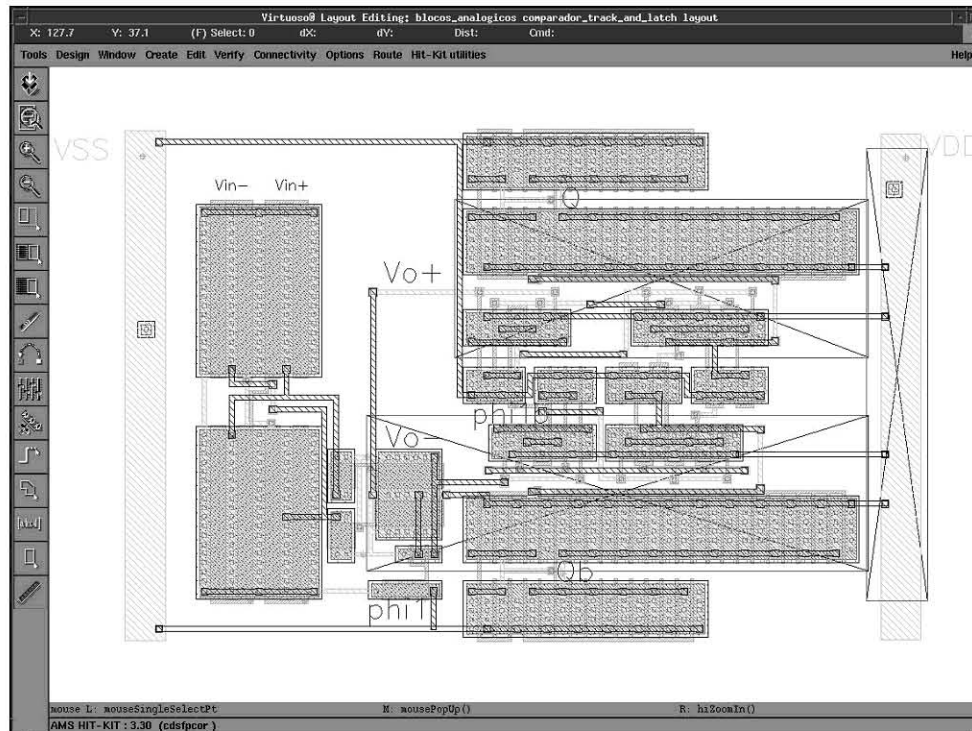


FIGURA 5.17 - Layout do circuito comparador *track-and-latch* em tecnologia AMS0.35 $\mu\text{m}$

A fim de se validar o projeto, foram realizadas diversas simulações Spectre do circuito completo. A seguir, é descrito o ensaio para se caracterizar a performance do circuito.

#### ENSAIO :

- Aplica-se uma tensão senoidal de 100KHz na entrada positiva do comparador, e aterra-se a entrada negativa.

- Frequência de relógio de 10MHz
- $CL = 10\text{pF}$

A partir deste ensaio pode-se obter a caracterização das formas de onda do comparador. A figura 5.18 ilustra o ensaio feito em ambiente Spectre CADENCE, enquanto a figura 5.19 mostra o funcionamento do circuito com as formas de onda das tensões  $V_{o+\_ext}$  (saída do estágio comparador - layout/extraído) e  $Q\_ext$  (saída final do comparador após o Latch - layout/extraído).

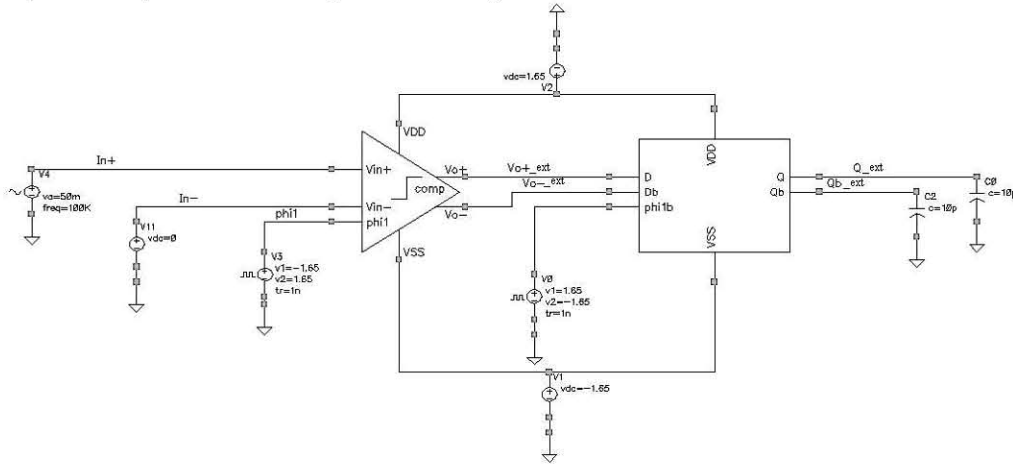


FIGURA 5.18 - Configuração do ensaio do circuito total em ambiente Spectre CADENCE

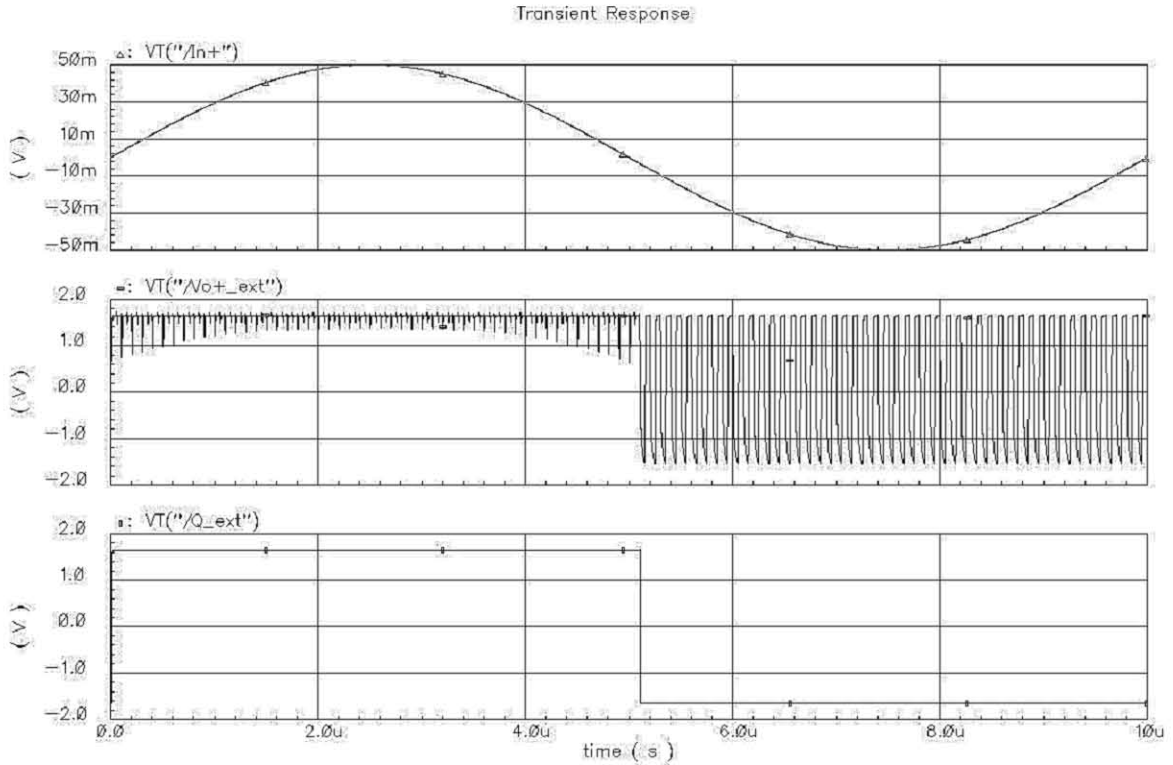


FIGURA 5.19 - Formas de onda das tensões  $In+$  (tensão senoidal de entrada),  $V_{o+\_ext}$  (saída do estágio comparador -layout/extraído) e  $Q\_ext$  (saída final do comparador após o Latch) obtida via simulação elétrica Spectre do circuito Comparador + Latch D



## 5.4 Filtro GM-C Passa-Banda

Filtros analógicos são sistemas analógicos muito importantes, bastante usados em sistemas de comunicação. Um filtro analógico pode ser definido como uma rede de componentes (resistores, capacitores, indutores e transistores) que opera ou processa sinais elétricos analógicos [LAK 94]. O termo filtro ativo se refere ao filtro que usa componentes ativos (transistores) ou circuitos amplificadores em seus esquemáticos.

Existem várias maneiras de se implementar um filtro analógico ativo em um circuito integrado (CI). Todas elas se baseiam em circuitos com amplificadores operacionais e uma rede RC passiva, para que o sistema realimentado resulte na função de transferência desejada. Além de serem pouco compatíveis com a tecnologia de CIs dominante, CMOS (onde resistores não são normalmente disponíveis ou são difíceis de se implementar), estes circuitos necessitam de amplificadores de alto ganho e largura de banda elevada, o que dificulta e encarece o seu projeto.

A arquitetura usando filtros Transcondutância-C (GM-C) [LAK 94] [SCH 2001] [TSI 94], é uma boa opção para o projeto de filtros contínuos no tempo. Comparando-se com outras implementações, consomem menos potência, são mais rápidos e possuem maior capacidade de atingir frequências maiores [SCH 2001]. Esta arquitetura evita o uso de amplificadores operacionais, obtendo o ganho que se necessita através de amplificadores transcondutores. Portanto só é necessário para sua implementação capacitores e transcondutores, facilitando a sua implementação em circuitos integrados.

Filtros GM-C vêm sendo usados em diversas aplicações como vídeo digital, filtros IF, etc., [ELH 2001] [SAN 2000], obtendo faixas de frequência de poucos KHz a várias centenas de MHz. Portanto, esta arquitetura foi escolhida para a implementação do filtro analógico passa-banda contínuo no tempo.

O bloco construtivo básico desta arquitetura é o amplificador de transcondutância (OTA), que pode ser considerado como uma fonte de corrente controlada por tensão. Portanto, pode-se considerar que o bloco transcondutor como um simples amplificador diferencial, um circuito analógico relativamente simples de se implementar, onde as suas técnicas de projeto foram extensivamente estudadas e caracterizadas nos capítulos anteriores.

Esta célula de transcondutância, representada aqui pelo símbolo mostrado na figura 5.20, gera uma corrente de saída proporcional a uma diferença de tensão de entrada, como mostra a equação abaixo.

$$I_o = g_m \cdot (V_{i+} - V_{i-}) \quad (\text{Eq. 0.29})$$

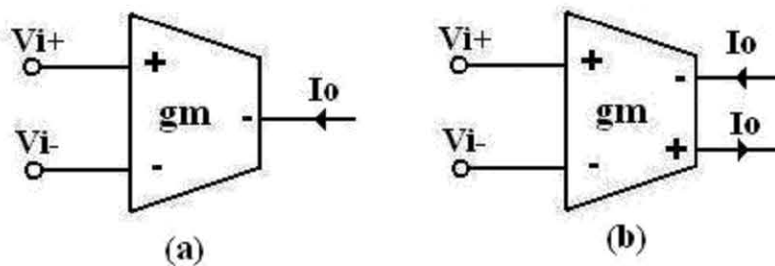


FIGURA 5.20 - Símbolo do bloco básico transcondutor: (a) circuito *single-ended*; (b) circuito diferencial.

### 5.4.1 Blocos transdutores construtivos elementares

A fim de ser construir filtros GM-C, necessitam-se de vários blocos construtivos elementares. Como o próprio nome “filtros GM-C” sugere, se deseja empregar capacitores e transdutores como componentes básicos. Portanto, os componentes necessários para o projeto de filtros, como resistores, indutores e integradores podem ser implementados através destes dois componentes básicos. A seguir a implementação de cada um destes componentes é descrita.

#### 5.4.1.1 Resistores

Resistores são componentes bastante importantes no projeto de filtros analógicos integrados. Porém, são difíceis de se implementar com uma relativa exatidão, para uma faixa de valores adequada em circuitos integrados.

Pode-se simular um resistor simplesmente conectando-se o terminal de saída negativo de um transcondutor com o seu terminal de entrada positivo, como mostra a figura 5.21a. Como a entrada do transcondutor é (idealmente) um circuito aberto, a corrente de entrada  $I_i$  é igual a corrente de transcondutância de saída  $I_o$ , então

$$I_i = I_o = g_m \cdot V_i \quad (\text{Eq. 0.30})$$

Conseqüentemente, o circuito representa um resistor:

$$R = \frac{V_i}{I_i} = \frac{1}{g_m} \quad (\text{Eq. 0.31})$$

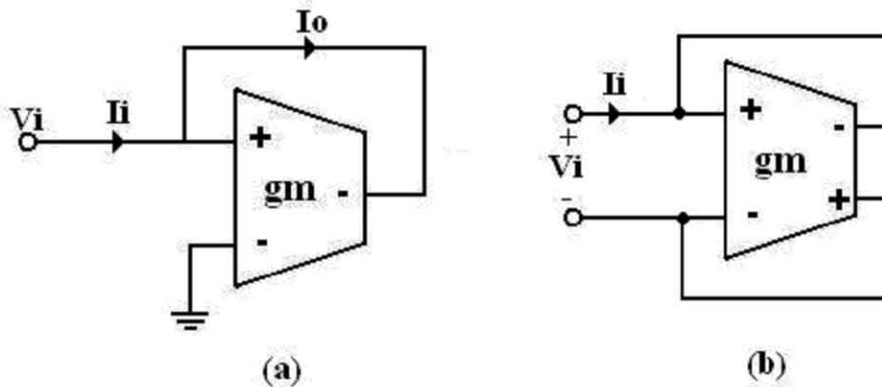


FIGURA 5.21 - Resistor aterrado simulado com um transcondutor: (a) circuito *single-ended*; (b) circuito diferencial.

É importante salientar que esta configuração simula um resistor aterrado, pois  $V_i$  é referenciado ao terra, e a entrada diferencial invertida do transcondutor está aterrada. Para se realizar um resistor flutuante, as tensões de entrada e saída (com a realimentação sempre negativa) são referenciadas aos terminais em que se deseja simular o resistor.

## 5.4.1.2 Integradores

A partir da implementação de um transcondutor com uma impedância de saída  $Z(s)$ , como é mostrado na figura 5.22, e usando um capacitor  $C$  como sua impedância, obtém-se a seguinte resposta

$$V_O = \frac{g_m}{s \cdot C} \cdot (V_{i+} - V_{i-}) \quad (\text{Eq. 0.32})$$

que implementa o bloco construtivo fundamental de filtros GM-C: o integrador GM-C.

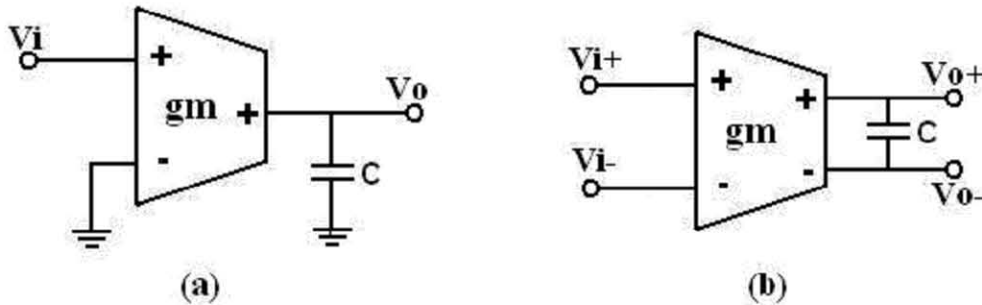


FIGURA 5.22 - Integrador GM-C: (a) circuito *single-ended*; (b) circuito diferencial.

Esta configuração converte a tensão diferencial de entrada  $V_i$  em uma corrente pelo transcondutor, esta corrente é então integrada em  $C$  gerando a tensão de saída  $V_o$ . Este tipo de circuito, assim como os filtros que usam este circuito, são chamados de “modo tensão”. Estas são as estruturas tratadas neste trabalho. Outro tipo de configuração, o chamado circuito “modo corrente”, integra a corrente de entrada  $I_i$  em  $C$  para gerar a tensão e saída, que depois é convertida novamente em corrente pelo transcondutor.

A figura 5.22b mostra um integrador diferencial com o capacitor conectado entre as duas saídas diferenciais do circuito, o que economiza área para a implementação do capacitor. Porém esta implementação tem uma grande desvantagem, pois na fabricação de capacitores integrados, pode haver um capacitor parasita (devido a proximidade com o substrato) cujo tamanho pode ser de até 10% do valor do capacitor. Portanto, muitas vezes é interessante converter este capacitor em dois capacitores aterrados (porém com o dobro do valor) como mostra a figura 5.23, eliminando a influência dos parasitas.

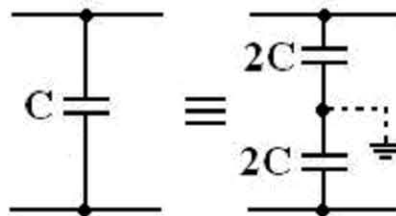


FIGURA 5.23 - Conversão de capacitores em circuitos diferenciais.

## 5.4.1.3 Gytrators

O *gyrator*, um bloco de dois terminais onde a sua impedância de entrada é inversamente proporcional a sua impedância de carga, é um elemento muito útil na implementação de filtros GM-C, pois possibilita a conversão de um capacitor em um indutor. Por ser fundamentalmente uma conexão entre uma fonte controlada por tensão inversora e uma não-inversora [SCH 2001], o projeto de *gyrators* é bem simples usando transcondutores.

Considerando a configuração mostrada na figura 5.24a, um *gyrator* é caracterizado pelas equações

$$I_i = g_{m2} \cdot V_o \quad e \quad I_o = g_{m1} \cdot V_i \quad (\text{Eq. 0.33})$$

E através destas duas equações deriva-se

$$\frac{V_i}{I_i} = \frac{1}{g_{m1} \cdot g_{m2}} \cdot \frac{I_o}{V_o} \quad (\text{Eq. 0.34})$$

e considerando que a impedância de saída é C, obtém-se um indutor

$$L = \frac{C}{g_{m1} \cdot g_{m2}} \quad (\text{Eq. 0.35})$$

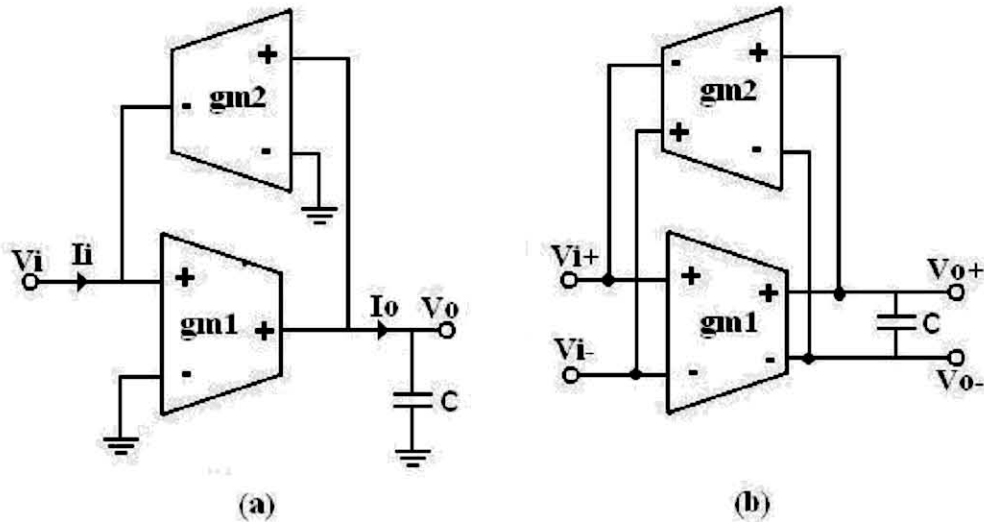


FIGURA 5.24 - Indutor aterrado simulado com um transcondutor: (a) circuito *single-ended*; (b) circuito diferencial.

### 5.4.2 Topologia filtro GM-C passa-banda biquad

Filtros usando a técnica GM-C empregam fundamentalmente os mesmos métodos de circuitos ativos RC. Então, pode-se obter uma topologia de um filtro GM-C passa-banda a partir do circuito passivo RLC mostrado na figura 5.25.

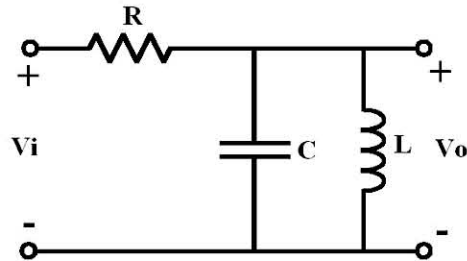


FIGURA 5.25 - Filtro passa-banda RLC passivo

A partir deste circuito, pode-se obter a sua implementação usando transcondutores como é mostrado na figura 5.26:  $g_{m1}$  converte a tensão de entrada em corrente,  $g_{m2}$  representa o resistor R, o capacitor  $C1$  representa C, e  $g_{m3}$  e  $g_{m4}$  formam o *gyrator* (onde o capacitor  $C2$  implementa o indutor L).

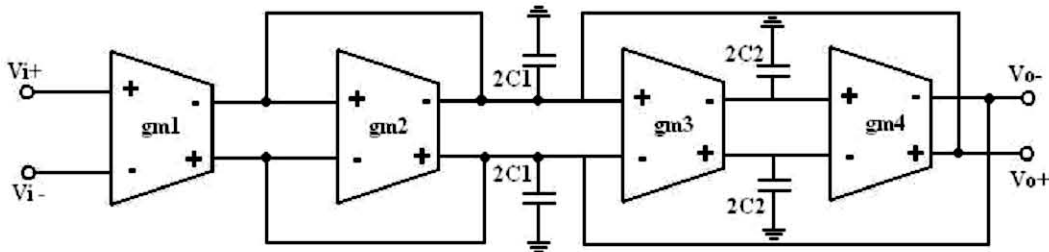


FIGURA 5.26 - Topologia filtro GM-C passa-banda diferencial *biquad*.

Esta implementação de segunda ordem (*biquad*) emula diretamente o circuito RLC passivo mostrado na figura 5.25 obtendo a seguinte função de transferência:

$$\frac{V_o}{V_i} = - \frac{\frac{g_{m1}}{C1} \cdot s}{s^2 + s \cdot \frac{g_{m2}}{C1} + \frac{g_{m3} \cdot g_{m4}}{C1 \cdot C2}} \quad (\text{Eq. 0.36})$$

onde

$$W_c = \sqrt{\frac{g_{m3} \cdot g_{m4}}{C1 \cdot C2}} \quad \text{e} \quad Q = \sqrt{\frac{C1 \cdot g_{m3} \cdot g_{m4}}{g_{m2}^2 \cdot C2}} \quad (\text{Eq. 0.37})$$

$W_c$  representa a frequência central do filtro ( $W_c = 2 \cdot \pi \cdot F_c$ ), e  $Q$  é o fator de qualidade do filtro.

## 5.4.2.1 Topologia modificada

A partir da topologia *biquad* obtida anteriormente, pode-se obter uma topologia simplificada, retirando o estágio  $g_{m2}$  e modificando a saída como mostra a figura 5.27. Considerando que todos os transcondutores são iguais  $g_m = g_{m1} = g_{m3} = g_{m4}$ , e  $C = C_1 = C_2$ , pode-se obter a seguinte função de transferência

$$\frac{V_o}{V_i} = - \frac{s \cdot \frac{g_m}{C}}{s^2 + \frac{g_m^2}{C^2}} \quad (\text{Eq. 0.38})$$

onde

$$W_c = \frac{g_m}{C} \quad Q = \infty \quad (\text{Eq. 0.39})$$

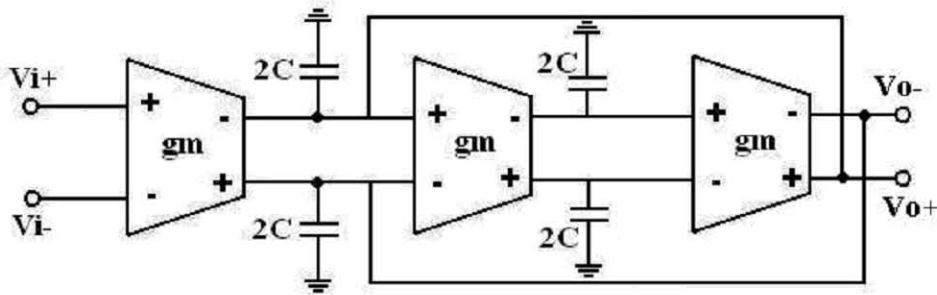


FIGURA 5.27 - Topologia filtro GM-C passa-banda diferencial, obtida a partir da configuração *biquad*

Esta configuração além de economizar um transcondutor fornece um fator de qualidade ( $Q$ ) infinito. Porém, considerando que o transcondutor é um elemento real e possui uma condutância de saída  $G_o$ , a função de transferência do filtro é modificada

$$\frac{V_o}{V_i} = - \frac{\left(s + \frac{G_o}{C}\right) \cdot \frac{g_m}{C}}{s^2 + s \cdot \left(\frac{3 \cdot G_o}{C}\right) + \frac{g_m^2 + G_o^2}{C^2}} \quad (\text{Eq. 0.40})$$

onde

$$W_c = \sqrt{\frac{g_m^2 + G_o^2}{C^2}} \approx \frac{g_m}{C} \quad e \quad Q = \frac{g_m}{3 \cdot G_o} \quad (\text{Eq. 0.41})$$

É interessante notar que nesta configuração o fator de qualidade do filtro depende diretamente da resistência da saída do transcondutor.

### 5.4.3 Implementação do filtro

Deseja-se implementar a topologia do filtro GM-C passa-banda diferencial para uma aplicação específica [FAB 2003], mostrado na figura 5.27, com as seguintes especificações: frequência central de operação  $F_c = 5\text{MHz}$  e um fator de qualidade  $Q > 50$ . Portanto, a partir das equações 5.24, e com  $C = 1\text{pF}$ , tem-se o ganho de transcondutância do OTA

$$W_c = 2 \cdot \pi \cdot 5\text{MHz} = \frac{g_m}{C} \Rightarrow g_m = 31,42\mu\text{S} \quad (\text{Eq. 0.42})$$

A configuração diferencial foi escolhida, pois qualquer interferência ou ruído nas tensões de entrada será eliminado pela simetria do circuito.

O próximo passo é a escolha do bloco transconductor, pois o projeto de filtros GM-C está ligado diretamente a esta escolha. Um amplificador de transcondutância ideal para este tipo de aplicação seria uma fonte de corrente controlada por tensão com largura de banda infinita e resistências de entrada e saída infinitas. A seguir será descrito o projeto do filtro passa-banda usando duas arquiteturas de transcondutores diferentes.

#### 5.4.3.1 Bloco transconductor: amplificador diferencial

Como primeira opção, considerou-se a configuração simples estágio amplificador diferencial com CMFB (*Common-Mode FeedBack*) [LAK 94], mostrado na figura 5.28. Além de consumir pouca potência, é um circuito relativamente simples de se implementar, onde as suas técnicas de projeto foram estudadas e caracterizadas nos capítulos anteriores.

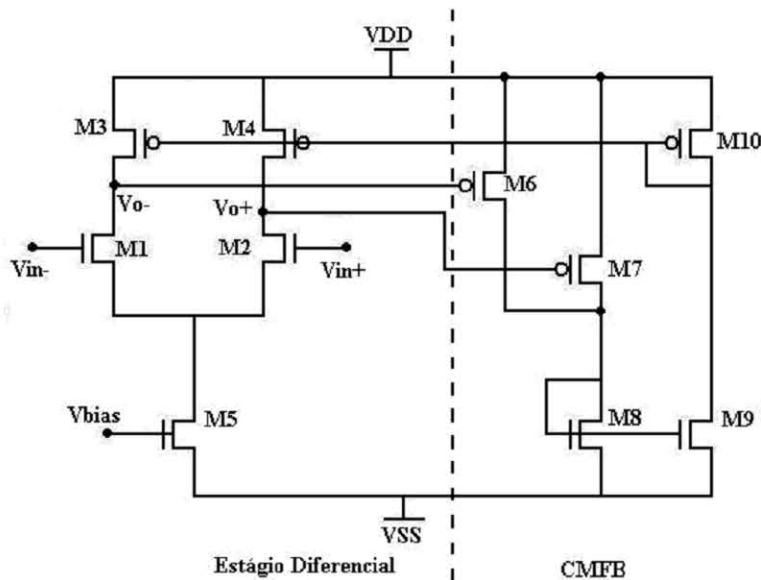


FIGURA 5.28 - OTA com estágio amplificador diferencial e CMFB

A partir do filtro a ser implementado, deseja-se obter um amplificador diferencial com as seguintes especificações:  $g_{m1} = 64,84\mu\text{S}$  ( $g_{m1}=g_m/2$ ),  $SR > 25\text{V}/\mu\text{s}$ ,  $C_L = 1\text{pF}$ ,  $V_{\text{CMR}} = \pm 0,5\text{V}$ ,  $R_{\text{out}} > 4\text{M}\Omega$  (para se obter um Q mínimo de 50),  $V_{\text{DD}} = 1,65\text{V}$  e  $V_{\text{SS}} = -1,65\text{V}$ . O procedimento do projeto busca melhor performance nas especificações acima. Todas as características DC e AC do circuito são calculadas a partir da modelagem para o transistor MOS descrita no capítulo 2. O projeto segue a seguinte seqüência:

- a partir da especificação de SR, pode-se obter o limite mínimo para a corrente de polarização:  $I_{D5} \geq SR \cdot C_L \Rightarrow I_{D5} = 25\mu\text{A}$ ;

- para o par diferencial NMOS (M1 e M2), a partir da especificação de ganho de transcondutância, pode-se saber o seu  $g_m/I_D$

$$\left(\frac{g_m}{I_D}\right)_1 = 5 \Rightarrow \text{curva} \cdot g_m / I_D \Rightarrow \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = 1,67;$$

- as dimensões dos transistores do espelho de corrente PMOS (M3 e M4) são calculados a partir da especificação de  $V_{\text{CMR}_{\text{máx}}}$ :

$$V_{\text{GS3}} = 0,625\text{V} \Rightarrow \left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = 2;$$

- a dimensão do transistor M5 é calculado a partir da especificação de  $V_{\text{CMR}_{\text{mín}}}$ :

$$V_{\text{DS5}} = 0,407 \Rightarrow \left(\frac{W}{L}\right)_5 = 3,5;$$

O circuito CMFB consiste dos transistores M6 a M10, e pode ser considerado também com um amplificador. Este circuito serve para manter estável a tensão de saída de modo-comum. Seus transistores foram dimensionados segundo os seguintes critérios baseados em [LAK 94]:  $\text{GBW}_{\text{CM}} \geq \text{GBW}_{\text{dif}}$ , a fim de se garantir condições de polarização estável em todas as freqüências de interesse; o amplificador diferencial deve operar sob uma tensão de entrada de modo-comum máxima.

A tabela 5.12 mostra a relação dos tamanhos dos transistores para este projeto. O comprimento de canal (L) é determinado a fim de se obter uma melhor relação entre área e ganho DC, devido à dependência da tensão de Early em relação ao L (como é mostrado na seção 3.2). A tabela 5.13 mostra os resultados de performance do circuito, através de simulações elétricas Spectre usando o modelo BSIM3v3.2.2.

TABELA 5.12 - Dimensões dos transistores – Amplificador diferencial

	W/L	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M1	1,67	8,35	5
M2	1,67	8,35	5
M3	3,6	18	5
M4	3,6	18	5
M5	3,33	5	1,5
M6	1	1,5	1,5
M7	1	1,5	1,5
M8	7,2	36	5
M9	1	1,5	1,5
M10	1	1,5	1,5



TABELA 5.13 - Resultados de simulação elétrica Spectre – Amplificador diferencial

$A_v$ (dB)	44,3
$g_{m1}$ ( $\mu S$ )	72,79
$R_{out}$ ( $M\Omega$ )	5
GBW(MHz)	5,5
SR (V/ $\mu s$ )	24
MF ( $^\circ$ )	89,2
$V_{out_{m\acute{a}x}}$ (V)	1,3
$V_{out_{min}}$ (V)	-0,9
$I_{DD}$ ( $\mu A$ )	82,33
$P_{diss}$ (mW)	0,27

Com o bloco transcondutor devidamente projetado e caracterizado, o próximo passo é a implementação do filtro GM-C passa-banda. A figura 5.29 mostra o esquemático do filtro implementado em ambiente CADENCE Spectre. Já a figura 5.30 mostra os resultados da simulação em frequência do filtro. Considerando que a resistência de saída do transcondutor ( $1/G_o$ ) é  $5M\Omega$ , pode-se considerar que o zero que este parâmetro produz na função de transferência do filtro, segundo a equação 5.23, está em uma frequência baixa em relação a  $F_c$  (aproximadamente 200KHz), podendo ser desconsiderada. Além disso, garante um fator de qualidade  $Q$  maior que 50. A tabela 5.14 mostra os resultados de performance do filtro, obtidos pelas simulações elétricas Spectre.

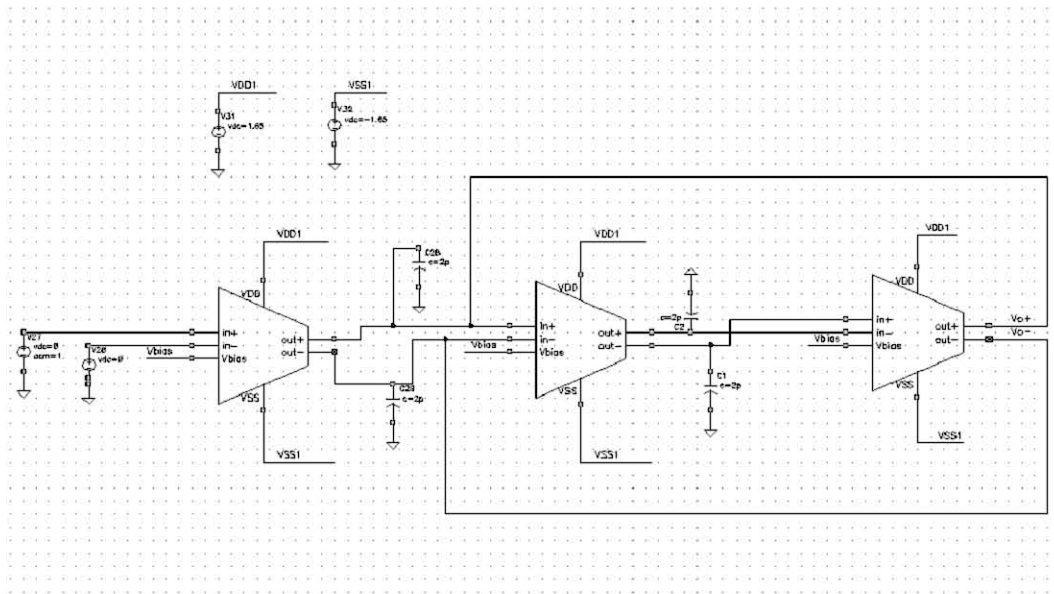


FIGURA 5.29 - Esquemático do filtro passa-banda implementado em ambiente CADENCE Spectre

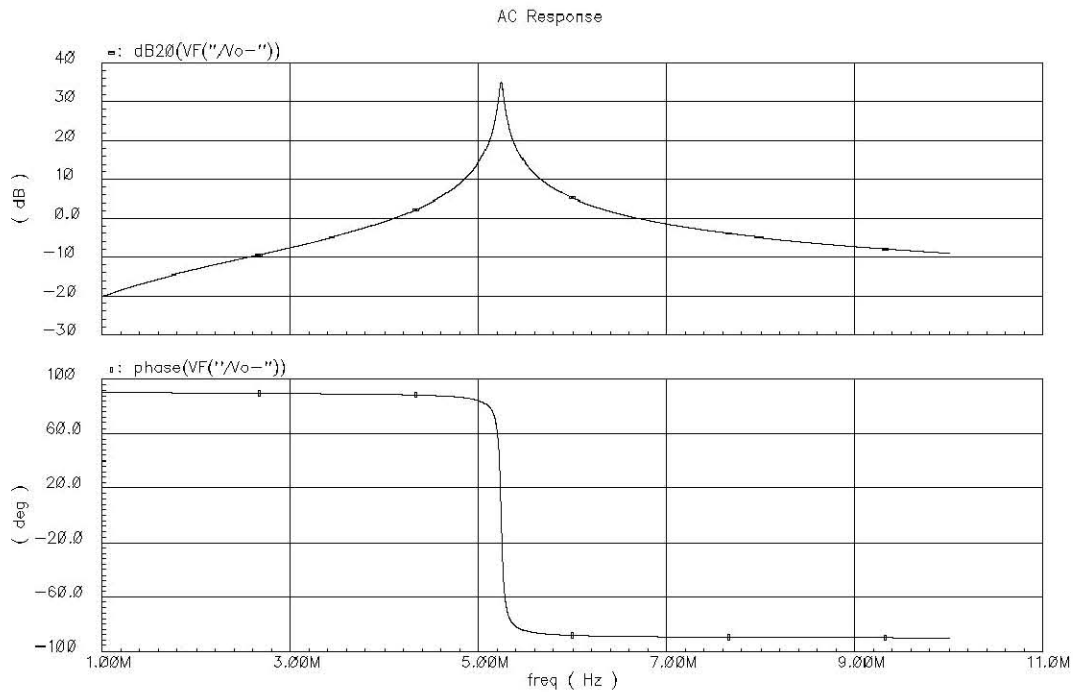


FIGURA 5.30 - Resultados de simulação em frequência do filtro passa-banda implementado.

TABELA 5.14 - Resultados de performance do filtro, obtidos pelas simulações elétricas Spectre

Fc (MHz)	5,24
Q	110
I <sub>DD</sub> (μA)	247,4
Pot (mW)	0.816
V <sub>out</sub> <sub>max</sub> (V)	1,3
V <sub>out</sub> <sub>min</sub> (V)	-1
SR (V/μs)	10

#### 5.4.3.2 Bloco transconductor: amplificador diferencial linearizado

Um transconductor é uma célula de transcondutância em que a corrente de saída é idealmente linear em relação a tensão de entrada. Portanto, a linearidade do transconductor é uma questão muito importante no projeto de filtros GM-C.

Considerando o par diferencial (previamente analisado no capítulo 3), que é o estágio de entrada mais conhecido e usado no projeto de transconductores diferenciais, mostrado na figura 5.31. Com os seus transistores operando na região de saturação, o ganho de transcondutância  $g_m$  do par diferencial é

$$g_m = \frac{2 \cdot \Delta i}{\Delta V_{in}} = \frac{\partial I_b}{\partial (V_{GS} - V_t)} = \sqrt{\frac{\mu_0 \cdot C_{ox}}{n} \cdot \frac{W}{L} \cdot I_b} \quad (\text{Eq. 0.43})$$

onde  $\Delta V_{in} = V_{in+} - V_{in-}$  e  $\Delta i$  é a corrente AC. O que mostra claramente que a corrente de saída do transcondutor não é linear em relação a tensão de entrada.

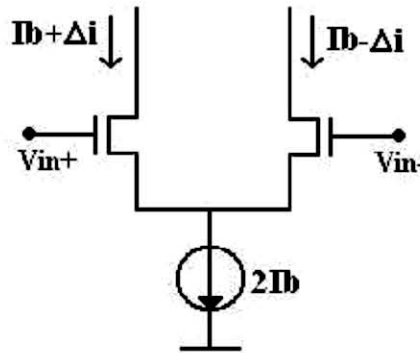


FIGURA 5.31 - Estágio par diferencial: corrente de saída não é linear em relação a tensão de entrada

Uma maneira simples de se linearizar este circuito é o uso da técnica de degeneração de fonte (*source degeneration*) [KAI 2001] [SAN 2000], mostrado a figura 5.32, onde um resistor passivo é conectado entre os terminais de fonte do par diferencial. Portanto, o ganho de transcondutância  $g_m$  do par diferencial é determinado pelo termo linear

$$g_m = \frac{2 \cdot \Delta i}{\Delta V_{in}} = \frac{\partial I_b}{\partial (V_{GS} - V_t)} = \frac{\sqrt{\frac{\mu_0 \cdot C_{ox}}{n} \cdot \frac{W}{L} \cdot I_b}}{1 + R \cdot \sqrt{\frac{\mu_0 \cdot C_{ox}}{n} \cdot \frac{W}{L} \cdot I_b}} \approx \frac{1}{R} \quad (\text{Eq. 0.44})$$

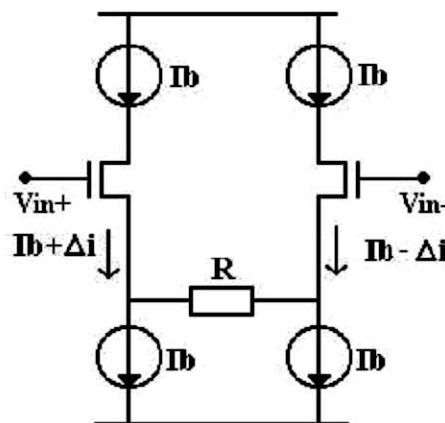


FIGURA 5.32 - Estágio par diferencial linearizado

O resistor R pode ser implementado através de um transistor com o seu terminal gate conectado a uma tensão de polarização (VC) como é descrito no capítulo 2.

Considerando que o transistor está operando na região não linear (triôdo), sua resistência é dada por

$$R = \frac{1}{\frac{\mu_0 \cdot C_{ox}}{n} \cdot \frac{W}{L} \cdot (V_C - V_{T3} - V_{CM} + V_{T2})} \quad (\text{Eq. 0.45})$$

onde

$$V_{CM} = \frac{V_{in+} - V_{in-}}{2} \quad (\text{Eq. 0.46})$$

A partir desta análise, o transcondutor diferencial projetado na seção anterior pode ser modificado, como mostra a figura 5.33. Para uma faixa de tensão baixa, a resistência pode ser ajustada através da tensão de porta  $V_C$  do transistor  $M3$ .

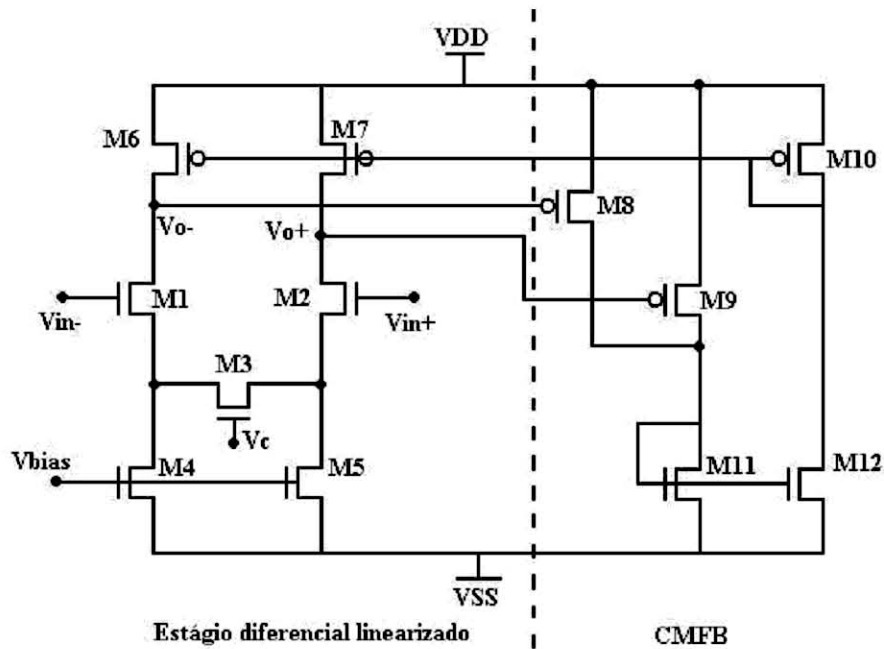


FIGURA 5.33 - OTA com estágio amplificador diferencial linearizado e CMFB

A tabela 5.15 mostra a relação dos tamanhos dos transistores para este projeto. Os transistores foram dimensionados para as mesmas especificações do projeto anterior. A tabela 5.16 mostra os resultados de performance do circuito transcondutor, através de simulações elétricas Spectre usando o modelo BSIM3v3.2.2. Observando-se a tabela 6.5, nota-se que para uma determinada faixa de tensão  $V_C$ , pode-se ajustar o valor da resistência do transistor  $M3$ , garantindo uma tensão de saída de modo-comum estável.

TABELA 5.15 - Dimensões dos transistores – Amplificador diferencial linearizado

	W/L	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M1	1,67	8,35	5
M2	1,67	8,35	5
M3	2,67	13	5
M4	1,67	2,5	1,5
M5	1,67	2,5	1,5
M6	3,6	18	5
M7	3,6	18	5
M8	1	1,5	1,5
M9	1	1,5	1,5
M10	7,2	36	5
M11	1	1,5	1,5
M12	1	1,5	1,5

TABELA 5.16 - Resultados de simulação elétrica Spectre – Amplificador diferencial linearizado

VC (V)	0,5 – 1,5
(Faixa de linearidade)	
$A_{v \text{ máx}}$ (dB)	44,06
GBW(MHz)	4,97
SR (V/ $\mu\text{s}$ )	24
MF ( $^\circ$ )	86,15
$V_{\text{out máx}}$ (V)	1,3
$V_{\text{out min}}$ (V)	-0,9
$I_{\text{DD}}$ ( $\mu\text{A}$ )	82,42
Pdiss (mW)	0,27

Com o novo bloco transconductor devidamente projetado e caracterizado, partiu-se para a implementação do filtro GM-C passa-banda. O filtro passa-banda projetado foi implementado em duas versões: esquemático (utilizando a biblioteca de transistores AMS0.35 $\mu\text{m}$ ) e layout (extraído com capacitâncias). A figura 5.34 mostra o esquemático do filtro implementado. O *layout* do circuito, mostrado a figura 5.35, foi feito no ambiente CADENCE usando as técnicas de *layout* descritas no capítulo 3. Os quatro capacitores de 2pF foram implementados com polisilício nível 1 – polisilício nível 2, e podem identificados pelos quatro retângulos maiores na figura 5.34. A área total é de 121 x 163  $\mu\text{m}^2$ .

Já as figuras 5.36 e 5.37 mostram os resultados da simulação em frequência do filtro para as versões esquemático e *layout* extraído, respectivamente. Agora, a frequência central do filtro ( $F_c$ ) pode ser ajustada pelo valor do ganho de transcondutância do OTA, que por sua vez está relacionado com o valor da resistência do transistor M3. Ou seja, para uma faixa de tensão baixa que garanta que M3 funcione na região triodo, a frequência central do filtro ( $F_c$ ) pode ser ajustada através da tensão de polarização VC.

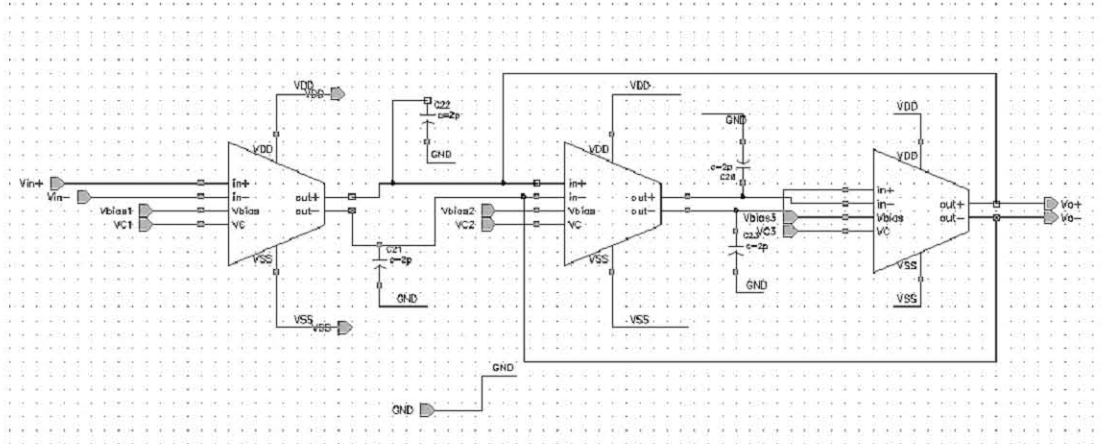


FIGURA 5.34 - Esquemático do filtro passa-banda com  $F_c$  ajustável implementado em ambiente CADENCE Spectre

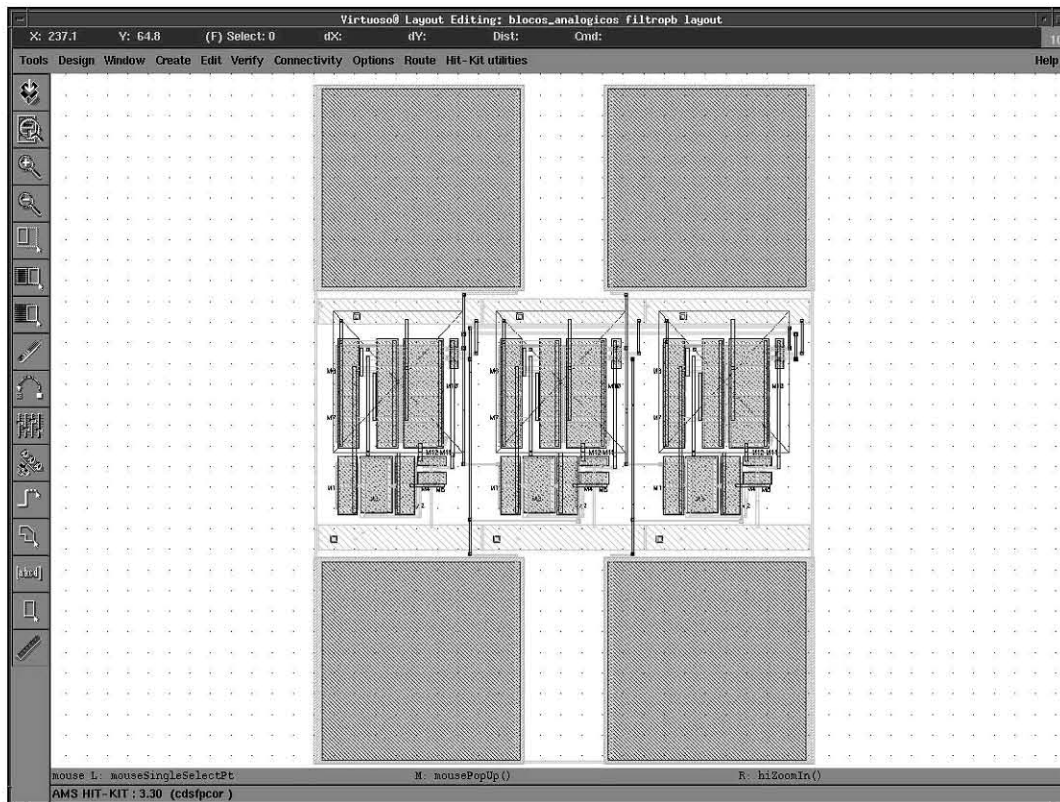


FIGURA 5.35 - *Layout* do filtro passa-banda com  $F_c$  ajustável implementado em ambiente CADENCE Spectre – Área total de  $121 \times 163 \mu\text{m}^2$ .

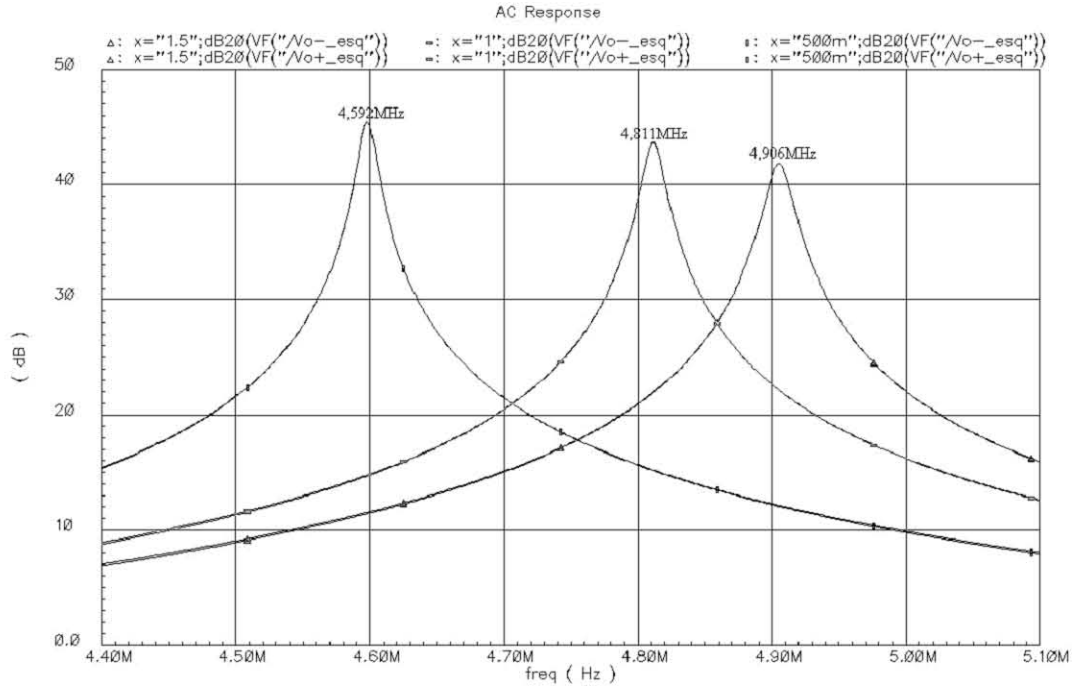


FIGURA 5.36 - Resultados de simulação para ajuste de frequência do filtro passa-banda implementado – Versão esquemático.

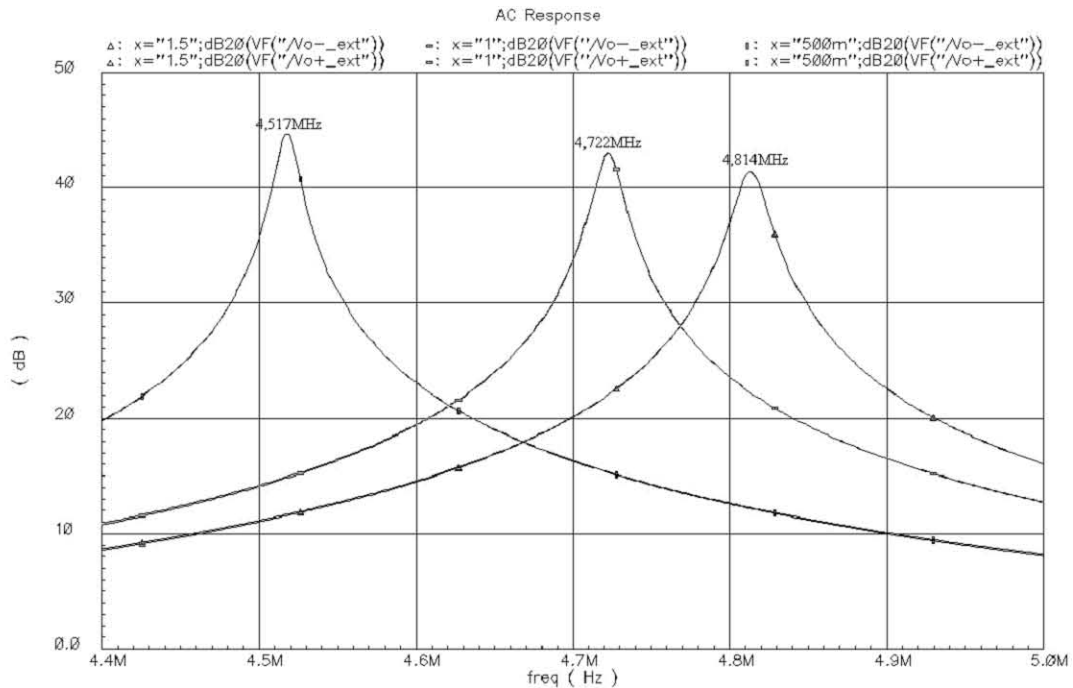


FIGURA 5.37 - Resultados de simulação para ajuste de frequência do filtro passa-banda implementado – Versão layout extraído.

Considerando que a resistência de saída deste transcondutor ( $1/G_o$ ) é de aproximadamente  $10M\Omega$ , pode-se considerar que o zero que este parâmetro produz na

função de transferência do filtro, equação 5.23, está em uma frequência baixa em relação a  $F_c$  (aproximadamente 100KHz), podendo ser desconsiderada.

É interessante notar que existe também uma variação do fator de qualidade  $Q$  de acordo com  $V_C$ , devido a dependência de  $Q$  (eq. 5.24) do ganho de transcondutância  $g_m$  e da resistência de saída dos blocos transdutores que implementam o filtro. Porém o valor de  $Q$  se mantém dentro da especificação desejada ( $> 50$ ).

A tabela 5.17 mostra os resultados de performance do filtro, obtidos pelas simulações elétricas Spectre.

TABELA 5.17 - Resultados de performance do filtro passa-banda com  $F_c$  ajustável, obtidos pelas simulações elétricas Spectre

	Esquemático	Layout/Extração
$F_c$ (MHz)	4,6 – 5	4,5 – 4,8
$Q$ @5MHz	250,9	241,9
$I_{DD}$ ( $\mu A$ )	247,65	251,4
Pot (mW)	0,817	0,829
$V_{out_{m\acute{a}x}}$ (V)	1	0,9
$V_{out_{m\acute{i}n}}$ (V)	-1	-0,9
SR (V/ $\mu s$ )	10	10

## 5.5 Conclusão

Neste capítulo, a metodologia de projeto  $g_m/I_D$ , assim como as técnicas de projeto e modelagem desenvolvidas anteriormente, é aplicada na análise e projeto de diversos blocos analógicos.

O primeiro circuito analisado foi o amplificador operacional tipo Miller. A partir dos valores de  $g_m/I_D$  escolhidos, a corrente normalizada  $I_D/(W/L)$  foi determinada através da curva  $g_m/I_D$  de cada transistor, e conseqüentemente o  $W/L$  de cada transistor para as especificações desejadas. Também foram obtidos resultados através de uma metodologia de projeto convencional baseada em na análise do capítulo 3 para posterior comparação.

Como exemplo de um sistema analógico a ser implementado usando esta metodologia, foi apresentado o Modulador Sigma-Delta Passa-Banda. Uma simples arquitetura de um Modulador  $\Sigma\Delta$  passa-banda contínuo no tempo de primeira ordem é composta por um estágio filtro passa-banda e um comparador, além da realimentação através de um D/A de 1 bit. Foram analisados e projetados os módulos que compõem este importante sistema: o comparador *track-and-latch* e filtro passa-banda.

O comparador *track-and-latch* foi projetado através de uma extensa análise dos comportamentos DC e AC (através de seu modelo de pequenos-sinais), baseada nas análises contidas nos capítulos anteriores. Observou-se que a variação da corrente no par diferencial ( $\Delta I$ ) do estágio comparador dita o funcionamento do comparador. A partir desta observação obteve-se as dimensões dos transistores. Simulações Spectre foram realizadas para este bloco, para a validação do projeto e obtenção das características elétricas. Os dados de desempenho foram tabelados.

No projeto do filtro passa-banda, uma topologia de um filtro GM-C *biquad* diferencial foi desenvolvida a partir de um circuito passivo RLC. A configuração diferencial foi escolhida, pois qualquer interferência ou ruído nas tensões de entrada é eliminado pela simetria do circuito. Como o projeto de GM-C está ligado diretamente a



esta escolha do bloco transcondutor, foram implementados filtros usando duas arquiteturas de transdutores diferentes. A primeira implementação usou a configuração de um simples estágio amplificador diferencial com CMFB, com resultados de performance do filtro obtidos por simulações elétricas, obtendo-se uma frequência central ( $F_c$ ) de 5,2 MHz e um fator de qualidade  $Q$  de 110, atendendo as especificações desejadas.

A segunda implementação do filtro usou o mesmo estágio diferencial com CMFB, usando a técnica de degeneração de fonte (*source degeneration*) para se linearizar o transcondutor. Esta configuração de filtro, além de possuir o bloco transcondutor, linearizado, tem a sua frequência central ajustável por uma pequena faixa de tensão que garante o transcondutor com o seu ganho de transcondutância linear. Os resultados de performance do filtro foram obtidos por simulações elétricas, obtendo-se uma frequência central ( $F_c$ ) entre 4 e 5 MHz e um fator de qualidade  $Q$  de 250, atendendo as especificações desejadas.

Comparando-se as duas implementações do filtro, mostra-se claramente a vantagem da segunda implementação, pois a linearidade do transcondutor é uma questão muito importante no projeto de filtros GM-C. Além disso, é interessante ao projetista poder fazer um ajuste “fino” na frequência central do filtro, ou até no seu fator de qualidade. É importante salientar também que, como este trabalho visa analisar, caracterizar e exercitar técnicas de projeto de sistemas analógicos, escolheu-se uma topologia simples (e bastante usada) para o filtro, assim como os seus blocos transdutores.

## 6 Conclusões

Neste trabalho foi realizado um estudo sobre técnicas de projeto, analisando fatores importantes como modelagem e caracterização de parâmetros de tecnologia, para o desenvolvimento de alguns blocos analógicos considerados básicos para construção da maioria dos sistemas analógicos usados atualmente – amplificadores, comparadores e filtros analógicos.

A partir das regras elétricas e regras de *layout* para a tecnologia a ser usada (AMS0.35 $\mu$ m), foi feita a análise do transistor MOS. Foi analisado um modelo simplificado para se calcular a corrente do transistor MOS usado em modelos Spice nível 1, e a partir disto foi revisada a modelagem AC e DC do transistor MOS, que emulam o funcionamento deste dispositivo. A partir desta modelagem, os parâmetros de tecnologia que descrevem as características particulares do transistor MOS foram analisados. A maioria dos parâmetros elétricos para a tecnologia AMS0.35 $\mu$ m foi obtida a partir do modelo elétrico disponível, o modelo BSIM3v3.2.2.

Também foram descritos os processos de obtenção de dois parâmetros elétricos muito importantes para o projeto analógico,  $n$  (fator de inclinação) e  $V_A$  (tensão de Early). Para a obtenção do valor do fator de inclinação  $n$  foram usados três métodos, porém o método baseado em um modelo desenvolvido para circuitos analógicos (EKV) onde o parâmetro equivale ao inverso da derivada de  $V_P$  em relação a  $V_{GB}$  foi considerado o melhor deles. O parâmetro  $V_A$  foi caracterizado a partir do efeito de diminuição do comprimento eletricamente efetivo do canal por  $V_{DS}$  (curva  $I_D$  versus  $V_{DS}$ ) do transistor. A relação da variação da tensão de Early em função da variação  $L$  e  $V_{GB}$  para o transistor foi obtida, dando mais liberdade ao projetista escolher o  $L$  do transistor a fim de se obter o estágio de um circuito com a resistência de saída desejada. Também se obteve a característica da variação  $V_A$  em relação a região de operação do transistor, ou seja, em função da variação da característica  $g_m/I_D$  do transistor para diversos comprimentos de canal diferentes.

Com uma modelagem confiável, os subcircuitos considerados básicos para o projeto de circuitos analógicos CMOS (chave CMOS, resistores ativos, espelho de corrente, par diferencial e inversor CMOS) foram analisados. Foram descritos a análise e projeto de um estágio diferencial, ilustrando a análise e projeto de um circuito analógico, assim como as características deste bloco em questão. A partir da modelagem AC e DC desenvolvida, foi implementada uma metodologia de projeto baseada nesta modelagem. Foram obtidos resultados de performance do estágio diferencial, calculados analiticamente e através de simulações elétricas, comprovando que esta metodologia “convencional”, ainda bastante usada em projeto analógico, é eficaz, obtendo-se um projeto confiável. Também as principais técnicas de *layout* usadas na implementação dos blocos analógicos analisados anteriormente foram discutidas, a fim de se obter o *layout* de pares diferenciais e espelhos de corrente com transistores casados.

Uma metodologia de síntese unificada considerando todas as regiões de operação do transistor MOS, a metodologia de projeto  $g_m/I_D$ , foi discutida. Este método considera a relação entre a razão entre a transcondutância  $g_m$  sobre a corrente de dreno  $I_D$  e a corrente de dreno normalizada  $I_D/(W/L)$  como a ferramenta fundamental para o projeto. A curva  $g_m/I_D$  versus  $I_D/(W/L)$  para a tecnologia AMS0.35 $\mu$ m foi obtida por duas maneiras: analiticamente, usando o modelo EKV para o transistor MOS, e através de simulações elétricas Spectre de um transistor típico. Considerando que o modelo elétrico disponível é confiável, escolheu-se a curva simulada como padrão para o projeto dos blocos analógicos a serem implementados neste trabalho.

Para a validação desta metodologia, foram desenvolvidos a análise e projeto de alguns blocos analógicos muito usados em diversas aplicações. Primeiramente, o amplificador operacional Miller foi analisado. Foram obtidos ótimos resultados de simulações elétricas na performance do amplificador Miller, observando-se a vantagem da metodologia  $g_m/I_D$ , pois além de dar uma boa indicação da região de operação do transistor, fornece uma característica única para todos os transistores do mesmo tipo para uma determinada tecnologia.

A partir de toda a análise feita anteriormente, blocos analógicos mais complexos foram analisados. O comparador *track-and-latch* e o filtro passa-banda GM-C *biquad* contínuo no tempo, foram implementados. O projeto de cada bloco foi baseado nas análises contidas nos capítulos anteriores. Simulações Spectre foram realizadas para cada bloco, para a validação do projeto e obtenção das características elétricas. Os dados de desempenho foram tabelados.

Mesmo com pouca experiência no projeto de um sistema analógico CMOS, conseguiu-se alcançar satisfatoriamente os objetivos propostos neste trabalho utilizando conceitos e métodos simples. Porém, para que estes resultados sejam estendidos para o nível de implementação física diversas considerações devem ser feitas, como a validade do modelo elétrico usado e as características do processo de fabricação (capacitância e resistências parasitas). Além disso, simulações adicionais devem ser feitas para se quantificar a sensibilidade dos parâmetros de desempenho em relação a variações de temperatura, alimentação e variações randômicas nos parâmetros elétricos e de processo (simulação *Monte Carlo*). Análises de ruído e THD (Distorção Harmônica Total) também serão consideradas posteriormente para completar a validação dos blocos projetados.

Outra importante consideração é a escolha do comprimento de canal  $L$  dos transistores. Como todas as metodologias de projeto fornecem a relação  $W/L$ , fica a critério do projetista a escolha do  $L$ . Neste trabalho, o  $L$  é determinado a fim de se obter uma melhor relação entre área e ganho DC, devido à dependência da tensão de Early em relação ao  $L$ . Nos módulos analógicos desenvolvidos, estimou-se em 5 vezes o  $L$  mínimo que a tecnologia permite (em alguns casos, escolheram-se valores maiores a fim de se aumentar o ganho DC). Fatores importantes como área ( $W \times L$ ), ruído e velocidade não foram considerados. Portanto, pretende-se desenvolver uma metodologia específica para a escolha do  $L$ , levando-se em conta fatores como área, ruído e velocidade

Como trabalho futuro, pretende-se prototipar os circuitos projetados, junto com diversos transistores de teste. Isto possibilitará a validação através de medidas elétricas dos circuitos implementados, completando o ciclo de projeto de um sistema analógico. Assim, os parâmetros de projeto discutidos neste trabalho, como a curva  $g_m/I_D$  versus  $I_D/(W/L)$  e a tensão de Early, poderão ser obtidos experimentalmente. Além disso, a partir de medidas elétricas dos transistores de teste, os parâmetros do modelo elétrico EKV, por exemplo, podem ser obtidas para posterior comparação com o modelo usado.

## Anexo 1 Modelo Spectre BSIM3v3.2.2 para o transistor MOS - Tecnologia AMS0.35 $\mu$ m

```
// -----
// Owner: Austria Mikro Systeme
// HIT-Kit: Digital
// ***** SIMULATION PARAMETERS *****
// -----
// format : Spectre (Spectre Direct)
// model : MOS BSIM3v3
// process : CSADFI
// revision : N/C;
// extracted : CSA C61417; 1998-10; ese(487)
// doc# : 9933016 REV_N/C
// -----
// TYPICAL MEAN CONDITION
// -----
//
inline subckt modn ( d g s b )
parameters w=1.0e-6 l=1.0e-6 nrd=0.0 nrs=0.0 ad=0.0 as=0.0 pd=0.0 ps=0.0
//
modn ( d g s b ) mosinsub w=w l=l nrd=nrd nrs=nrs ad=ad as=as pd=pd ps=ps
model mosinsub bsim3v3 version=3.1 type=n capmod=2.000e+00 \
mobmod=1.000e+00 nqsmod=0.000e+00 noimod=1.000e+00 \
k1=6.044e-01 \
k2=2.945e-03 k3=-1.72e+00 k3b=6.325e-01 \
nch=2.310e+17 vth0=4.655e-01 \
voff=-5.72e-02 dvt0=2.227e+01 dvt1=1.051e+00 \
dvt2=3.393e-03 keta=-6.21e-04 \
pscbe1=2.756e+08 pscbe2=9.645e-06 \
dvt0w=0.000e+00 dvt1w=0.000e+00 dvt2w=0.000e+00 \
ua=1.000e-12 ub=1.723e-18 uc=5.756e-11 \
u0=4.035e+02 \
dsub=5.000e-01 eta0=3.085e-02 etab=-3.95e-02 \
nfactor=1.119e-01 \
em=4.100e+07 pclm=6.831e-01 \
drout=5.000e-01 \
a0=2.208e+00 a1=0.000e+00 a2=1.000e+00 \
pvag=0.000e+00 vsat=1.178e+05 ags=2.490e-01 b0=-1.76e-08 b1=0.000e+00 \
delta=1.000e-02 pdiblc1=1.076e-01 \
pdiblc2=1.453e-03 \
w0=1.184e-07 \
dlc=8.285e-09 \
dwc=2.676e-08 dwb=0.000e+00 dwg=0.000e+00 \
ll=0.000e+00 lw=0.000e+00 lwl=0.000e+00 \
lln=1.000e+00 lwn=1.000e+00 wl=0.000e+00 \
ww=0.000e+00 ww1=0.000e+00 wln=1.000e+00 \
wwn=1.000e+00 \
at=3.300e+04 ute=-1.80e+00 \
kt1=-3.30e-01 kt2=2.200e-02 kt11=0.000e+00 \
ua1=0.000e+00 ub1=0.000e+00 uc1=0.000e+00 \
prt=0.000e+00 \
cgdo=2.100e-10 cgso=2.100e-10 cgbo=1.100e-10 \
cgdl=0.000e+00 cgsl=0.000e+00 ckappa=6.000e-01 \
cf=0.000e+00 elm=5.000e+00 \
xpart=1.000e+00 clc=1.000e-15 cle=6.000e-01 \
rdsw=6.043e+02 \
```

```

cdsc=0.000e+00 cdscb=0.000e+00 cdscd=8.448e-05 \
prwb=0.000e+00 prwg=0.000e+00 cit=1.000e-03 \
tox=7.700e-09 \
ngate=0.000e+00 \
nlx=1.918e-07 \
xl=5.000e-08 xw=0.000e+00 \
af=1.400e+00 kf=2.810e-27 ef=1.000e+00 \
noia=1.000e+20 noib=5.000e+04 noic=-1.40e-12 \
rd=0.000e+00 rs=0.000e+00 rsh=8.200e+01 \
minr=1.000e-03 \
rdc=0.000e+00 rsc=0.000e+00 lint=8.285e-09 \
wint=2.676e-08 ldif=0.000e+00 hdif=6.000e-07 \
xj=3.000e-07 js=2.000e-05 \
n=1.000e+00 \
dskip=no tlev=0 tlevc=0 \
cj=9.300e-04 cjsw=2.800e-10 \
fc=0.000e+00 fcsw=0.000e+00 \
mj=3.100e-01 mjsw=1.900e-01 \
pb=6.900e-01 pbsw=9.400e-01
ends modn
// -----

// -----
// Owner: Austria Mikro Systeme
// HIT-Kit: Digital
// ***** SIMULATION PARAMETERS *****
// -----
// format : Spectre (Spectre Direct)
// model : MOS BSIM3v3
// process : CSADFI
// revision : N/C;
// extracted : CSA C61417; 1998-10; ese(487)
// doc# : 9933016 REV_N/C
// -----
// TYPICAL MEAN CONDITION
// -----
//
inline subckt modp ( d g s b )
parameters w=1.0e-6 l=1.0e-6 nrd=0.0 nrs=0.0 ad=0.0 as=0.0 pd=0.0 ps=0.0
//
modp ( d g s b ) mosinsub w=w l=l nrd=nrd nrs=nrs ad=ad as=as pd=pd ps=ps
model mosinsub bsim3v3 version=3.1 type=p capmod=2.000e+00 \
mobmod=1.000e+00 nqsmod=0.000e+00 noimod=1.000e+00 \
k1=5.675e-01 \
k2=-4.39e-02 k3=4.540e+00 k3b=-8.52e-01 \
nch=1.032e+17 vth0=-6.17e-01 \
voff=-1.13e-01 dvt0=1.482e+00 dvt1=3.884e-01 \
dvt2=-1.15e-02 keta=-2.56e-02 \
pscbe1=1.000e+09 pscbe2=1.000e-08 \
dvt0w=0.000e+00 dvt1w=0.000e+00 dvt2w=0.000e+00 \
ua=2.120e-10 ub=8.290e-19 uc=-5.28e-11 \
u0=1.296e+02 \
dsub=5.000e-01 eta0=2.293e-01 etab=-3.92e-03 \
nfactor=8.237e-01 \
em=4.100e+07 pclm=2.979e+00 \
drout=5.000e-01 \
a0=1.423e+00 a1=0.000e+00 a2=1.000e+00 \
pvag=0.000e+00 vsat=2.000e+05 ags=3.482e-01 b0=2.719e-07 b1=0.000e+00 \
delta=1.000e-02 pdiblc=-1.78e-02 \
pdiblc1=3.310e-02 \

```

```

pdiblc2=1.000e-09 \
  w0=4.894e-08 \
  dlc=-5.64e-08 \
  dwc=3.845e-08   dwb=0.000e+00   dwg=0.000e+00 \
  ll=0.000e+00   lw=0.000e+00   lwl=0.000e+00 \
  lln=1.000e+00  lwn=1.000e+00   wl=0.000e+00 \
  ww=0.000e+00   ww1=0.000e+00   wln=1.000e+00 \
  wwn=1.000e+00 \
  at=3.300e+04   ute=-1.35e+00 \
  kt1=-5.70e-01  kt2=2.200e-02  kt11=0.000e+00 \
  ua1=0.000e+00  ub1=0.000e+00  uc1=0.000e+00 \
  prt=0.000e+00 \
  cgdo=2.100e-10  cgso=2.100e-10  cgbo=1.100e-10 \
  cgdl=0.000e+00  cgsl=0.000e+00  ckappa=6.000e-01 \
  cf=0.000e+00   elm=5.000e+00 \
  xpart=1.000e+00  clc=1.000e-15  cle=6.000e-01 \
  rdsw=1.853e+03 \
  cdsc=6.994e-04  cdsch=2.943e-04  cdsd=1.970e-04 \
  prwb=0.000e+00  prwg=0.000e+00  cit=1.173e-04 \
tox=7.700e-09 \
  ngate=0.000e+00 \
  nlx=1.770e-07 \
  xl=5.000e-08   xw=0.000e+00 \
  af=1.290e+00   kf=1.090e-27   ef=1.000e+00 \
  noia=1.000e+20  noib=5.000e+04  noic=-1.40e-12 \
  rd=0.000e+00   rs=0.000e+00   rsh=1.560e+02 \
  minr=1.000e-03 \
  rdc=0.000e+00  rsc=0.000e+00  lint=-5.64e-08 \
wint=3.845e-08  ldif=0.000e+00  hdif=6.000e-07 \
  xj=3.000e-07   js=2.000e-05 \
  n=1.000e+00 \
  dskip=no       tlev=0       tlevc=0       \
  cj=1.420e-03   cjsw=3.800e-10 \
  fc=0.000e+00   fcsw=0.000e+00 \
  mj=5.500e-01   mjsw=3.900e-01 \
  pb=1.020e+00   pbsw=9.400e-01
ends modp
// -----

```

## Anexo 2 Arquivo Matlab da extração da curva $g_m/I_D$ AMS0.35 $\mu$ m analítica (Modelo EKV)

```

% Curva gm/ID vs ID/(W/L) 0.35um
%Obtida do Modelo EKV

% Constantes
%nn = 1.33;
nn = 1.2;
%np = 1.45;
np = 1.3;
Uon = 403.5; %cm2/Vs
Uop = 129.6; %cm2/Vs
Tox = (7.700e-09)*100;%cm
Eox = 3.45e-13;%F/cm
Cox = Eox/Tox; %F/cm2
k = 1.3807e-23;
q = 1.602e-19;
T = 300.15;
Ut = k*T/q;
%x1 = 1e-9:1e-8:0.01;
x1a=-10:0.1:-2;
x1=10.^x1a;

y1 = (sqrt(2*nn*Uon*Cox)./nn).*(1-exp(-
sqrt(x1)./(Ut.*sqrt(2*nn*Uon*Cox))))./sqrt(x1);
y2 = (sqrt(2*np*Uop*Cox)./np).*(1-exp(-
sqrt(x1)./(Ut.*sqrt(2*np*Uop*Cox))))./sqrt(x1);

semilogx(x1,y1,'r -',...
x1,y2,'b -');
grid;
ylabel('gm / ID')
xlabel('ID/(W/L)')

gmsobreidn = input('Valor de gm/ID curva NMOS: ');
gmsobreidp = input('Valor de gm/ID curva PMOS: ');

IDwln = spline(y1,x1,gmsobreidn);
%IDwln = interp1(y1,x1,gmsobreidn);

IDwlp = spline(y2,x1,gmsobreidp)-;
%IDwlp = interp1(y2,x1,gmsobreidp);

disp('Resultados:');
texto = sprintf('ID/(W/L)n: %0.5g \nID/(W/L)p: %0.5g \t',IDwln,IDwlp);
disp(texto);

```

### **Anexo 3 Arquivo Matlab da extração da curva $g_m/I_D$ AMS0.35 $\mu$ m simulada eletricamente**

```

% Curva gm/ID vs ID/(W/L) 0.35um
close all;
clear all;

% Obtida via simulação Spectre

% NMOS
% Curva VG x ID
% VD = 1.65V VB = 0V
IDn = []; % Valores de tensão (VG) e corrente (ID) obtidos via
simulação

% PMOS
% Curva VG x ID
% VD = -1.65V VB = 0V
IDp = []; % Valores de tensão (VG) e corrente (ID) obtidos via
simulação

IDp = -IDp;

VGn=IDn(:,1);
IDna=log(IDn(:,2));
gmn=diff(IDna(:,1))./diff(IDn(:,1));
[a1,b1]=max(gmn);

VGp=IDp(:,1);
IDpa=log(IDp(:,2));
gmp=diff(IDpa(:,1))./diff(IDp(:,1));
[a2,b2]=max(gmp);

semilogx(IDn(b1:size(gmn),2),gmn(b1:size(gmn),1),'r',...
IDp(b2:size(gmp),2),gmp(b2:size(gmp),1),'b')
grid;
ylabel('gm / ID')
xlabel('ID/(W/L)')

gmsobreidn = input('Valor de gm/ID curva NMOS: ');
gmsobreidp = input('Valor de gm/ID curva PMOS: ');

IDwln = spline(gmn(b1:size(gmn),1),IDn(b1:size(gmn),2),gmsobreidn);
IDwlp = spline(gmp(b2:size(gmp),1),IDp(b2:size(gmp),2),gmsobreidp);

disp('Resultados:');
texto = sprintf('ID/(W/L)n: %0.5g \nID/(W/L)p: %0.5g \t',IDwln,IDwlp);
disp(texto);

```



## Anexo 4 Implementação e verificação de módulos analógicos no ambiente CADENCE – Tutorial

Este tutorial trata do procedimento para implementação e verificação de módulos analógicos no Ambiente CADENCE utilizando a tecnologia CMOS 0.35 $\mu\text{m}$  da empresa AMS. O circuito a ser implementado é um amplificador operacional do tipo *Miller*, previamente projetado no nível elétrico.

### A4.1 Amplificador Miller

A figura A4.1 mostra o esquemático do amplificador operacional Miller. As dimensões W e L dos transistores foram obtidos através de uma metodologia de projeto previamente desenvolvida. A tabela A4.1 mostra as dimensões dos transistores para o projeto descrito na seção 4.2 desta dissertação.

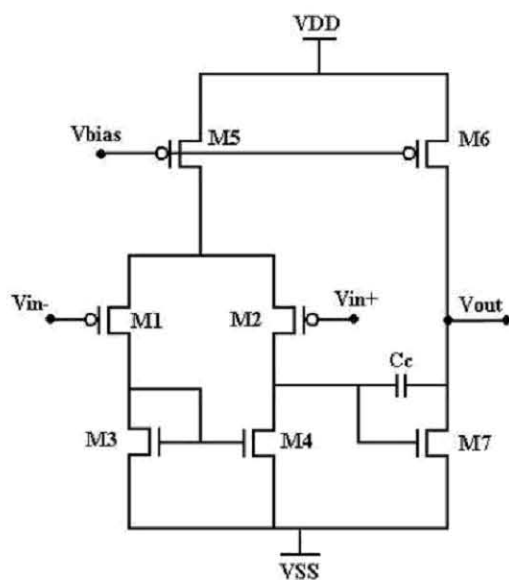


FIGURA A4. 1 - Esquemático do amplificador operacional Miller

Tabela A4. 1 - Dimensões dos transistores – Amplificador Miller

	W/L	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M1	36	54	1,5
M2	36	54	1,5
M3	10	15	1,5
M4	10	15	1,5
M5	30	45	1,5
M6	158	237	1,5
M7	103	154,4	1,5

## A4.2 Criando a biblioteca de um novo projeto no CADENCE

No console de sua estação de trabalho digite o comando `ams_cds -mode fb`, automaticamente as janelas do ambiente `icfb` e `Library Manager` abrirão.

Para começar a implementar em circuito analógico na ferramenta, é necessário criar uma nova biblioteca clicando a partir do `Library Manager` em `File->New->Library`. Depois de preenchido o nome o projeto, clique em `OK` para continuar.



FIGURA A4. 2 - Janela para criação de uma nova biblioteca de projeto

Automaticamente após a criação do projeto, uma janela abrirá perguntando qual o arquivo de tecnologia deste novo projeto. Escolha a opção *Attach to an existing techfile* (figura A4.3).



FIGURA A4. 3 - Janela de configuração do arquivo de tecnologia de um novo projeto

A seguir, outra janela abrirá para a escolha do arquivo de tecnologia (figura A4.4). Escolha a opção TECH\_CSI, que se refere à tecnologia AMS0.35 $\mu$ m, previamente configurada na etapa de configuração da ferramenta.



FIGURA A4. 4 - Escolhendo o arquivo de tecnologia de um novo projeto

### A4.3 Criando um esquemático de um circuito

Com o projeto criado e sua tecnologia configurada, o próximo passo é a criação do esquemático de transistores do bloco a ser implementado.

A partir do *Library Manager* e com nova biblioteca selecionada, clique em *File->New->Cell View*. Uma janela de criação de um novo arquivo abrirá. No campo *Library Name* deve estar configurado a biblioteca que você criou, no campo *Tool* escolha a opção *Composer-Schematic* que automaticamente irá configurar o campo *View Name* para a opção *schematic*. A figura A4.5 ilustra este procedimento.

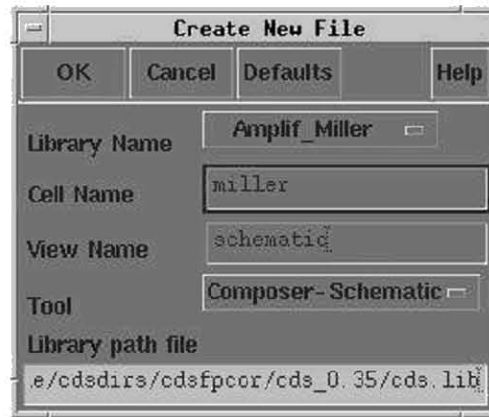


FIGURA A4. 5 - Configurando o arquivo para a criação do esquemático de transistores do bloco a ser implementado

A seguir, uma janela do módulo *Virtuoso* abrirá para a edição de um esquemático. Clique em *Add->Instance*, para acessar a biblioteca de transistores da tecnologia em uso, como mostra a figura A4.6.

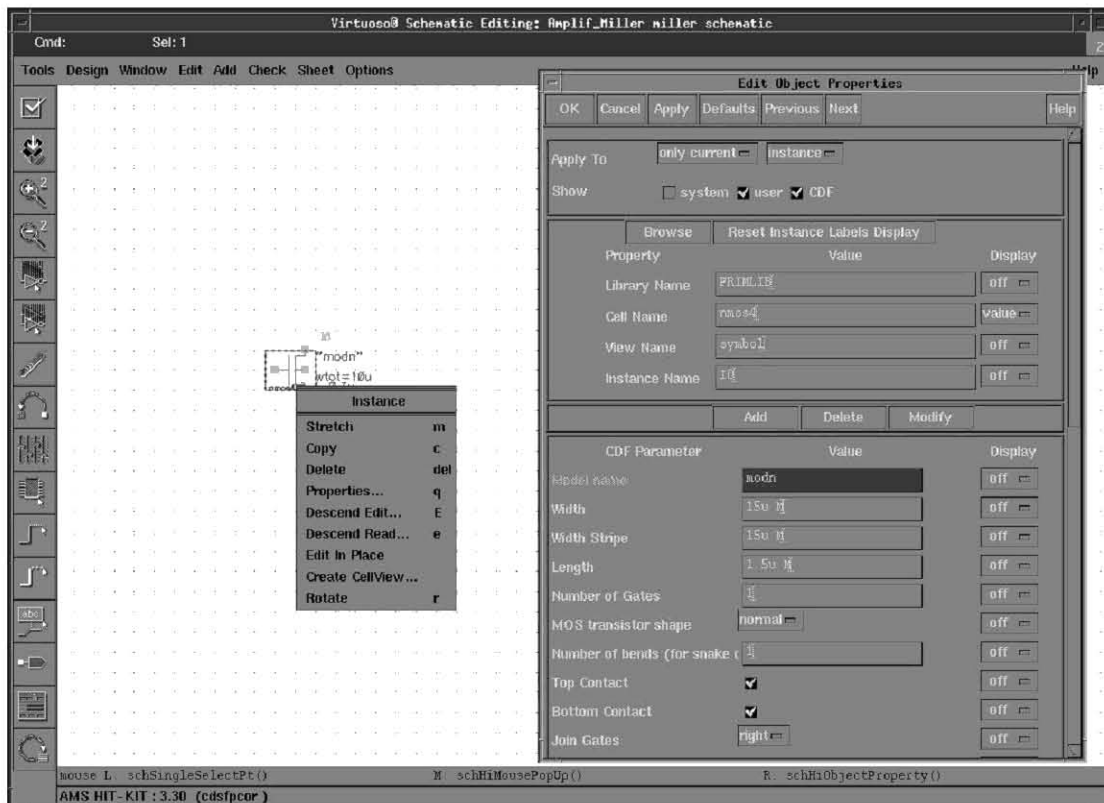


FIGURA A4. 6 - Criando o esquemático do circuito a partir da biblioteca de transistores da tecnologia em uso

Para configurar as dimensões de cada transistor usado para compor o circuito, selecione o componente e clique com o botão do meio do seu *mouse* e selecione *Properties* (ou clique em *Edit->Properties->Object*). Automaticamente abrirá uma janela de edição das propriedades do componente da biblioteca. Nela você poderá

escolher as dimensões nos campos *Width* (W) e *Length* (L) (Figura A4.7). Usando o mesmo procedimento é possível inserir outros componentes, como capacitores e fontes de alimentação. Os componentes são ligados via fios (*Add -> Wire*), como em qualquer editor de esquemático.

Se desejar, você também pode “marcar” um nó com o nome que preferir. Para isso clique com o botão do meio do seu *mouse* e selecione a opção *Add Name*, digite o nome desejado, clique *OK*, e posicione sobre o nó que deseja “marcar”.

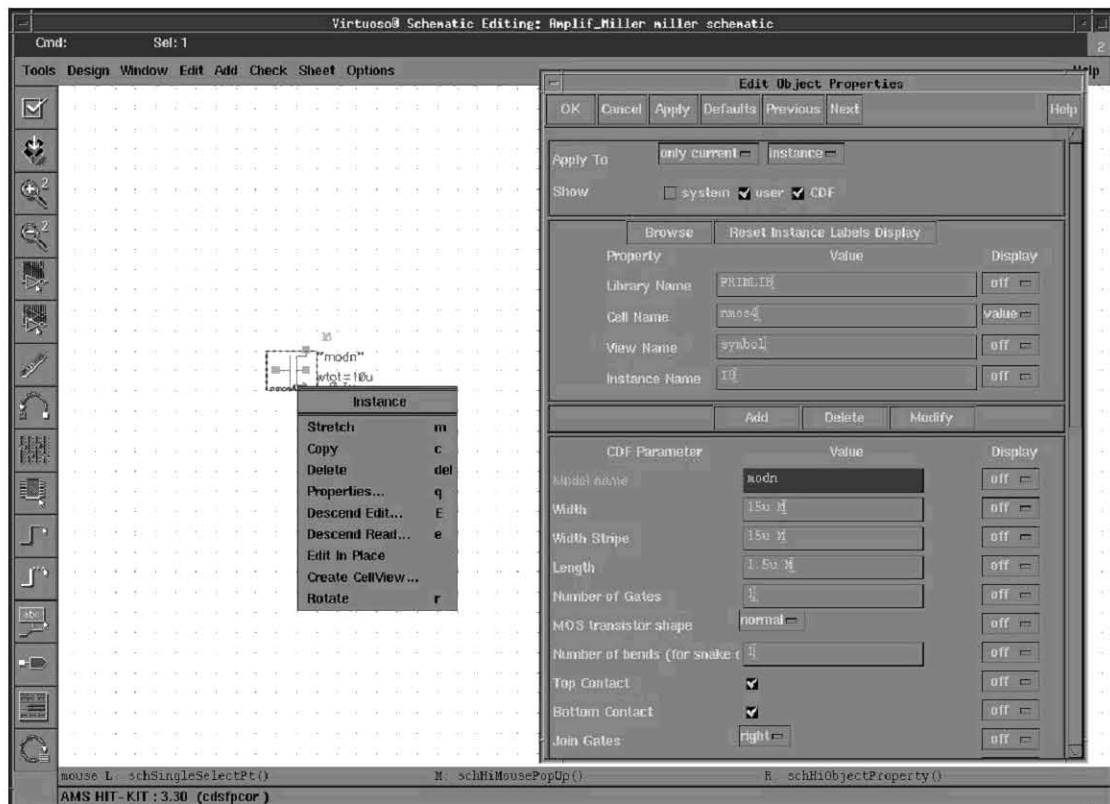


FIGURA A4. 7 - Configurando as propriedades do transistor

Com o circuito montado, os pinos de entrada e saída do circuito devem ser criados. Clique em *Add->Pin*, escolha o nome e a direção do pino (figura A4.8) e ligue ao nó desejado.

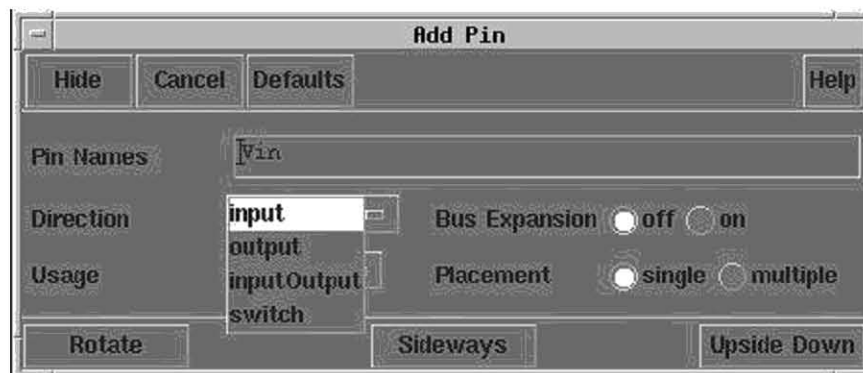


FIGURA A4. 8 - Configurando os pinos de entrada e saída do esquemático

Portanto, se pode obter o esquemático completo do amplificador Miller (com transistores, capacitor de compensação e pinos de entrada e saída), como é mostrado na figura A4.9.

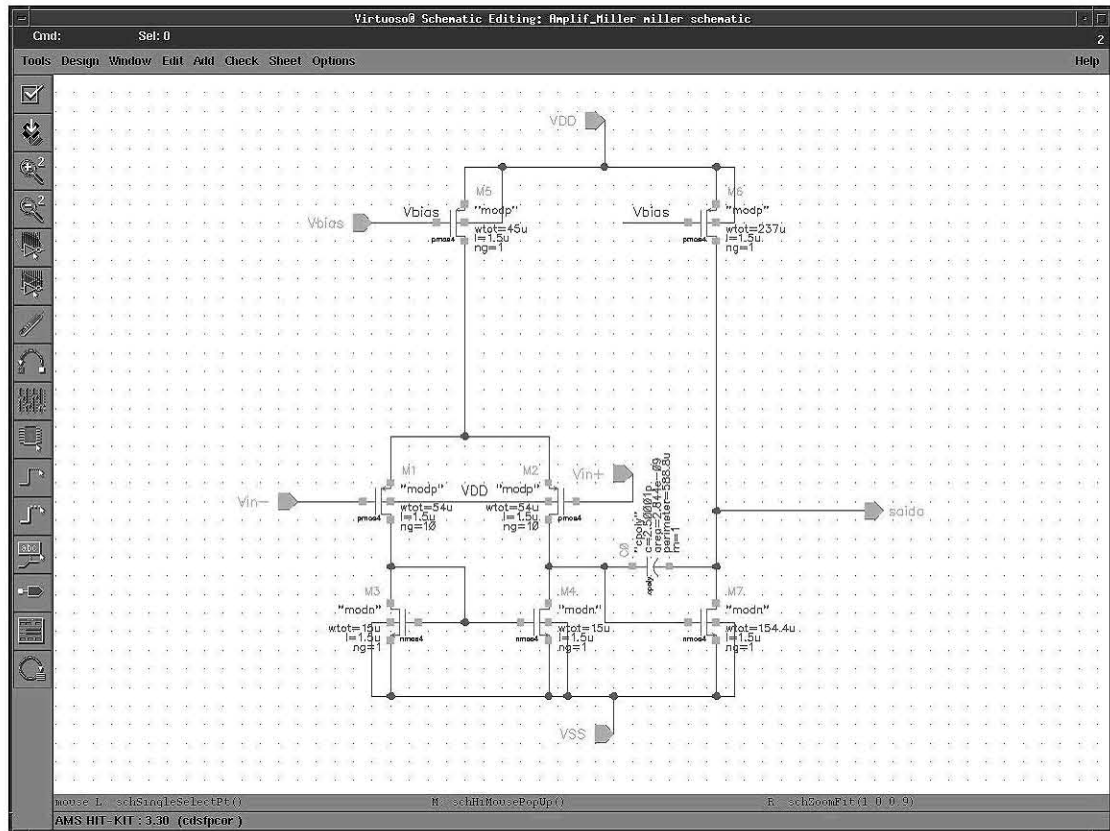


FIGURA A4. 9 - Esquemático completo do amplificador Miller

#### A4.4 Criando um símbolo para o projeto

Com o esquemático pronto, o próximo passo é a criação do símbolo para este circuito. Na mesma janela do módulo *Virtuoso* clique em *Design->Create Cell View->From Cell View*. Uma janela de criação de símbolo abrirá. No campo *From View Name* deve estar selecionada a opção *schematic*, no campo *Tool/Data Type* escolha a opção *Composer-Symbol* que automaticamente irá configurar o campo *To View Name* para a opção símbolo. A figura A4.10 ilustra este procedimento.

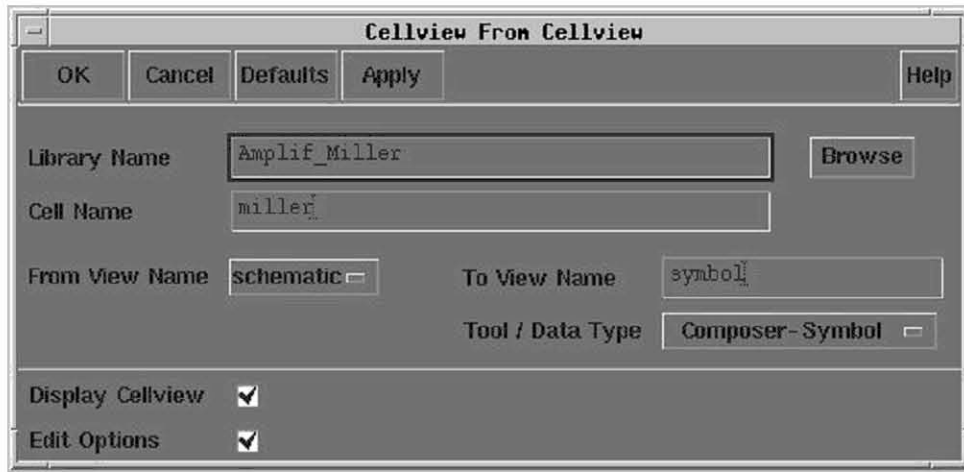


FIGURA A4. 10 - Criando o símbolo do circuito

Automaticamente, outra janela abrirá, onde você terá que dispor os pinos de entrada e saída de acordo com a preferência. A figura A4.11 ilustra este procedimento.

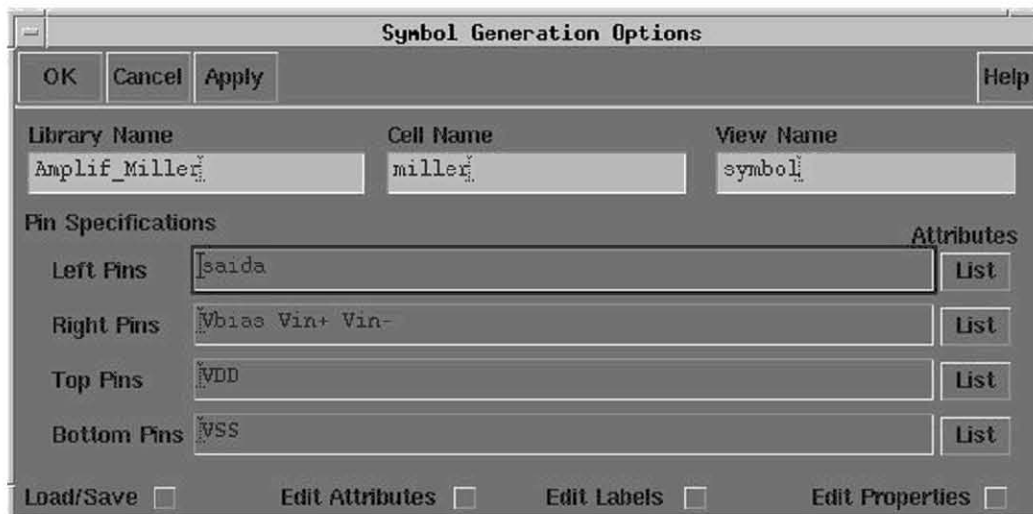


FIGURA A4. 11 - Dispondo os pinos do símbolo do circuito

Desse modo, uma nova janela abrirá com o símbolo criado para representar este circuito, com uma forma padrão quadrada. É possível também editar a forma deste. A figura A4.12 mostra o símbolo do amplificador Miller usado.

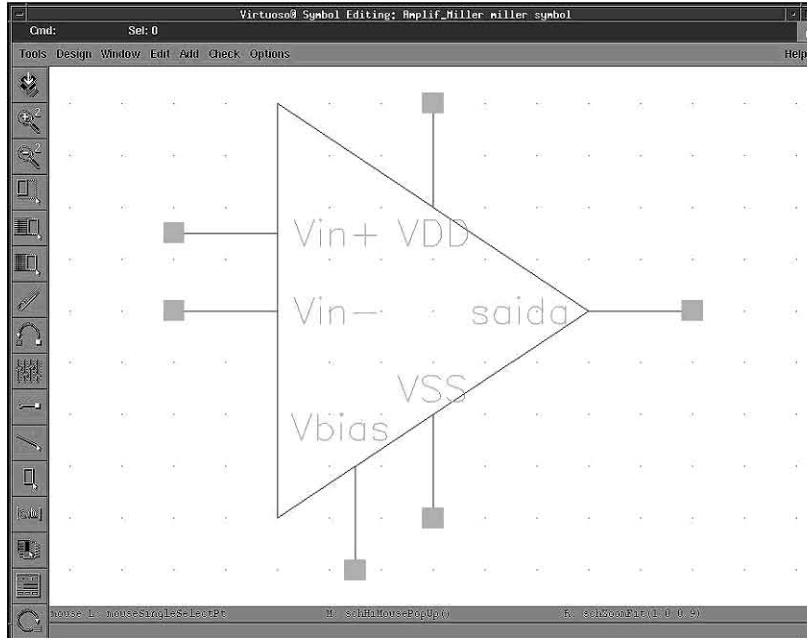


FIGURA A4. 12 - Símbolo do amplificador Miller

### A4.5 Simulando o esquemático com o simulador elétrico Spectre

Para a simulação elétrica das diversas versões de um circuito (esquemático, layout extraído) é necessária a criação de um novo projeto.

Novamente a partir do *Library Manager*, clique em *File->New->Library*. Preencha o *Nome do projeto simul* e clique *OK*. Para escolher o arquivo de tecnologia, siga o mesmo procedimento descrito na seção A4.2.

Com esta nova biblioteca selecionada, crie um novo esquemático de acordo o procedimento descrito na seção A4.3. Uma janela do módulo *Virtuoso* abrirá para a edição de um esquemático. Clique em *Add->Instance*, e selecione a biblioteca criada para o seu projeto, e no campo *View* selecione a opção *symbol*. Você poderá posicionar o símbolo do seu projeto neste novo esquemático. A figura A4.13 ilustra este procedimento.

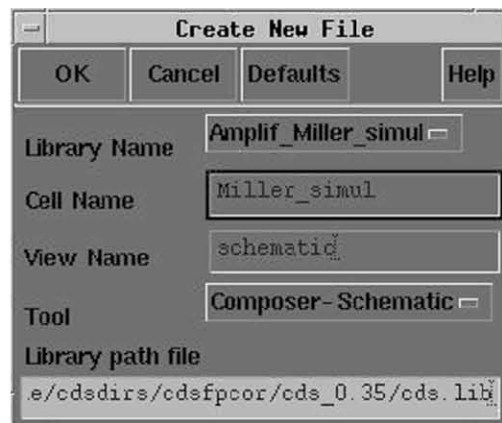


FIGURA A4. 13 - Criando um novo esquemático para a simulação de um circuito



O próximo passo é a ligação das fontes de alimentação e cargas de saída do circuito. Clique em *Add->Instance*, para acessar a biblioteca de tecnologia em uso, como mostra a figura A4.14. Para acessar a biblioteca com as fontes de tensão (ou corrente) do circuito, na janela *Library Manager – Add Instance* selecione a opção *Library: analogLib->Category: Sources->Independent*. A seguir você poderá escolher o tipo de fonte que desejar (vdc, vsin, vpulse, etc). Para acessar a biblioteca com capacitâncias e resistores, selecione *Library: analogLib->Category: Passives*. Também é necessário colocar um nó de referência no circuito, ou seja aterrar as fontes e cargas. Para isso selecione a opção *Library: basic -> Category: Supplies -> Cell: GND*.

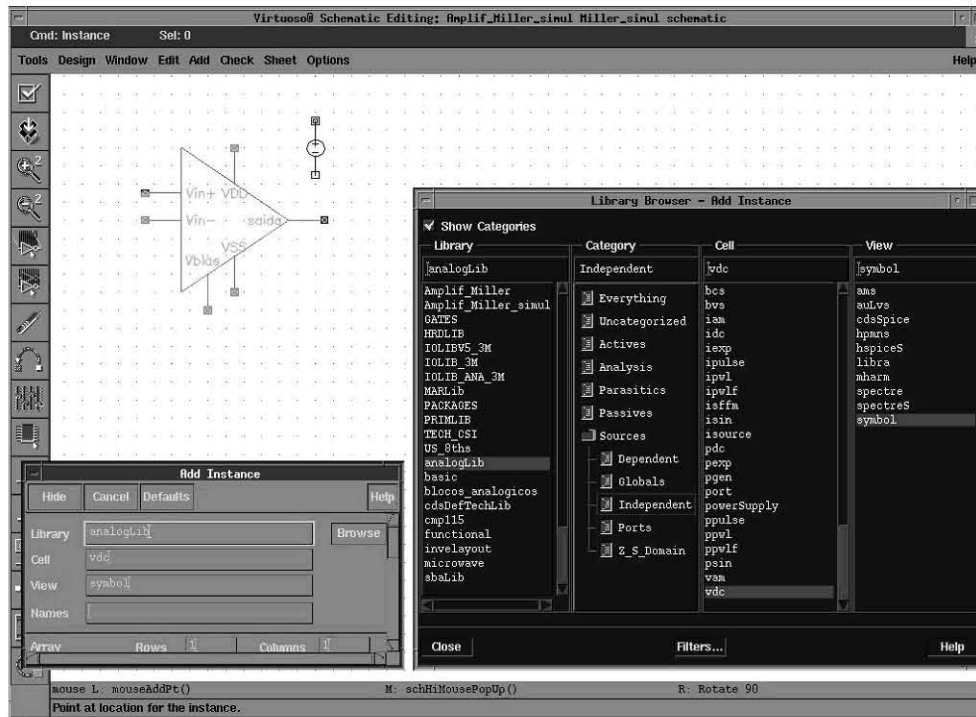


FIGURA A4. 14 - Posicionando fontes e cargas do circuito partir da biblioteca da tecnologia em uso

Para abrir o simulador elétrico Spectre, a partir do menu do *Virtuoso* selecione *Tool->Analog Environment*. Automaticamente a janela *Affirma Analog Design Environment* abrirá, como mostra a figura A4.15.

O modelo BSIM3v3 da tecnologia AMS0.35 $\mu$ m deve estar configurado (o modelo pode ser mudado na etapa de configuração da ferramenta). Isto pode ser verificado selecionando a opção *Setup -> Model Libraries*.

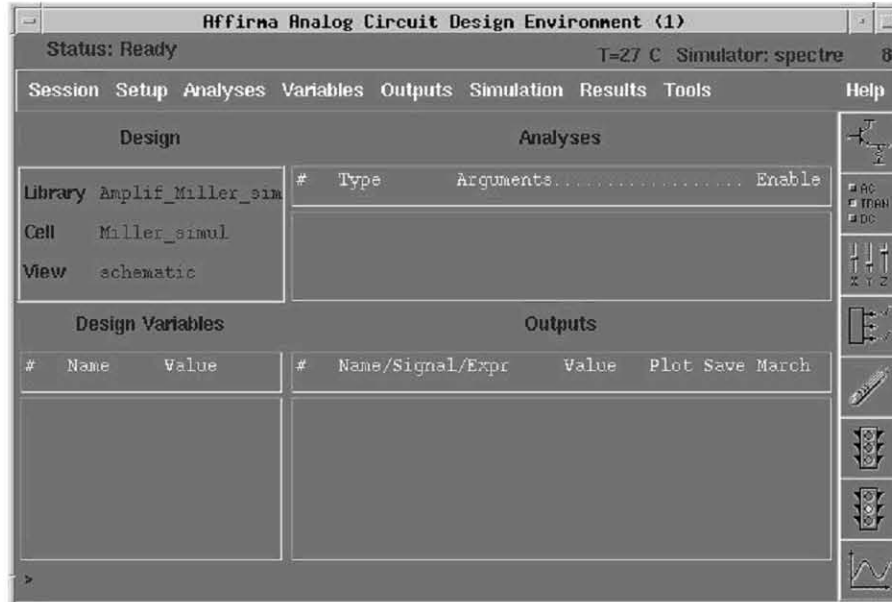


FIGURA A4. 15 - Ambiente do simulador Spectre

Primeiramente é necessária a configuração da referência do circuito. Selecione *Setup->Stimul...*, e a janela *Setup Analog Stimuli* abrirá. No campo *Stimulus Type* selecione o campo *Global Sources*. O componente *GND* que você inseriu no esquemático deve aparecer. No campo *DC Voltage*, digite *0*, e no campo *Source type* digite *dc*. Depois clique na opção *Enable* e depois em *Change* (os campos *Function* e *Type* devem estar configurados como *dc* e *voltage* respectivamente). Agora a tensão de referência do seu circuito está configurada, como mostra a figura A4.16.

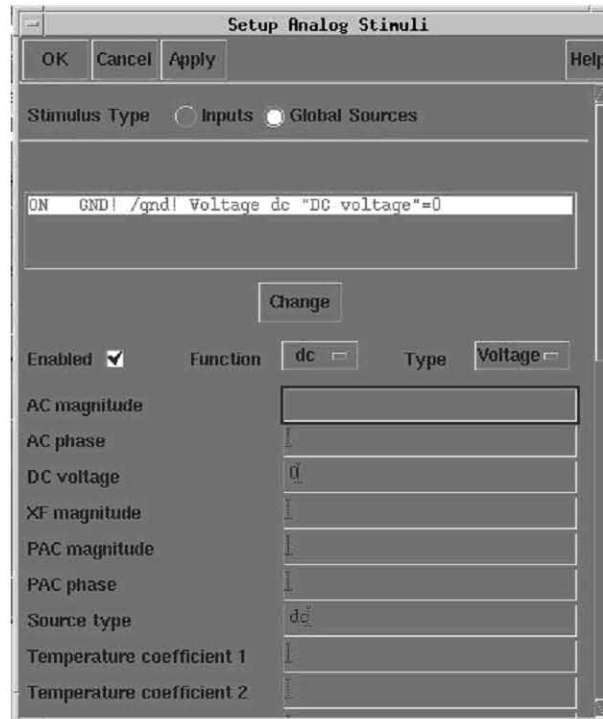


FIGURA A4. 16 - Configurando a referência do circuito

Concluindo todos estes passos, o circuito está pronto para simulação. Tanto a janela do simulador, como a de edição do esquemático ficam abertas ao mesmo tempo, possibilitando a modificação dos elementos do circuito. De acordo com o tipo de análise elétrica que se deseja fazer do circuito, as fontes são modificadas assim como a configuração do simulador.

No menu *Analyses* estão os comandos para a seleção do tipo de simulação a ser feita, AC, DC, transiente, análise de ruído, etc.

No menu *Variables*, as variáveis definidas pelo usuário para as propriedades dos componentes usados podem ser configuradas.

Para se iniciar uma simulação selecione a opção *Simulation -> Netlist and Run*. Para interromper uma simulação em andamento selecione *Simulation -> Stop*.

A corrente e tensão nos nós do circuito podem ser analisadas e controladas pelos comandos no menu *Outputs*. Após a simulação, os sinais de corrente e tensão serão visíveis na janela *Waveform Window*. As formas de onda dos nós podem ser selecionadas diretamente do esquemático usando o botão esquerdo do *mouse*. Para selecionar tensão, clique no fio (*wire*) da conexão do nó desejado. Para selecionar corrente, clique no nó, ou seja, as caixas vermelhas, da conexão do nó desejado.

Para melhor compreensão, a seguir são mostrados exemplos de três tipos básicos de análise elétrica para circuitos analógicos. A seguir, serão descritos os procedimentos de simulação de cada análise separadamente, assim como a configuração do circuito (aqui exemplificado como o amplificador Miller).

#### A4.5.1 Análise DC

Para se obter a característica DC do amplificador, o circuito deve estar configurado da maneira como mostra a figura A4.17.

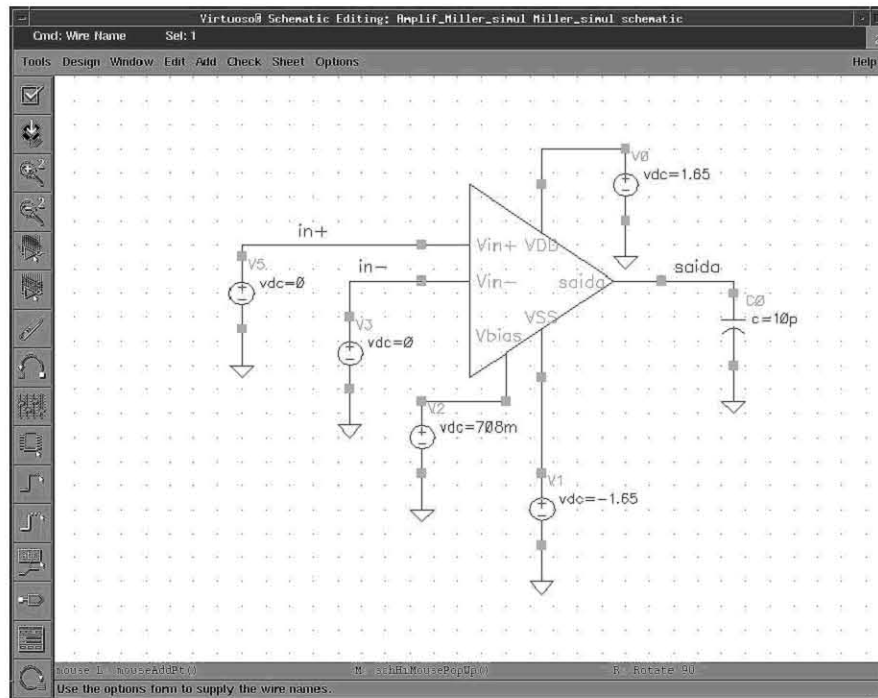


FIGURA A4. 17 - Circuito configurado para análise DC

No *Affirma Analog Design Environment* selecione *Analyses -> Choose*. Selecione a opção *dc* no menu *Choosing Analyses*. No campo *Sweep Value* selecione a opção *Component Parameter* (figura A4.18).

Clique em *Select Component* para selecionar no esquemático a fonte de tensão que você deseja variar na simulação. Assim que você clicar com o botão esquerdo do *mouse* na fonte, uma nova janela abrirá (figura A4.19). Nela você deve escolher o parâmetro da fonte que deseja variar. Selecione a opção *dc vdc "DC Voltage"*.

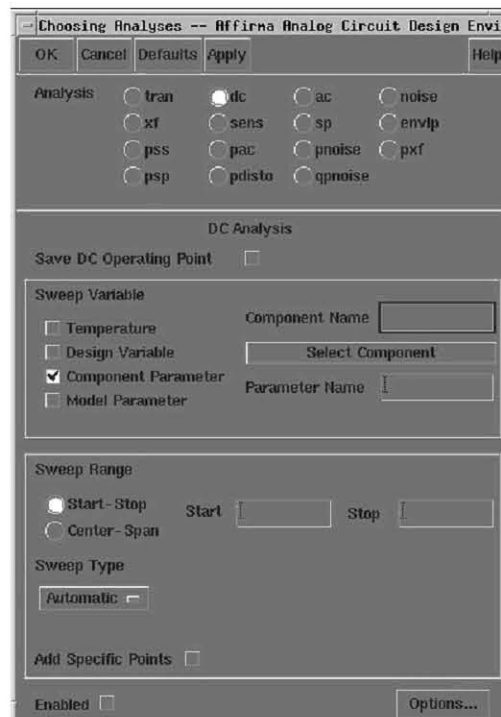


FIGURA A4. 18 - Configurando a análise DC do circuito



FIGURA A4. 19 - Selecionando o parâmetro variável da fonte para a análise DC do circuito

Com o componente selecionado (neste caso a fonte de tensão V5), volte para o menu *Choosing Analyses* e no campo *Sweep Range* selecione a opção *Start-Stop* e forneça os limites máximo e mínimo dos valores de tensão da fonte (figura A4.20). No campo *Sweep Type* você pode determinar o passo de variação do parâmetro.

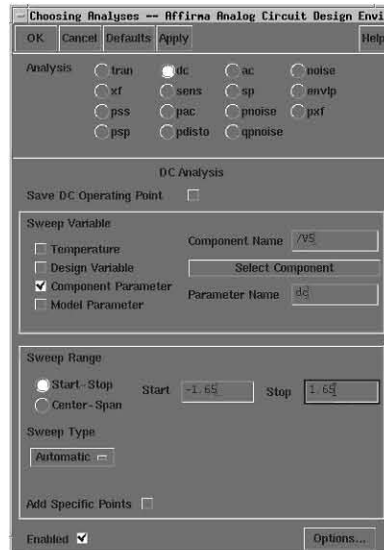


FIGURA A4. 20 - Configuração da análise DC do circuito completa

Agora o circuito está pronto para ser simulado. Para se iniciar uma simulação selecione a opção *Simulation->Netlist and Run* através do menu do *Affirma Analog Design Environment*. Assim que a simulação estiver completa, selecione *Results->Direct Plot -> DC*. Depois selecione os nós que você deseja analisar (lembre-se: para selecionar corrente clique nas caixas vermelhas, para selecionar tensão clique no fio), e então clique em *Esc*. Automaticamente a janela *Waveform Window* abrirá com as formas de onda dos nós selecionados (figura A4.21).

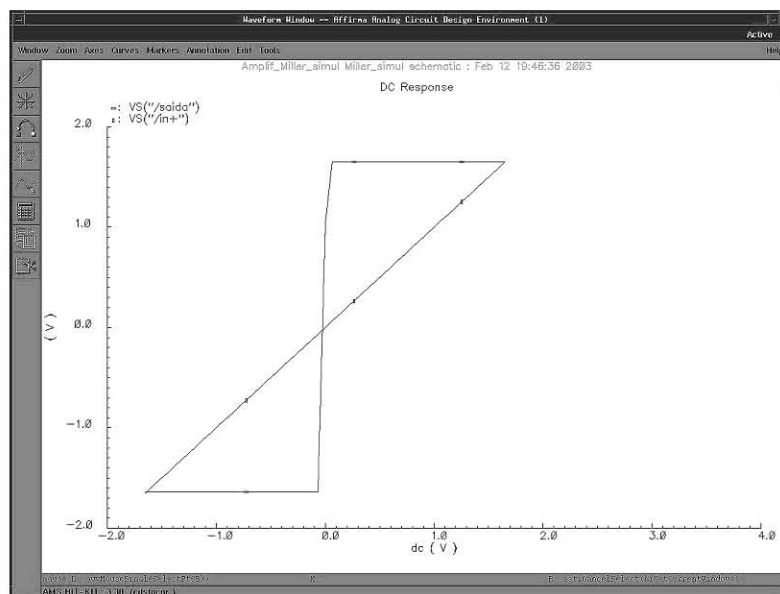


FIGURA A4. 21 - Análise DC do Amplificador Miller

### A4.5.2 Análise AC

Para se obter a característica AC (em frequência) do amplificador, o circuito deve estar configurado da maneira como mostra a figura A4.22.

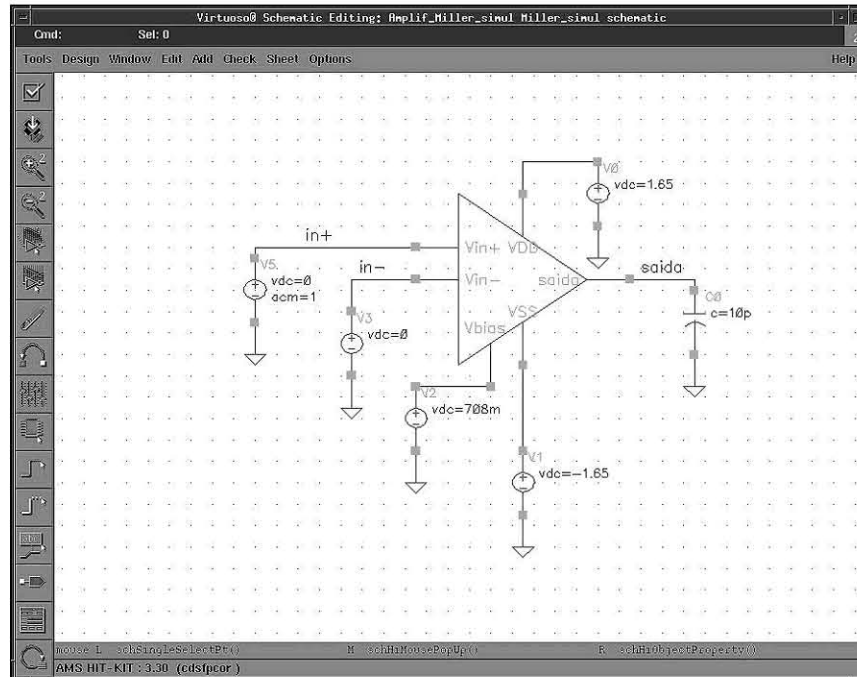


FIGURA A4. 22 - Circuito configurado para análise AC

Em uma das fontes vdc de entrada (V5), clique com o clique com o botão do meio do seu mouse e selecione *Properties*, no campo *AC Magnitude* digite 1V (ou então um valor de tensão bem baixo, como 0,01V) e no campo *DC Voltage* digite 0V. A análise AC da tensão de saída, como a magnitude é 1V, proporcionará o diagrama de Bode da função de transferência do circuito.

No *Affirma Analog Design Environment*, selecione *Analyses->Choose*. Selecione a opção *ac* no menu *Choosing Analyses*. No campo *Sweep Value* selecione a opção *Frequency* (figura A4.23). No campo *Sweep Range* selecione a opção *Start-Stop* e forneça os limites máximo e mínimo dos valores de frequência. No campo *Sweep Type* você pode determinar o passo de variação do parâmetro.

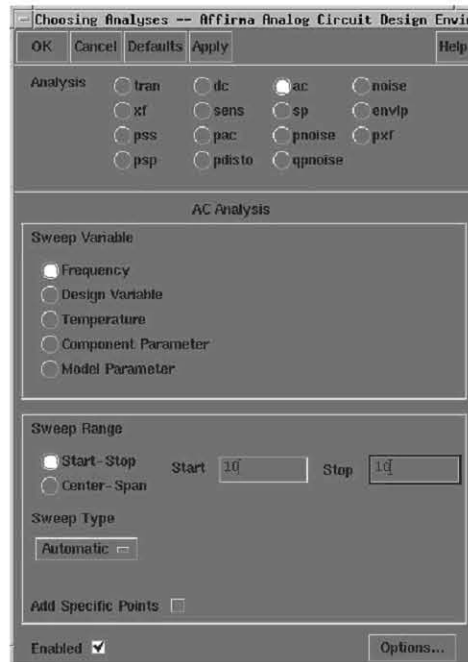


FIGURA A4. 23 - Configuração da análise AC do circuito completa

Agora o circuito está pronto para ser simulado. Para se iniciar uma simulação selecione *Simulation->Netlist and Run*. Assim que a simulação estiver completa, selecione *Results->Direct Plot ->AC Magnitude & Phase*, selecione os nós que você deseja analisar (lembre-se: para selecionar corrente clique nas caixas vermelhas, para selecionar tensão clique no fio), e a seguir clique em *Esc*. Automaticamente a janela *Waveform Window* abrirá com o diagrama de Bode (Ganho e Fase) da função de transferência do amplificador (figura A4.24). Nesta opção, o valor do ganho é mostrado em unidades de dB (decibéis).

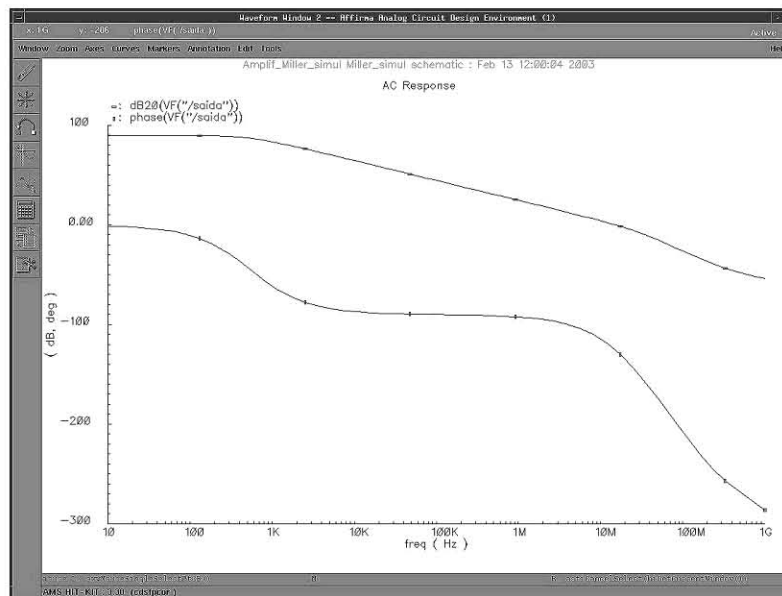


FIGURA A4. 24 - Análise AC (diagrama de Bode) do Amplificador Miller

### A4.5.3 Análise transiente

Para fazer uma análise do circuito no domínio tempo, a configuração mostrada na figura A4.25 é um bom exemplo. Como o amplificador operacional possui um ganho grande, o circuito é realimentado por um divisor de tensão para que a tensão de saída não sature. Neste exemplo uma das fontes de entrada do circuito (V5) deve ser uma fonte senoidal. Adicione uma fonte senoidal e clique com o botão do meio do *mouse* e selecione *Properties*, então configure a fonte como desejar (neste caso a fonte foi configurada com uma amplitude de 100mV e frequência de 100KHz).

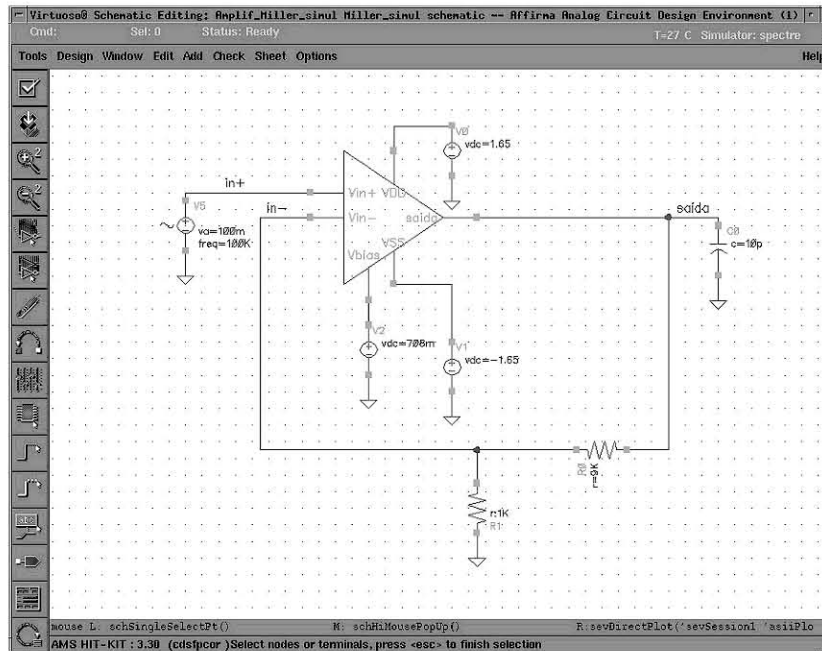


FIGURA A4. 25 - Circuito configurado para análise transiente

No *Affirma Analog Design Environment*, selecione *Analyses -> Choose*. Selecione a opção *tran* no menu *Choosing Analyses*. No campo *Stop Time*, digite o tempo de simulação desejado (figura A4.26). Para uma configuração mais detalhada, clique na opção *Options*, onde parâmetros como passo de simulação e ponto de operação podem ser configurados.



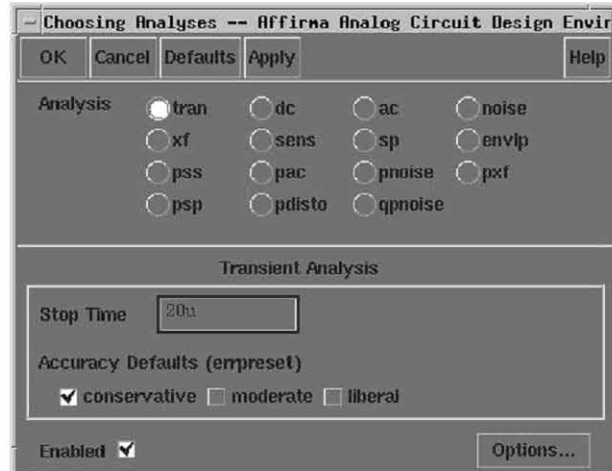


FIGURA A4. 26 - Configurando a análise transiente do circuito

Agora o circuito está pronto para ser simulado. Para se iniciar uma simulação selecione *Simulation -> Netlist and Run*. Assim que a simulação estiver completa, selecione a opção *Results -> Direct Plot -> Transient Signal*. A seguir selecione os nós que você deseja analisar (lembre-se: para selecionar corrente clique nas caixas vermelhas, para selecionar tensão clique no fio), e clique em *Esc*. Automaticamente a janela *Waveform Window* abrirá com as formas de onda dos nós selecionados (figura A4.27).

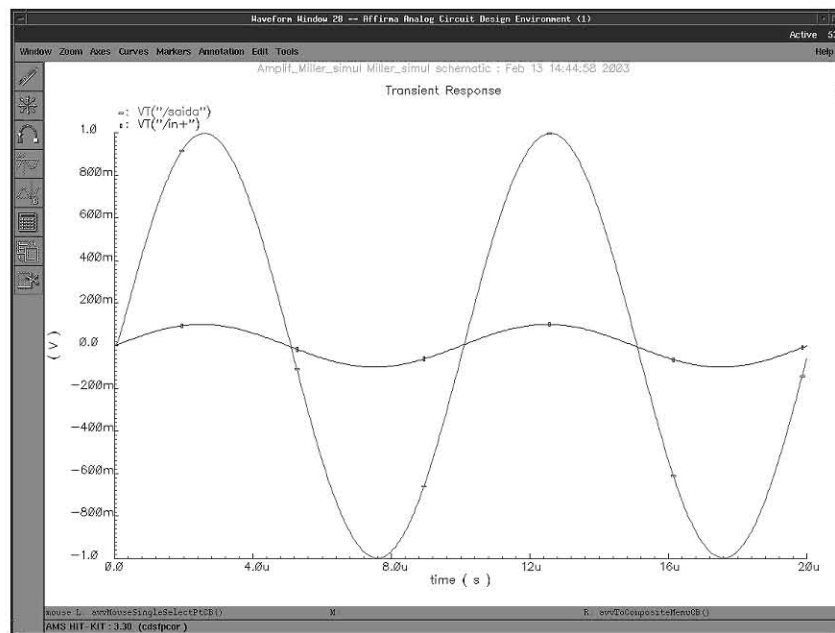


FIGURA A4. 27 - Análise transiente do Amplificador Miller

## A4.6 Criando o Layout

Com o circuito validado via simulação elétrica (esquemático), o próximo passo é a descrição geométrica (*layout*) dos componentes do bloco a ser implementado.

A partir do *Library Manager*, selecione o projeto em que você salvou o esquemático do circuito, clique em *File->New->Cell View*. Uma janela de criação de

um novo arquivo abrirá. No campo *Library Name* deve estar configurada a biblioteca que você criou, no campo *Tool* escolha a opção *Virtuoso*, que automaticamente irá configurar o campo *View Name* para a opção *layout*. A figura A4.28 ilustra este procedimento.

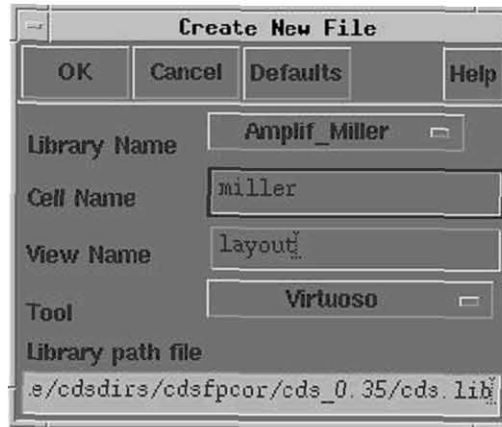


FIGURA A4. 28 - Configurando o arquivo para a criação do layout de transistores do bloco a ser implementado

Então, uma janela do módulo Virtuoso abrirá para a edição de um layout. A janela LSW (*Layer Select Window*) também abrirá, com todos os *layers* da tecnologia AMS0.35 $\mu$ m, previamente configurada na etapa de configuração da ferramenta.

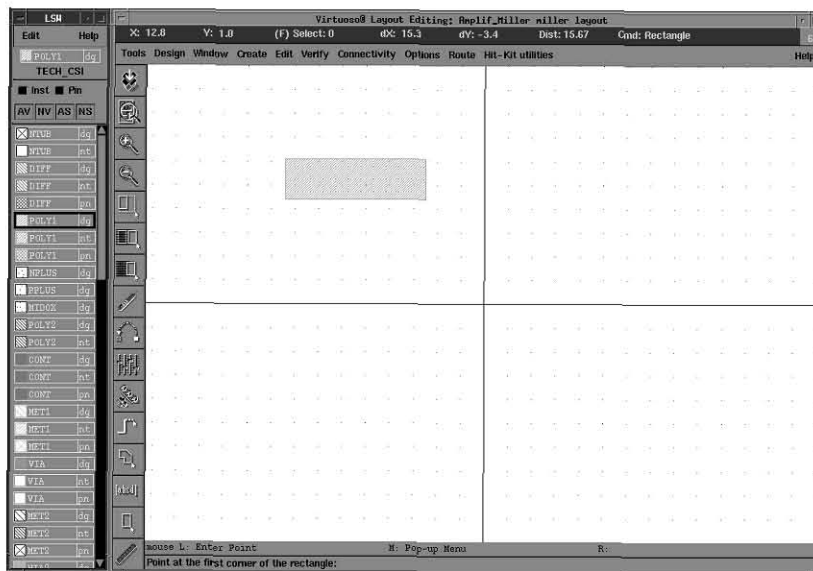


FIGURA A4. 29 - Virtuoso e LSW – Edição de layout

O ambiente de trabalho do editor de layout Virtuoso é bastante similar aos vários editores disponíveis no mercado. Basicamente, basta clicar no *layer* desejado, selecionar no menu *Create -> Rectangle*, clique uma vez para fixar o primeiro ponto e uma segunda vez para fechar o retângulo. Clicando *Esc* você desabilita a ultima função requisitada. Utilizando as técnicas de *layout* descritas na seção 3.7 desta dissertação, pode-se implementar a descrição geométrica do circuito.

Com o circuito implementado, os pinos de entrada e saída do circuito devem ser criados. Clique em *Create->Pin*, escolha o nome, a direção do pino e o *layer* do nó desejado (figura A4.30). Clicando em *Create->Label*, você pode posicionar *labels* onde desejar.

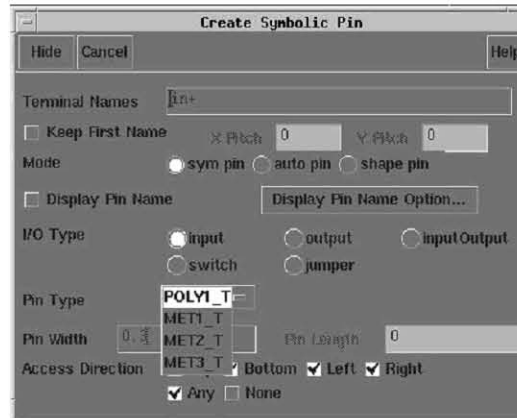


FIGURA A4. 30 - Configurando os pinos de entrada e saída do layout

Então, pode-se obter o layout completo do amplificador Miller (com transistores, capacitor de compensação e pinos de entrada e saída), como é mostrado no exemplo da figura A4.31.

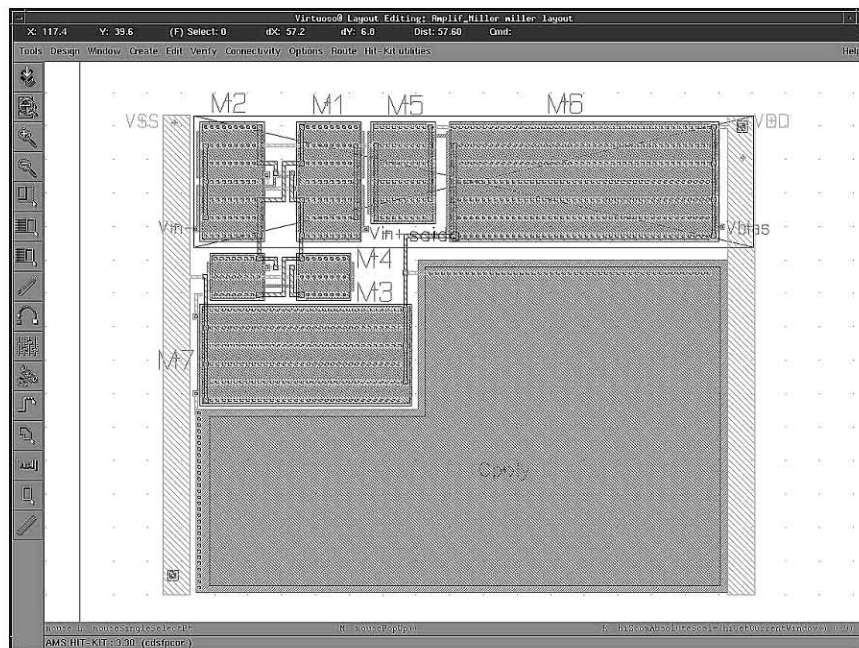


FIGURA A4. 31 - Layout completo do amplificador Miller – Ambiente Virtuoso

#### A4.6.1 *Design Rule Check (DRC)*

Para a implementação do layout de um circuito, o projetista deve respeitar as regras de projeto da tecnologia usada (neste caso refere à tecnologia AMS0.35 $\mu$ m, previamente configuradas na etapa de configuração da ferramenta), como distâncias mínimas entre *layers* e comprimento mínimo do gate do transistor. Esta verificação,

chamada de *Design Rule Check (DRC)* pode ser feita durante a edição do layout ou no final, como o projetista desejar.

Para efetuar esta verificação selecione no menu *Verify -> DRC*, a seguir uma janela de DRC abrirá (figura A4.32). O campo *Checking Method* deve estar configurado na opção *flat*, e no campo *Checking Limit* deve estar configurado na opção *full*. Verifique também se o arquivo com as regras de projeto está configurado, nos campos *Rule file* e *Rule Library* (divaDRC.rul e TECH\_CSI, respectivamente). Clique em *OK*, e o DRC será iniciado.

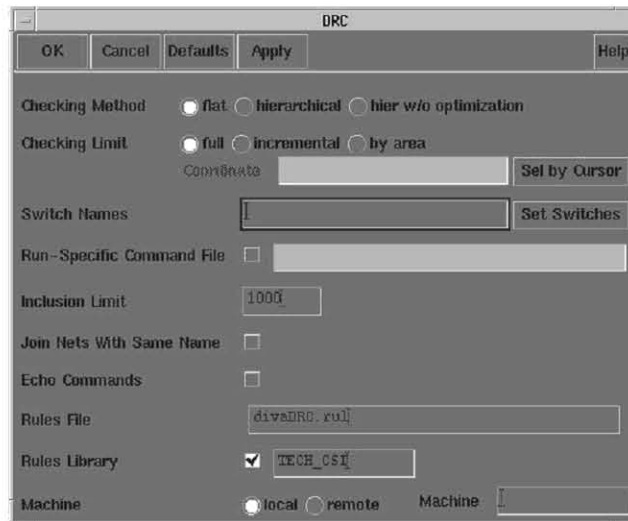


FIGURA A4. 32 - Configurando o DRC do layout

Se algum erro de projeto for acusado, na janela principal do *icfb* a mensagem *# violated rules* aparecerá, com as regras violadas. Para localizar os erros no *layout*, no menu *Virtuoso* clique em *Verify -> Markers -> Find*. Quando não houver mais erros, na janela principal do *icfb* a mensagem *0 Total erros found* aparecerá.

#### A4.6.2 Extração

Com o *layout* do circuito pronto e as regras de projeto verificadas, o próximo passo é a extração elétrica do circuito, ou seja, todos os efeitos geométricos, incluindo-se os parasitas R, C e L extraídos do *layout*, são considerados.

Para efetuar a extração, selecione no menu *Verify -> Extract*, a seguir a janela *Extractor* abrirá (figura A4.33). O campo *Extract Method* deve estar configurado na opção *flat*, e no campo *Switch Names* deve estar configurado na opção *capall* (clique em *Set Switches* para selecionar esta opção). Verifique também se o arquivo com as regras de projeto está configurado, nos campos *Rule file* e *Rule Library* (divaDRC.rul e TECH\_CSI, respectivamente). Clique em *OK*, e a extração será iniciada.

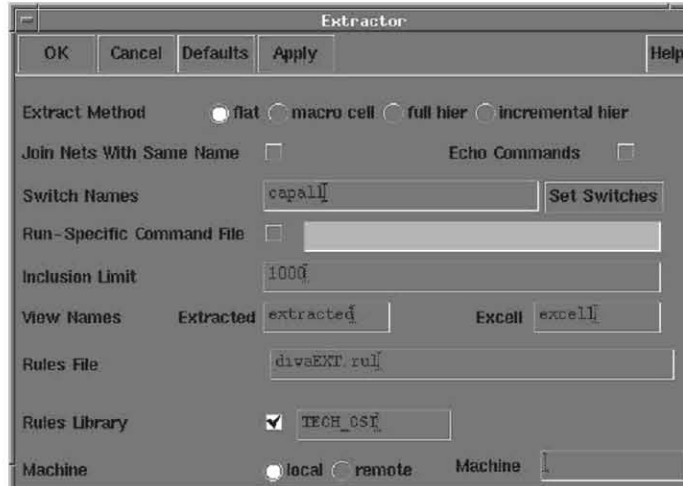


FIGURA A4. 33 - Configurando a extração do layout

Na janela principal do *icfb* a mensagem *Extraction completed* aparecerá, finalizando a extração. A seguir, pode-se visualizar o circuito extraído. A partir do *Library Manager*, clique no seu projeto e no campo *View* selecione a opção *extracted* (clique com o botão esquerdo do *mouse* duas vezes). A figura A4.34 mostra a versão extraída do layout do amplificador Miller.

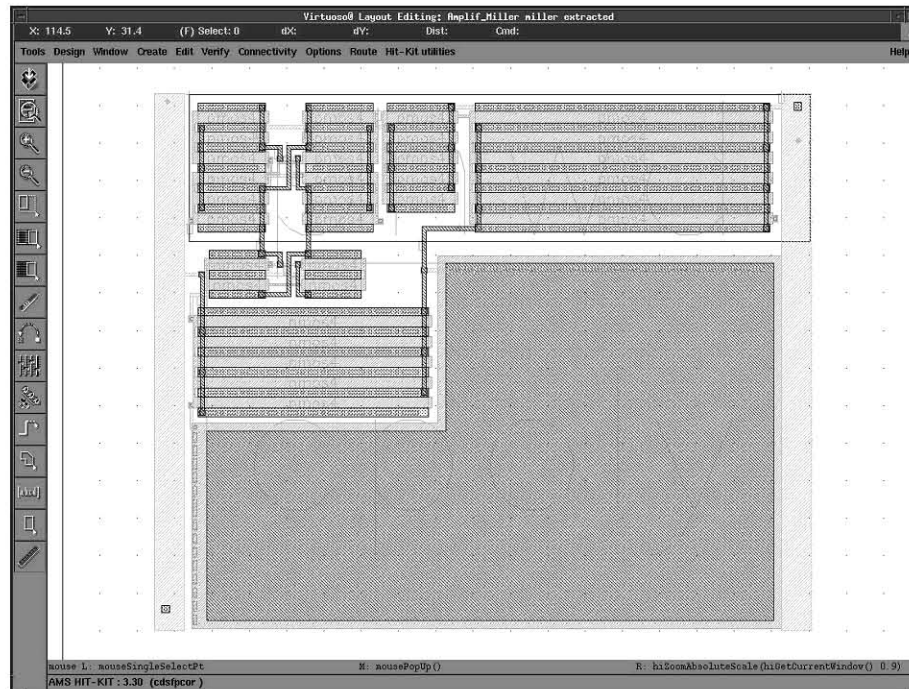


FIGURA A4. 34 - Layout extraído do amplificador Miller – Ambiente Virtuoso

Portanto, agora o seu projeto tem quatro versões, ou seja, esquemático, símbolo, layout e extraído. O circuito está pronto para a simulação pós-layout.

## A4.7 Simulação pós-layout com o simulador elétrico Spectre

Para a simulação elétrica das versões esquemático elétrico e *layout* extraído de um circuito é necessária a criação de um arquivo *config*.

A partir do *Library Manager*, clique seleccione o projeto que você criou para simulação elétrica do circuito. Clique em *File->New->Cell View*. Uma janela de criação de um novo arquivo abrirá. No campo *Library Name* deve estar configurada a biblioteca que você criou, no campo *Tool* escolha a opção *Hierarchy-Editor* que automaticamente irá configurar o campo *View Name* para a opção *config* (figura A4.35).



FIGURA A4. 35 - Criando um arquivo *config* para a simulação de um circuito em versões diferentes

Automaticamente o ambiente *Cadence@ hierarchy editor* abrirá. Na janela *New Configuration* (figura A4.36), no campo *View*: digite *schematic*, e depois clique em *Use Template...* A janela *Use Template* abrirá, seleccione a opção *Spectre* e clique *OK*.

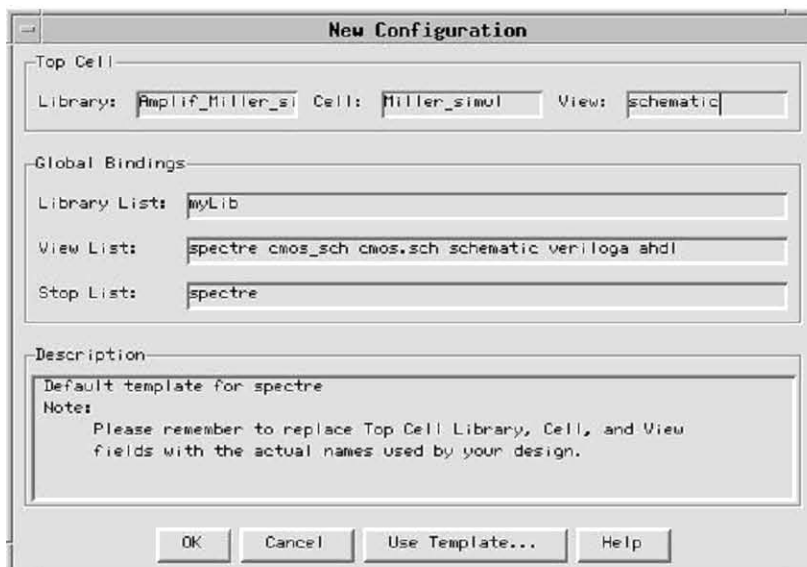


FIGURA A4. 36 – Configurando o arquivo para a simulação de um circuito em versões diferentes

No *hierarchy editor*, no campo *Top View* o arquivo de simulação que você criou anteriormente para simular o esquemático pode ser configurado para a versão (esquemático ou *layout* extraído) que você desejar. Clique em *View -> Tree*. No

campo *Instance*, todos os elementos que você adicionou no esquemático estarão presentes, como ilustra a figura A4.37.

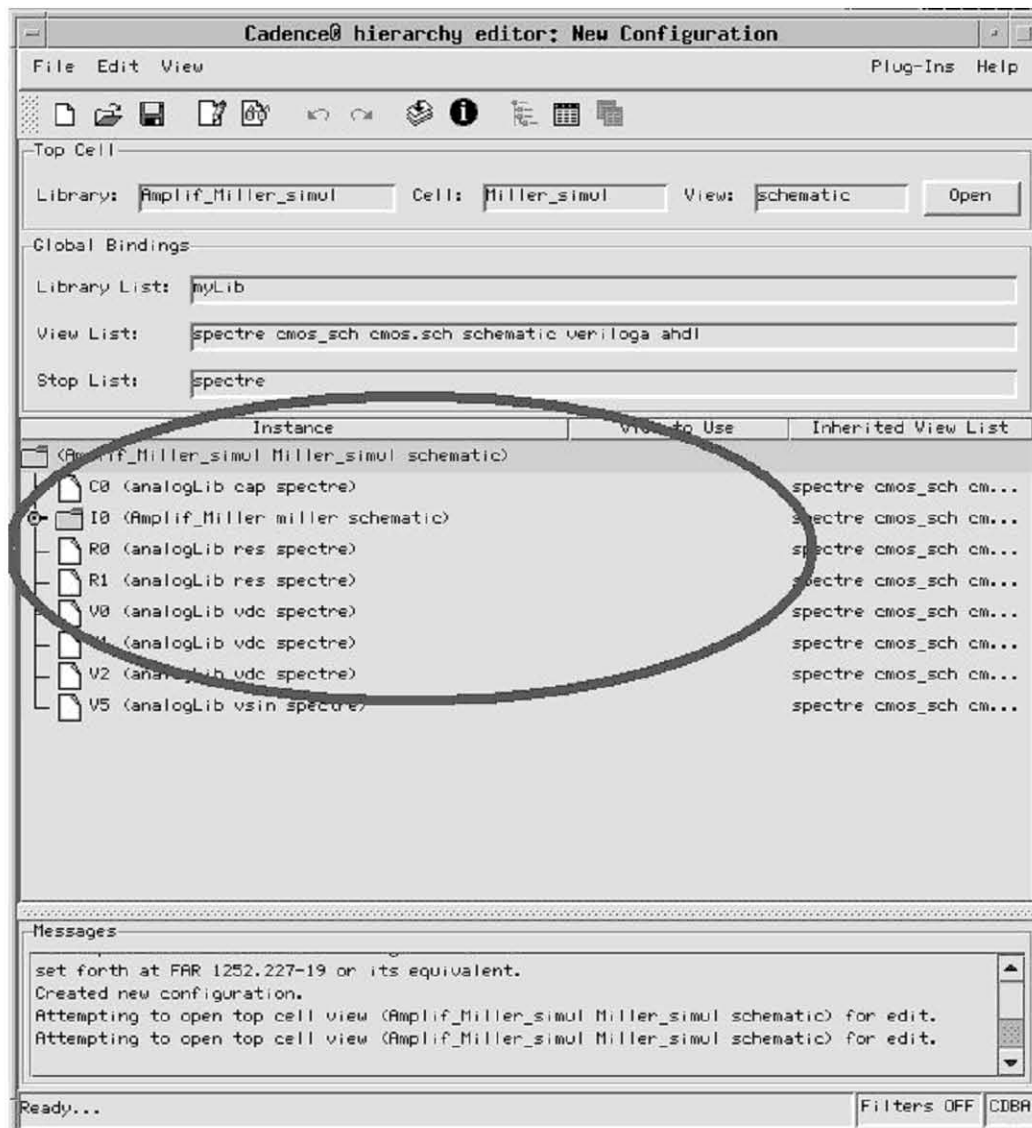


FIGURA A4. 37 - *hierarchy editor* – Configurando o arquivo para a simulação

Selecione o componente que você deseja simular, clique com o botão direito do mouse e selecione a versão que você deseja acessar do circuito. Em *select view*, selecione a opção *extracted*, como ilustra a figura A4.38.

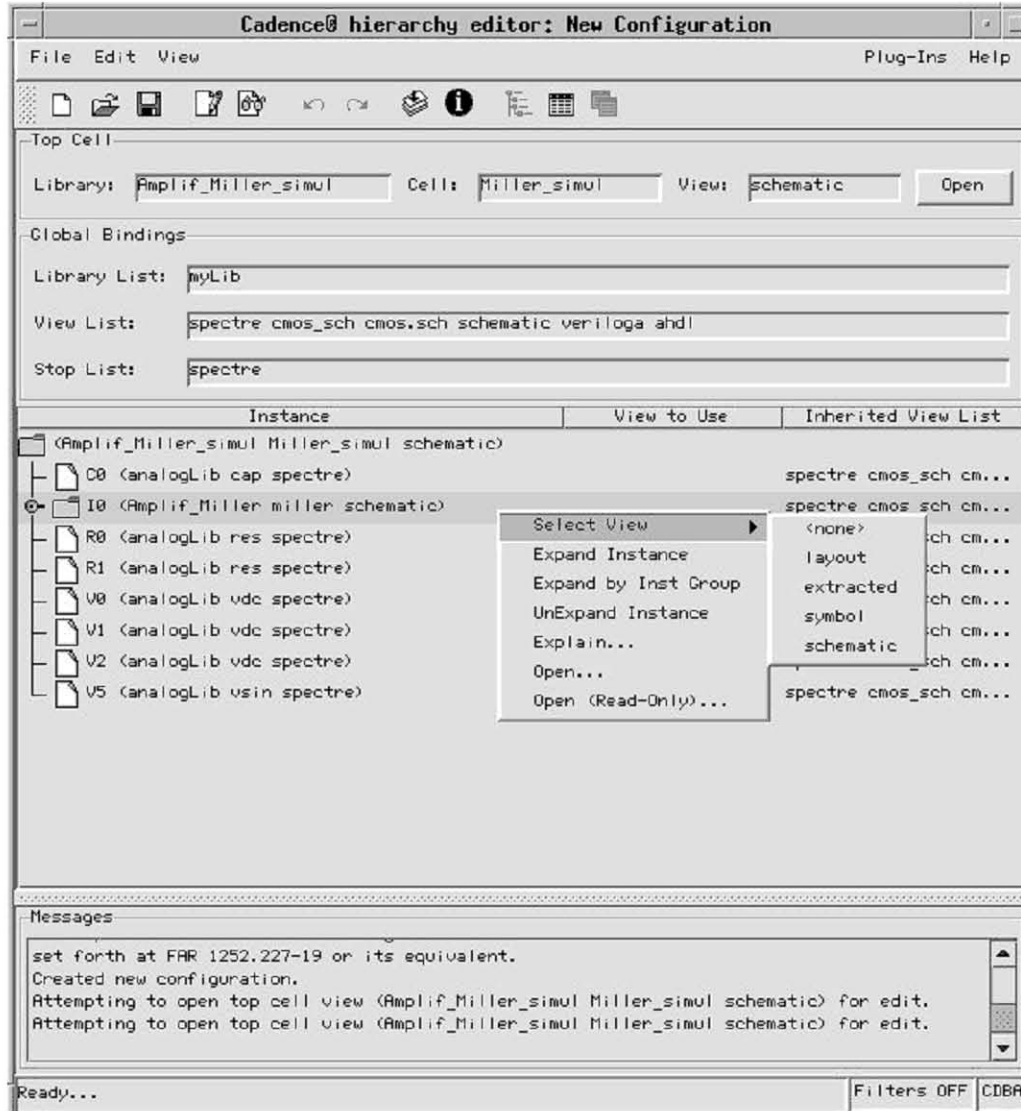


FIGURA A4. 38 - Selecionando a versão do o componente que você deseja simular

A partir do arquivo *config*, você pode simular as diversas versões do seu circuito, seguindo os mesmos passos da seção A4.5. Para melhor conveniência, você pode adicionar o seu projeto duas vezes e configurar um para versão esquemático e o outro para a versão extraída, como é ilustrado na figura A4.39.



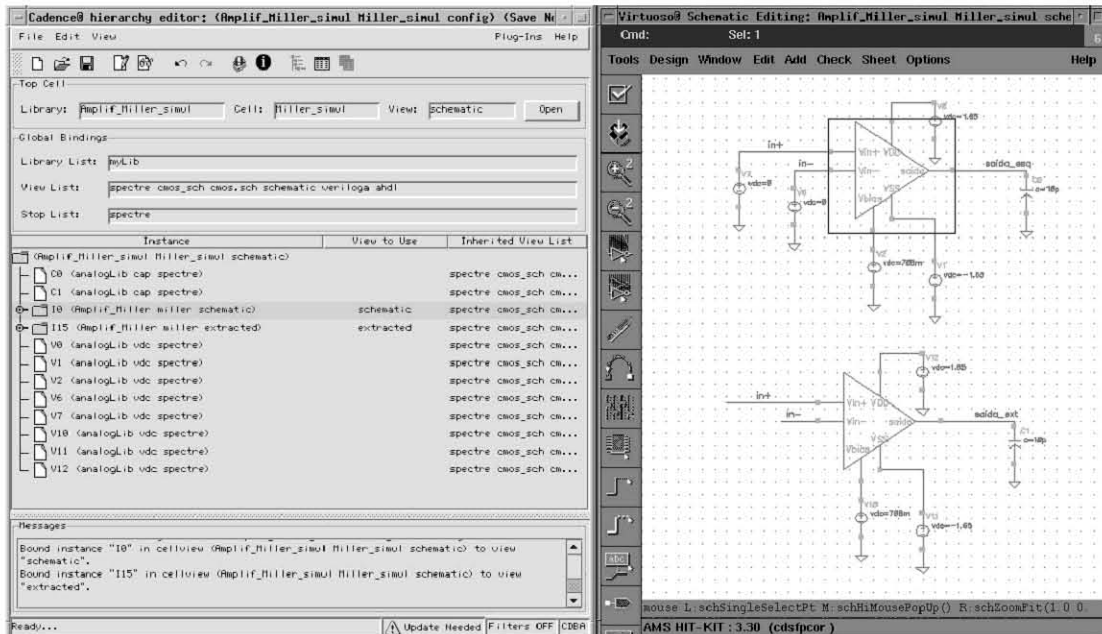


FIGURA A4. 39 - As duas versões de um circuito em um mesmo arquivo de simulação

## A4.8 Referências

Para maiores informações sobre noções básicas de configuração e uso da ferramenta, pesquisar em:

- <http://www.inf.ufrgs.br/~juan/tutorial/tutoriais>
- <http://www.ee.virginia.edu/~mrs8n/cadence/Cadencetutorials.html>
- <http://www.tde.lth.se/ugradcourses/cadsys/cadence.html>
- <http://rcaverly.ee.vill.edu/cgi-bin/TUT1/TUTCOVB.HTM>
- <http://www.inf.ufrgs.br/~juan/tutorial/tutoriais/>

## Bibliografia

- [ALL 2002] ALLEN, Phillip E.; HOLBERG, Douglas R. **CMOS Analog Circuit Design**. New York: Oxford University Press, 2002. 775p.
- [AZI 96] AZIZ, P. M.; SORENSEN, H. V.; SPIEGEL, J. Allen. An Overview of Sima-Delta Converters. **IEEE Signal Processing Magazine**, [S.l.], v. 13, p. 61-84, 1996.
- [BEN 2000] BENABES, P.; KERAMAT, M.; GAUTHIER, A.; KIELBASA, R. Nonlinearity of Gm-C in Bandpass Sigma-Delta Modulators. In: **IEEE MIDWEST SYMP. ON CIRCUITS AND SYSTEMS**, 43., 2000, USA. **Proceedings...** Lansing: [s.n.], 2000, v. 1, p. 44-47.
- [CHO 2001] CHOI, Jung H. **Mixed-Signal Analog-Digital Circuits Design on the Pre-Diffused Array Using Trapezoidal Association of Transistors**. 2001. Tese (Doutorado em Ciência da Computação) - Instituto de Informática, UFRGS, Porto Alegre.
- [CHO 94] CHOI, Jung H. **Uma Análise Comparativa Entre os Conversores A/D Sigma-Delta Direcionada ao Projeto de uma Arquitetura VLSI CMOS**. 1994. Dissertação (Mestrado em Ciência da Computação) - Instituto de Informática, UFRGS, Porto Alegre.
- [CUN 96] CUNHA, Ana I. **Um Modelo do Transistor MOS para Projeto de Circuitos Integrados**. 1996. Tese (Doutorado em Engenharia Elétrica) – Curso de Pós-Graduação em Engenharia Elétrica, UFSC, Florianópolis.
- [ELH 2001] ELHALLABI, H.; FOUZAR, Y.; SAWAN, M. High Frequency CMOS GM-C Bandpass Filter with Automatic On-Chip Tuning. **IEEE Journal of Solid-State Circuits**, New York, v. 2, p. 823-826, 2001.
- [ENZ 97] ENZ, Christian. **The EPFL-EKV MOSFET Model Equations for Simulations**: Technical Report. Switzerland: Electronics Laboratories, EPFL, 1997.
- [FAB 2003] FABRIS, Eric E.; CARRO, Luigi; BAMPI, Sergio. An Analog Signal Interface with Constant Performance for SOCs. In: **IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS**, 2003, Thailand. **Proceedings...** Bangkok: [s.n.], 2003.
- [FLA 96] FLANDRE, D.; SILVEIRA, F. **Design Automation of CMOS OTAs using Symbolic Analysis and gm/ID Methodology**. Disponível em: <<http://www.dice.ucl.ac.be/~flandre/SMACD96/smacd96.html>>. Acesso em: 04 jun, 2003.
- [GIR 2003] GIRARDI, Alessandro. **Uma Ferramenta para Automação da Geração do Leiaute de Circuitos Analógicos sobre uma Matriz de Transistores Pré-Difundidos**. 2003. Dissertação (Mestrado em Ciência da Computação) - Instituto de Informática, UFRGS, Porto Alegre.
- [GOM 95] GOMES, J. L. **Extração e Otimização de Parâmetros de Transistores MOS**. 1995. Trabalho Individual (Mestrado em Ciência da Computação) - Instituto de Informática, UFRGS, Porto Alegre.

- [GOM 96] GOMES, J. L. **Estudo Experimental dos Modelos DC para MOSFET com Escalamento de Tensão**. 1996. Dissertação (Mestrado em Ciência da Computação) - Instituto de Informática, UFRGS, Porto Alegre.
- [HAS 2001] HASTINGS, Alan. **The Art of Analog Layout**. New Jersey: Prentice-Hall, 2001.
- [KAI 2001] KAISER, Andreas. Continuous-Time Filters. In: IBERCHIP, 2001, Montevideo. **Course on Interfacing Microsystems**. Montevideo: [s.n.], 2001.
- [KOB 93] KOBAYASHI, T.; NOGAMI, K.; SHIROTORI, T.; FUJIMOTO, Y. A Current-Controlled Latch Sense Amplifier and a Static Power-Saving Input Buffer for Low-Power Architecture. **IEEE Journal of Solid-State Circuits**, New York, v. 28, p. 523-527, 1993.
- [LAK 94] LAKER, Kenneth R.; SANSEN, Willy M. C. **Design of Analog Integrated Circuits and Systems**. New York: McGraw-Hill, 1994. 898p.
- [LIU 99] LIU, Weindong; HU, Chenming. **BSIM3v3.2.2 MOSFET Model User's Manual**. Berkeley: University of California, 1999.
- [MUL 96] MULLER, Richard S.; KAMINS, Theodore I. **Device Electronics for Integrate Circuits**. 2<sup>nd</sup> ed. New York: John Wiley and Sons, 1986.
- [NOR 97] NORSWORTHY, S. R.; SCHREIER, R.; TEMES, G. C. **Delta-Sigma Data Converters: Theory, Design and Simulation**. New York: IEEE Press, 1997.
- [PAI 2001] PAIXÃO CORTES, Fernando. **Medidas Experimentais, Extração e Otimização de Parâmetros para Simulação de Módulos Amplificadores em Mar de Transistores**. 2001. Trabalho Individual (Mestrado em Ciência da Computação) - Instituto de Informática, UFRGS, Porto Alegre.
- [RAB 96] RABAEY, J. **Digital Integrated Circuits: a Design Perspective**. Upper Saddle River: Prentice-Hall, 1996.
- [SCH 01] SCHAUMANN, Rolf; VALKENBURG, Mac E. V. **Design of Analog Filters**. New York: Oxford University Press, 2001.
- [SCH 96] SCHEIRER, R. Bandpass Delta-Sigma Data Converters. In: ASILOMAR CONFERENCE ON SIGNALS, SYSTEMS AND COMPUTERS, 29., 1996, USA. **Proceedings...** Pacific Grove: [s.n.], 1996. p. 94-97.
- [SAN 2000] SÁNCHEZ-SINENCIO, E.; SILVA-MARTINEZ, J. CMOS Transconductance Amplifiers and Active Filters: a Tutorial. **IEEE Proc.-Circuits Devices Systems**. [S.l.], v. 147, p. 3-12, 2000.
- [SIL 96] SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A gm/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA. **IEEE Journal of Solid-State Circuits**, New York, v. 31, p. 1314 – 319, 1996.

- [TSI 94] TSIVIDIS, Yannis P. Integrated Continuous-Time Filter Design – An Overview. **IEEE Journal of Solid-State Circuits**, New York, v. 29. p. 210-216, 1994.
- [VIT 94] VITTOZ, Eric. Micropower Techniques. In: FRANCA, J. E.; TSIVIDIS, Y. P. (Ed.). **Design of VLSI Circuits for Telecommunications and Signal Processing**. [S.l.]: Prentice Hall, 1995.