

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

THALES EXENBERGER BECKER

**ESTUDO DOS EFEITOS DE SINGLE EVENT TRANSIENTS EM CONVERSOR AD
SAR DO TIPO REDISTRIBUIÇÃO DE CARGA**

Porto Alegre

2015

THALES EXENBERGER BECKER

**ESTUDO DOS EFEITOS DE SINGLE EVENT TRANSIENTS EM CONVERSADOR AD
SAR DO TIPO REDISTRIBUIÇÃO DE CARGA**

Trabalho de conclusão de curso
apresentado como requisito parcial para
obtenção do grau de Bacharel em Engenharia
Elétrica na Universidade Federal do Rio
Grande do Sul.

ORIENTADOR: Prof. Dr. Tiago Roberto Balen

Porto Alegre

2015

THALES EXENBERGER BECKER

**ESTUDO DOS EFEITOS DE SINGLE EVENT TRANSIENTS EM CONVERSADOR AD
SAR DO TIPO REDISTRIBUIÇÃO DE CARGA**

Este Projeto de Diplomação foi analisado e julgado adequado para a obtenção do grau de Bacharel em Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora designada pelo Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul.

Prof. Dr. Eng. Tiago Roberto Balen

Prof. Dr. Ály Flores Ferreira Filho

Aprovado em: ____/____/____

BANCA EXAMINADORA:

Prof. Dr. Tiago Roberto Balen – U.F.R.G.S. _____

Prof. Ph.D. Altamiro Amadeu Susin – U.F.R.G.S. _____

Prof. Dr. Hamilton Duarte Klimach – UFRGS _____

Dedico este trabalho a memória de minha querida avó Iroilda de Vargas Exenberger, pela grande mulher que foi e por ter sido fonte de inspiração em minha vida.

AGRADECIMENTOS

Agradeço ao meu orientador, Prof. Dr. Tiago Roberto Balen, pela oportunidade de trabalharmos juntos nessa pesquisa e pela sua disponibilidade para sanar minhas dúvidas e contribuir na realização deste trabalho. Agradeço-o também pelo incentivo e por se disponibilizar para que sigamos trabalhando juntos na próxima etapa de minha vida acadêmica.

Agradeço também aos meus pais, Denis e Raquel, pelo carinho, pela confiança que sempre depositaram em mim e por terem sido fundamentais no meu desenvolvimento acadêmico e como cidadão.

Agradeço a minha noiva Carolina, por me acompanhar durante toda minha trajetória acadêmica me dando o suporte e carinho necessários e por ter me incentivado a realizar um período de estudos no exterior, compreendendo a minha ausência durante a graduação, o que foi fundamental em minha formação.

Por fim, agradeço aos meus irmãos Pedro e Augusto pela parceria diária e pelos momentos de alegria que compartilhamos.

RESUMO

Os conversores A/D baseados em aproximações sucessivas - SAR - do tipo redistribuição de carga são largamente utilizados nas mais diversas aplicações, principalmente naquelas que uma boa velocidade de conversão e o baixo dispêndio de energia e de área são determinantes. Este tipo de conversor está presente igualmente em diversos circuitos integrados e em dispositivos eletrônicos comerciais que, por vezes, são utilizados em ambientes adversos, como, por exemplo, aplicações espaciais. Nessa situação tal conversor está vulnerável a colisão de partículas, provenientes da radiação, capazes de ionizar o silício. A partir dessa interação, pulsos de corrente transientes podem surgir em determinados pontos do circuito e estes podem ser suficientes para causar uma inversão de um ou mais elementos de memória do circuito. São avaliados nesse estudo, através de simulações SPICE, os resultados da aplicação desses efeitos transientes em um conversor AD SAR por redistribuição de carga. São identificados os nós sensíveis às falhas transientes onde os pulsos são aplicados. Identifica-se também em quais desses nós os erros de conversão ocorrem e com qual recorrência. Por fim, são discutidas possíveis técnicas de mitigação de erros para amenizar os equívocos de conversão observados neste estudo.

Palavras chaves: Conversor AD. Aproximações sucessivas. Redistribuição de carga. Efeitos Transientes. Mitigação de Falhas.

ABSTRACT

The Successive Approximation Register – SAR – Analog to Digital Converters based on charge redistribution are widely used in several applications, specially in those that a good conversion speed, a low power and area consumption are crucial. This ADC is also present in several commercial integrated circuits and electronic devices that are often used in harsh environments such as space applications. In this situation such converter is exposed to collide with particles coming from radiation capable of ionize silicon. This transient failures can be sufficient enough to cause an inversion in one or more elements of the circuit's memory. Through SPICE simulations this study evaluates the consequences of Single Event Transients in a SAR Analog to Digital Converter based on charge redistribution. Circuit's sensitive nodes are identified and at these points of it transientes pulses are applied. Nodes where some conversion errors occur are also identified together with its recurrence. Finally some fault mitigation techniques are presented to ease the detection of conversion errors discussed in this study.

Keywords: Analog to Digital Converters. Successive Aproximation. Charge Redistribution. Transients Effects. Fault Mitigation Techniques.

LISTA DE FIGURAS

Figura 1- Interface entre o mundo analógico e o processador digital.	16
Figura 2 - ADC arquiteturas, resolução, taxa de amostragem.	17
Figura 3 - Arquitetura típica de um conversor SAR.	18
Figura 4 - Arquitetura <i>Sample and Hold</i> simplificada.	19
Figura 5 - Matriz de capacitores chaveados de 5 bits.	20
Figura 6 - Topologia básica de conversor AD SAR por redistribuição de carga.	21
Figura 7 - Situação em que a chave S_7 é ligada em V_{REF} e demais em GND.	22
Figura 8 - Níveis de tensão para as primeiras etapas de conversão.	23
Figura 9 - Circuito para lógica de controle para conversor SAR.	24
Figura 10 - Saídas dos <i>Flip-Flops</i> de controle com implementação de etapa <i>Sample and Hold</i>	25
Figura 11 - Junção PN atingida por partícula ionizada e seu rastro de ionização por deriva e difusão de carga.	27
Figura 12 - Pulso de corrente transiente gerado por um SEE.	28
Figura 13 - Resposta ao impulso transiente de uma cadeia de inversores SOI 130nm.	29
Figura 14 - Mascaramento lógico e por janela de amostragem na propagação de um <i>Single Event Transient</i>	30
Figura 15 - Pulso de corrente transiente a partir da expressão analítica proposta.	31
Figura 16 - Magnitude de corrente em função da duração do pulso em tecnologia MOS 130nm.	32
Figura 17 - Carga coletada em transistor MOS 0,25 μ m em função do local de ocorrência do SEE.	33
Figura 18 - Topologia e formas de onda do circuito para chave do tipo charge pump.	34
Figura 19 - Chave de amostragem com transistores em topologia <i>transmission gate</i>	35
Figura 20 - Resistência combinada em estado <i>on</i> para a chave CMOS <i>transmission gate</i>	35
Figura 21 - Circuito equivalente das chaves de controle da matriz capacitiva e do circuito de amostragem.	36
Figura 22 - Topologia para flip-flop tipo D utilizando portas lógicas CMOS.	37
Figura 23 - Exemplo de inserção de falhas transientes em um inversor MOS.	38
Figura 24 - Pontos de interesse do circuito do conversor SAR para injeção de falhas transientes e avaliação de possíveis nós sensíveis aos mesmos.	40
Figura 25 - Pontos de interesse do circuito para injeção de falhas transientes do circuito da chave <i>charge pump</i>	41
Figura 26 - Matriz capacitiva ponderada com 8 capacitores em paralelo utilizada no conversor estudado.	42

Figura 27 - Chave de controle da matriz capacitiva incluindo porta CMOS inversora para lógica de controle.....	43
Figura 28 - Modelo para injeção de falhas na saída do inversor de controle da chave ligada ao capacitor C7.....	44
Figura 29 - Modelo para injeção de falhas nas chaves ligadas ao capacitor C7.	45
Figura 30 - Modelo para injeção de falhas na porta inversora do sinal de controle de amostragem.	45
Figura 31 - Modelo para injeção de falhas no barramento.	46
Figura 32 - Modelo para injeção de falhas no nó de entrada do comparador.	47
Figura 33 - Exemplo de conversão para $V_{IN} = 0.4V$	48
Figura 34 - Forma de onda do clock do conversor.	48
Figura 35 - Pulsos transientes para $V_{IN} < V_{REF2}$	51
Figura 36 - Pulsos transientes para $V_{IN} \geq V_{REF2}$	51
Figura 37 - Pulso transiente na saída da porta inversora do controle da chave ligada ao capacitor C7 e tensão elétrica na entrada do comparador.	52
Figura 38 - Níveis de tensão elétrica de cada capacitor do conversor, na região inferior dos mesmos que são ligadas às chaves.	52
Figura 39 - Mudança de estado no LSB na ocorrência de pulso transiente na saída do inversor de controle do MSB.....	53
Figura 40 - Erro de conversão para $V_{in}=0.55V$	54
Figura 41 - Transiente observado na entrada do comparador e nas chaves do capacitor C7.....	55
Figura 42 - Conversão com erro e sem erro para uma entrada de 0.8V.	56
Figura 43 - Nível de tensão na entrada do comparador e SET aplicado.	58
Figura 44 - SETs e erros de conversão para 9 ciclos de conversão.	58
Figura 45 - SET e sinal de entrada do comparador para $V_{IN}=0.51V$ no instante de tempo 335us.	60
Figura 46: Sinal de entrada do comparador para pulso aplicado em 116us no nó crítico 5, com $V_{IN}=0.51V$	62
Figura 47 - Gráfico ilustrativo dos resultados da Tabela 6.....	63
Figura 48 - Gráfico ilustrativo dos resultados da Tabela 7.....	64
Figura 49 – Transiente em v(samplen) e variação na tensão de entrada do comparador, $V_{in}=0.5V$	65
Figura 50 – Transiente em v(samplen) e variação na tensão de entrada do comparador, $V_{in}=1.123V$.65	
Figura 51 – Pulso transiente em v(comp_in) e variação na tensão de entrada do comparador, $V_{in}=0.5V$	66
Figura 52 – Pulso transiente em v(comp_in) e variação na tensão de entrada do comparador, $V_{in}=1.123V$	66

LISTA DE TABELAS

Tabela 1 - Resultado da conversão em hexadecimais em função de VIN e do instante de aplicação do SET para o nó crítico 1.....	50
Tabela 2 - Resultado da conversão em hexadecimais em função de VIN e do instante de aplicação do SET para o nó crítico 2.....	55
Tabela 3: Resultado da conversão em hexadecimais em função de VIN e do instante de aplicação do SET para o nó crítico 3.....	57
Tabela 4 - Resultado da conversão em hexadecimais em função de VIN e do instante de aplicação do SET para o nó crítico 4.....	59
Tabela 5: Resultado da conversão em hexadecimais em função de VIN e do instante de aplicação do SET para o nó crítico 5.....	61
Tabela 6: Bits afetados pela inserção de SETs no nó crítico da seção 4.3.	62
Tabela 7: Bits afetados pela inserção de SETs no nó crítico da seção 4.5.	63
Tabela 8: Tabela comparativa de resultados com a Tabela 3 para SETs aplicados no final e início de cada ciclo de conversão.....	67
Tabela 9: Tabela comparativa de resultados com a Tabela 5 para SETs aplicados no final de cada ciclo de conversão.	68
Tabela 10: Resultados extraídos da Tabela 3, W com dimensões iniciais.	69
Tabela 11: Resultados para W com dimensões duas vezes maiores em relação às iniciais.	70
Tabela 12: Resultados para W com dimensões quatro vezes maiores em relação às iniciais.....	70
Tabela 13: Resultados com dobro da capacitância projetada, nó crítico 5.	71

LISTA DE ABREVIATURAS E SIGLAS

ADC – Analog to Digital Converter

ASU – Arizona State University

DAC – Digital to Analog Converter

IEEE – Institute of Electrical and Electronic Engineers

MBU – Multiple-Bit Upset

MCU – Multiple Cell Upset

MOS - Metal Oxide Semiconductor

MOSFET – Metal Oxide Semiconductor Field Effect Transistor

NASA – National Aeronautics and Space Administration

NMOS – N-channel Metal Oxide Semiconductor

PMOS – P-channel Metal Oxide Semiconductor

PTM – Predictive Technology Model

SAR - Successive Approximation Register

SBU – Single Bit Upset

SEE – Single Event Effects

SEFI – Single Event Functional Interrupt

SET - Single Event Transient

SEL – Single Event Latchup

SEU – Single Event Upset

SPICE - Simulation Program with Integrated Circuit Emphasis

SUMÁRIO

1. INTRODUÇÃO	13
1.1 Justificativa.....	14
1.2 Objetivos	15
1.3 Estrutura do trabalho.....	15
2. REVISÃO BIBLIOGRÁFICA	16
2.1 Conversores A/D.....	16
2.2 Conversores A/D SAR por redistribuição de carga.....	17
2.3 Conversor A/D implementado	20
2.4 Introdução aos Soft Errors e ao Single Event Transient.....	25
2.5 Modelagem do Conversor	33
3. METODOLOGIA	38
3.1 Metodologia de injeção de falhas.....	38
3.2 Identificação dos nós sensíveis	40
4. RESULTADOS	50
4.1 Primeiro nó crítico	50
4.2 Segundo nó crítico	54
4.3 Terceiro nó crítico.....	56
4.4 Quarto nó crítico	59
4.5 Quinto nó crítico	60
4.6 Análises complementares para os nós sensíveis (3 e 5)	62
5. MITIGAÇÃO DE ERROS	69
6. CONCLUSÕES	72
REFERÊNCIAS	74
ANEXO A – Descrição SPICE do conversor AD e código para injeção de falhas	76

1. INTRODUÇÃO

Os circuitos e processadores digitais estão cada vez mais presentes em nossas vidas, facilitada pelos sucessivos avanços de desempenho nas tecnologias de circuitos integrados. A cada nova geração de circuitos digitais se obtém maior velocidade, um número mais expressivo de funcionalidades por chip, menor dissipação de energia e custos inferiores. Comparados com seus pares analógicos, os circuitos digitais têm por característica maior robustez às variações dos processos e das fontes de alimentação dos mesmos. Ademais, esses apresentam também menor sensibilidade ao ruído, permitem um desenho de circuito simplificado e ainda mais facilidade na automatização dos testes (RAZAVI, 1995).

Dentre as topologias mais utilizadas na conversão A/D estão os conversores SAR (*Successive Approximation Registers*) que utiliza um processo de aproximações sequenciais, a fim de converter uma entrada analógica em um código digital de saída com resoluções, normalmente, entre 8-16 bits. O tempo de cada conversão é sempre o mesmo e, assim, este conversor se torna ideal para aplicações em tempo real. Nesse sentido, pode-se observar o controle de motores, os sensores *touch-screen*, bem como os mais diversos sistemas de aquisição de dados (MICROCHIP, 2004). Esse tipo de conversor é também comumente utilizado em aplicações onde o baixo consumo de energia é necessário ou vantajoso, como por exemplo, em aplicações aeroespaciais e de telecomunicações (VIJAY, 2013).

Entre as diversas topologias de conversores SAR, destaca-se neste estudo a que utiliza o princípio de redistribuição de carga, muito utilizada em dispositivos eletrônicos. Para a tecnologia CMOS, tal topologia é bastante atraente visto que para seu desenvolvimento não é necessário o projeto de resistores, ao contrário de topologias R-2R, por exemplo. (MCCREARY & GRAY, 1975).

Como a indústria de semicondutores vem evoluindo rapidamente, os circuitos integrados tem se tornado cada vez menores, mais complexos e capazes de operar em frequências cada vez mais elevadas. Tal evolução está atrelada à redução das dimensões laterais e verticais dos transistores de um circuito integrado e ao chamado escalonamento tecnológico, que possibilitou aumentar a densidade de integração, maiores velocidades de operação e uma menor dissipação de energia pela redução da tensão de alimentação. Porém, junto com essas vantagens, a referida evolução introduziu uma maior suscetibilidade a falhas dos circuitos integrados como, por exemplo, variabilidade e degradação dos transistores

(ISLAM, 2015). Além disso, houve um acréscimo na vulnerabilidade às falhas transientes causadas pela incidência da radiação (MESSENGER, 1982), que é objeto de estudo deste trabalho.

Os conversores AD SAR podem estar presentes em aplicações dentro de ambientes críticos, ou seja, locais suscetíveis à radiação ionizante. E quando estão operando no espaço, além de expostos a radiação intensa, podem também estar sujeitos à incidência de partículas pesadas provenientes do sol ou de fora da galáxia. Esta exposição pode resultar em perturbações no bom funcionamento do circuito de maneira transiente ou definitiva (BALEN, 2011).

Efeitos transientes resultantes da interação de partículas ionizantes com os circuitos integrados podem alterar o conteúdo de uma célula de memória, de um flip-flop ou de um latch dos mesmos (caso em que o efeito é chamado de SEU, *Single Event Upset*). Tais efeitos podem também serem propagados pela lógica combinacional do circuito e, assim, serem capturados por uma célula sequencial, caracterizando um SET, *Single Event Transient* (NICOLAIDIS, 2011), que são o escopo de investigação deste trabalho por meio do estudo dos efeitos transientes em conversores A/D do tipo SAR por redistribuição de carga. A análise será feita através de simulações em nível elétrico, a partir de uma descrição do conversor A/D – previamente implementado – no programa SPICE. Essas simulações consistem, basicamente, da aplicação de falhas transientes nos nós sensíveis à radiação do circuito conversor A/D do tipo SAR por redistribuição de carga.

1.1 Justificativa

Os efeitos relacionados à incidência de radiação, principalmente em aplicações militares e espaciais, vêm sendo estudados há bastante tempo pela comunidade científica, as constantes evoluções e os escalonamentos tecnológicos, “*technology scaling*”, corroboram para isto. No Brasil, observa-se um movimento de qualificar as pesquisas na área, visto que o Ministério da Defesa, a Agência Espacial Brasileira e o INPE (Instituto Nacional de Pesquisas Espaciais) tem interesse em usufruir de componentes eletrônicos em ambientes suscetíveis à radiação. Como exemplos destas iniciativas estão: o programa CBERS, parceira entre o Brasil e China, que já lançou quatro satélites em órbita sendo o último em 2014 e o primeiro nano satélite brasileiro também lançado em 2014.

A ocorrência de erros transientes em uma matriz capacitiva foi previamente abordada na literatura por (BALEN et al., 2011), bem como foram identificadas falhas de conversão em uma plataforma programável comercial que continha conversores SAR, quando a mesma foi exposta a uma fonte de nêutrons (TAMBARA et al., 2013). O trabalho torna-se, portanto fundamental ao aprofundar a investigação da ocorrência destes efeitos em tal topologia de conversor A/D.

1.2 Objetivos

Este trabalho visa, primeiramente, identificar os potenciais nós sensíveis à incidência de Single Event Transients (SETs) na topologia de conversor A/D SAR por redistribuição de carga. E então desenvolver uma metodologia de injeção de falhas para avaliar a sensibilidade destes nós. A partir da injeção de falhas é fundamental compreender o comportamento do conversor diante das falhas transientes para identificar possíveis estratégias de mitigação de erros para reduzir a ocorrência dos mesmos.

1.3 Estrutura do trabalho

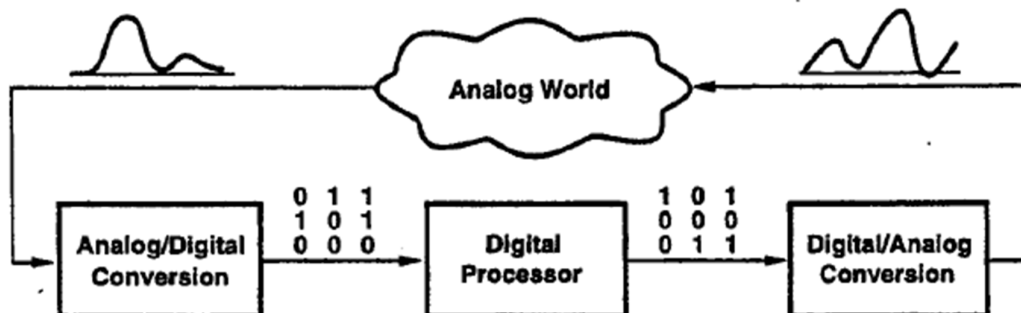
Basicamente pode-se dividir o trabalho em cinco partes. A primeira delas é a revisão bibliográfica, onde será apresentada a topologia do conversor A/D SAR por redistribuição de cargas além de seu funcionamento, nesta etapa será introduzido também o conceito de *Soft Errors* e assim serão aprofundadas as características e as causas relacionadas aos *Single Event Transients*, e após será realizada uma abordagem sobre as regiões do semicondutor sensíveis à radiação. A segunda etapa consiste na metodologia de injeção de falhas e de identificação dos potenciais nós sensíveis do circuito apresentado. Na terceira etapa serão apresentados e discutidos os resultados obtidos através das simulações realizadas. Na quarta etapa serão discutidas estratégias para mitigação de falhas ocorridas. E por fim, na quinta etapa, serão apresentadas as conclusões e demais discussões relativas ao trabalho desenvolvido.

2. REVISÃO BIBLIOGRÁFICA

2.1 Conversores A/D

Os sistemas eletrônicos modernos armazenam e processam as informações na forma digital, mas devido à natureza analógica do mundo são necessários conversores de dados: tanto de analógico para digital como de digital para analógico (MANGARANO, 2012). E apesar de todas as vantagens providas por circuitos digitais, alguns fatores impedem a total globalização de tal tecnologia, uma vez que os sinais são naturalmente analógicos e por isso os seres humanos os percebem e retêm as informações na forma analógica (ao menos em escala macroscópica). Portanto, para realizar a interface entre o mundo real e os processadores digitais são necessários circuitos de aquisição e de reconstrução de dados, tais como: *analog to digital converters* (ADCs), para adquirir o sinal analógico que é processado, e *digital to analog converters* (DACs), para reproduzir o sinal (RAZAVI, 1995). Este processo é ilustrado na Figura 1:

Figura 1- Interface entre o mundo analógico e o processador digital.



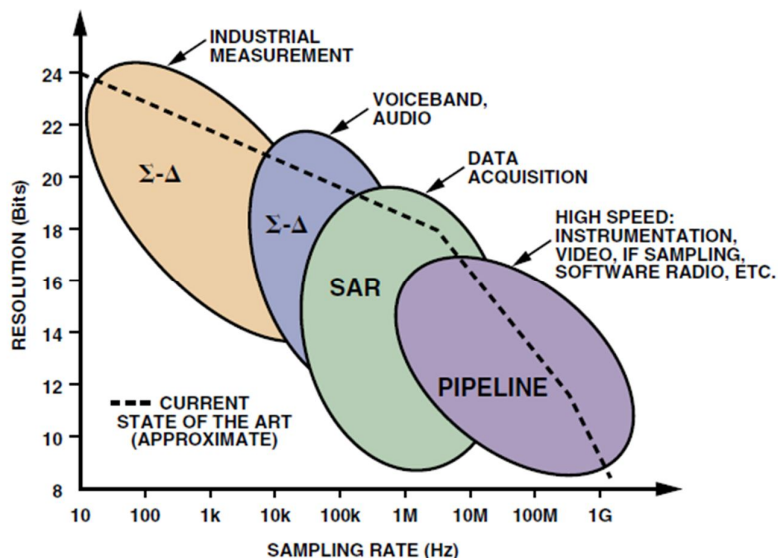
Fonte: RAZAVI, 1995

Hoje em dia os conversores AD são classificados em quatro grandes segmentos de mercado (KESTER, 2005): aquisição de dados; medições industriais de precisão; áudio e voz; alta velocidade (taxa de amostragem acima de 5MSPS).

As três principais arquiteturas que hoje englobam estas aplicações são: o conversor por aproximações sucessivas (SAR), o conversor pipeline e conversor sigma-delta (Σ - Δ). É apresentado na Figura 2 como se relacionam, para estas arquiteturas de conversores, os parâmetros: resolução em bits (eixo vertical) e taxa de amostragem em hertz (eixo horizontal).

Além disso, neste mesmo gráfico, a linha pontilhada apresenta uma relação aproximada destas especificações (KESTER, 2005).

Figura 2 - ADC arquiteturas, resolução, taxa de amostragem.

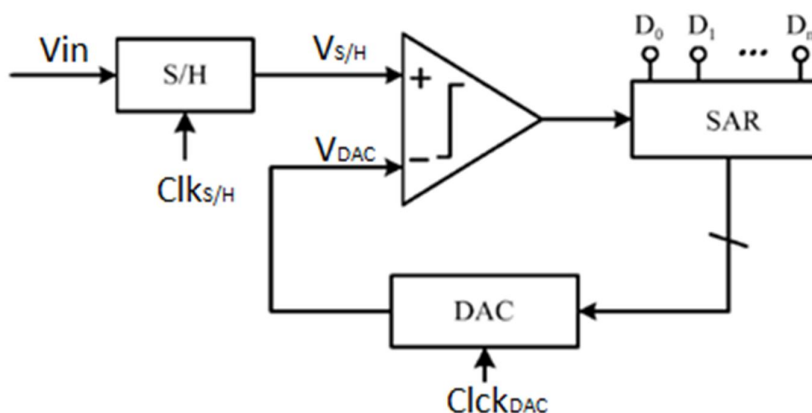


Fonte: KESTER, 2005

2.2 Conversores A/D SAR por redistribuição de carga

Os conversores do tipo SAR, assim como os demais conversores A/D, funcionam pelo princípio de busca da representação binária de uma dada entrada analógica. Para esse fim, de maneira genérica as diversas topologias deste tipo de conversor realizam algumas etapas: inicialmente uma dada entrada analógica é amostrada e armazenada, para então ser sucessivamente comparada com uma tensão de limiar e os resultados obtidos são enviados para a lógica de controle SAR. Na primeira comparação, responsável por determinar o bit mais significativo (MSB), a lógica de controle determina em qual metade do espaço de solução a entrada analógica se encontra, e o MSB é então posicionado de acordo. Este espaço de solução é salvo, e outro limiar de tensão é levado à entrada do comparador para que outra comparação seja realizada até que a entrada seja representada pela resolução desejada (VIJAY, 2013). A Figura 3 representa em blocos o que foi descrito:

Figura 3 - Arquitetura típica de um conversor SAR



Fonte: VIJAY, 2013

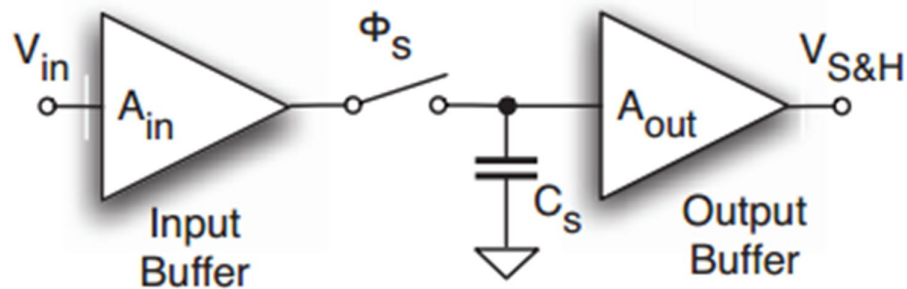
Pela Figura 3, tem-se o bloco S/H responsável por amostrar e reter a tensão de entrada V_{in} que é comparada com o sinal V_{DAC} proveniente da lógica de controle SAR. A saída deste comparador é realimentada pela lógica de controle SAR que informa se o valor testado é superior ou inferior à tensão de entrada V_{in} . Se a tensão de saída desta comparação for nível alto, então a tensão experimentada era inferior à V_{in} e o bit mais significativo do conversor é levado a nível lógico '1'. Por outro lado, se a tensão de saída do comparador for nível baixo o mesmo bit deve ser setado em nível lógico '0'. A operação é sequencial até que todos os bits de interesse sejam determinados.

O circuito esquematizado na Figura 3 é apresentado apenas a título de ilustração para que se compreenda a estrutura do funcionamento de um conversor AD SAR genérico. O conversor aplicado neste estudo, do tipo redistribuição de carga, se utiliza do mesmo princípio, mas possui algumas particularidades. Em tal topologia são utilizados capacitores ponderados que são comutados sucessivamente na etapa de conversão, e que são fundamentais também na etapa de amostragem e de retenção da tensão de entrada V_{in} . A resolução do conversor é então limitada pela área ocupada por estes componentes, e para o processo CMOS, esta topologia apresenta bons resultados (VIJAY, 2013).

Para que a etapa de conversão, descrita na Figura 3, funcione é importante que exista um circuito complementar de amostragem e retenção (*Sample and Hold*) da tensão de entrada V_{in} que deve ser retida durante todo o processo de conversão. O diagrama de blocos simplificado desse circuito é apresentado na Figura 4. Nesse esquema, quando a chave ϕ_S é fechada, o capacitor é carregado com a tensão de entrada V_{in} . Após isso, a mesma chave é

aberta e o terminal superior do capacitor fica em estado flutuante e, assim, retém a tensão amostrada no Capacitor C_s . Este esquema pode ser implementado tanto em tecnologia bipolar como em CMOS (MALOMBERTI, 2007). Ademais, as arquiteturas de amostragem e retenção implementam técnicas de circuitos que reduzem o patamar de erro sem sacrificar a velocidade e a linearidade do sistema (RAZAVI, 1995).

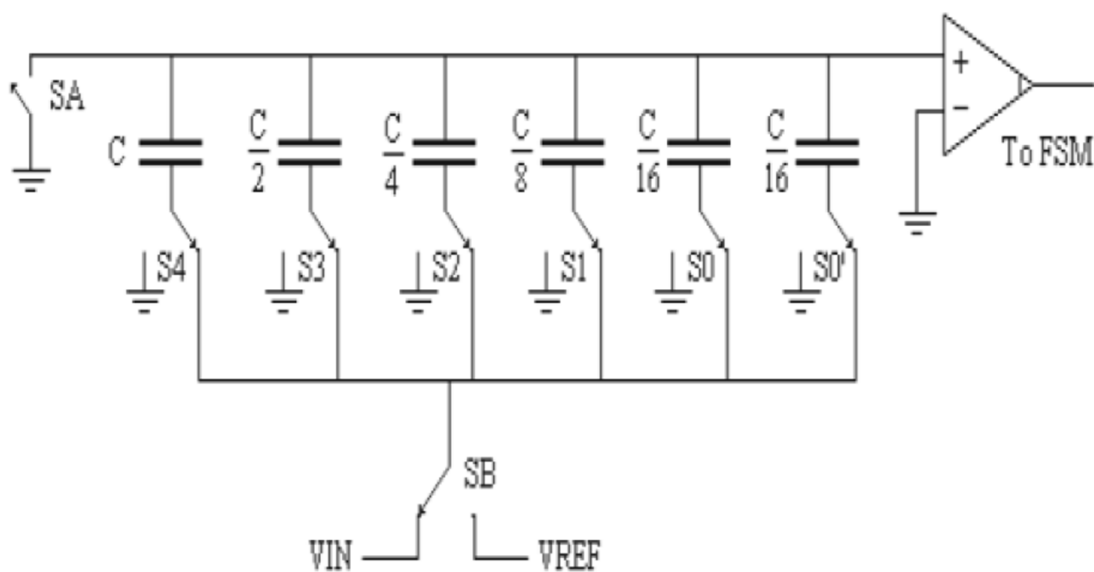
Figura 4 - Arquitetura *Sample and Hold* simplificada.



Fonte: MALOMBERTI, 2007

Após esta revisão sobre os conversores SAR do tipo redistribuição de carga, destaca-se na Figura 5 o circuito implementado por (MCCREARY & GRAY, 1975) que foi a base para o conversor estudado neste documento e apresenta uma evolução em relação aos circuitos SARs tradicionais. Este se utiliza de capacitores chaveados que quando associados geram diversos divisores de tensão capacitivos e desta forma realizam a função do bloco DAC, apresentado na Figura 3. A operação é baseada no número total de capacitores e, para este exemplo, é possível realizar uma conversão de cinco bits. Observa-se que o capacitor de menor valor é repetido e que os demais apresentam nesta matriz o dobro da capacitância do respectivo capacitor localizado à sua direita. Com esta configuração, pode-se obter uma capacitância máxima $2C$, mas de acordo com o posicionamento das chaves os mais diversos divisores de tensão podem ser programados por meio do armazenamento de carga no topo da matriz capacitiva.

Figura 5 - Matriz de capacitores chaveados de 5 bits.



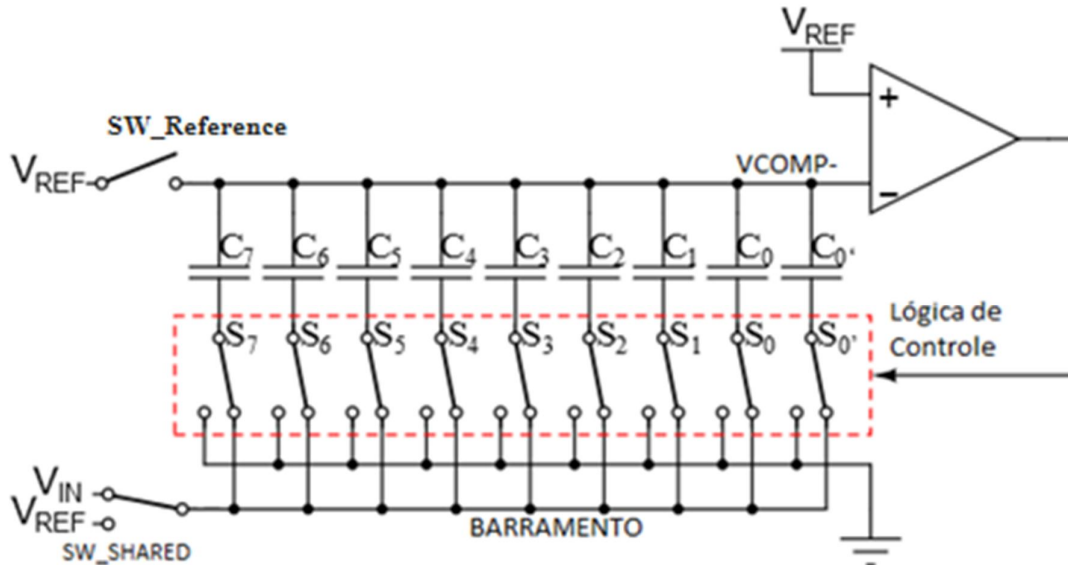
Fonte: VIJAY, 2013.

2.3 Conversor A/D implementado

O princípio de funcionamento do conversor AD SAR do tipo redistribuição de carga utilizado neste trabalho segue o que foi apresentado na Figura 5. Destaca-se que o mesmo foi previamente implementado na literatura (LANOT, 2014) e tal modelagem não foi alterada neste estudo. A arquitetura apresentada foi estendida para uma topologia de 8 bits, conforme demonstrado na Figura 6. Essa figura se refere também à lógica de controle do conversor SAR, apresentada anteriormente na Figura 3 e que atua diretamente nas chaves ligadas à matriz capacitiva, de acordo com o resultado obtido em cada etapa de comparação. Além disso, a parte superior da matriz capacitiva foi nomeada como VCOMP- e o ponto onde são comutadas a tensão de referência VREF e a tensão de entrada VIN foi nomeado como barramento ou bus.

O circuito apresentado na Figura 6 servirá de base para todo o estudo realizado neste documento e é uma referência para as futuras análises.

Figura 6 - Topologia básica de conversor AD SAR por redistribuição de carga.

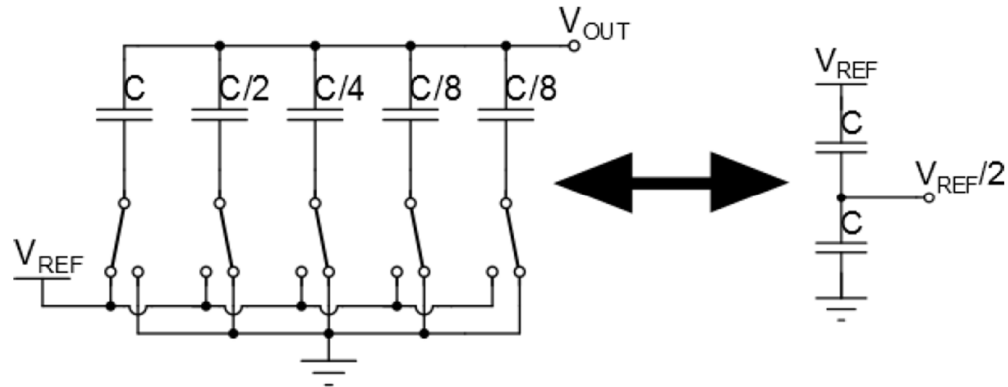


Fonte: LANOT, 2014.

De forma a detalhar o princípio de funcionamento do conversor desenvolvido em (LANOT, 2014) as 3 etapas principais do processo de conversão seguem apresentadas: amostragem, retenção e redistribuição de carga.

- 1) Amostragem: Nesta etapa, a chave SW_SHARED deve ser posicionada em V_{IN} e então todas as chaves ligadas aos capacitores ($S_7, S_6, \dots, S_0, S_0'$) são conectadas a este nível de tensão pelo barramento e, ao mesmo tempo, a chave $SW_Reference$ também é fechada. Assim, uma carga total $2C(V_{REF}-V_{IN})$ é armazenada na rede capacitiva, onde C corresponde à soma das capacitâncias da matriz.
- 2) Retenção: A chave $SW_Reference$ é aberta e, junto disso, V_{IN} é retirado do barramento. Os capacitores são então levados a GND e como o nó denominado V_{COMP-} não é conectado em GND é retido $V_{COMP-} = V_{REF} - V_{IN}$ e, assim, conclui-se o processo *Sample and Hold*.
- 3) Redistribuição de carga: o processo de redistribuição de carga é um pouco mais complexo e é realizado em várias etapas. Na primeira delas a chave S_7 , correspondente ao bit mais significativo do conversor, é ligada ao barramento que contém V_{REF} . Desta forma, um primeiro divisor capacitivo é formado entre C (capacitor mais significativo) e C (soma das demais capacitâncias em paralelo), conforme Figura 7.

Figura 7 - Situação em que a chave S_7 é ligada em V_{REF} e demais em GND.



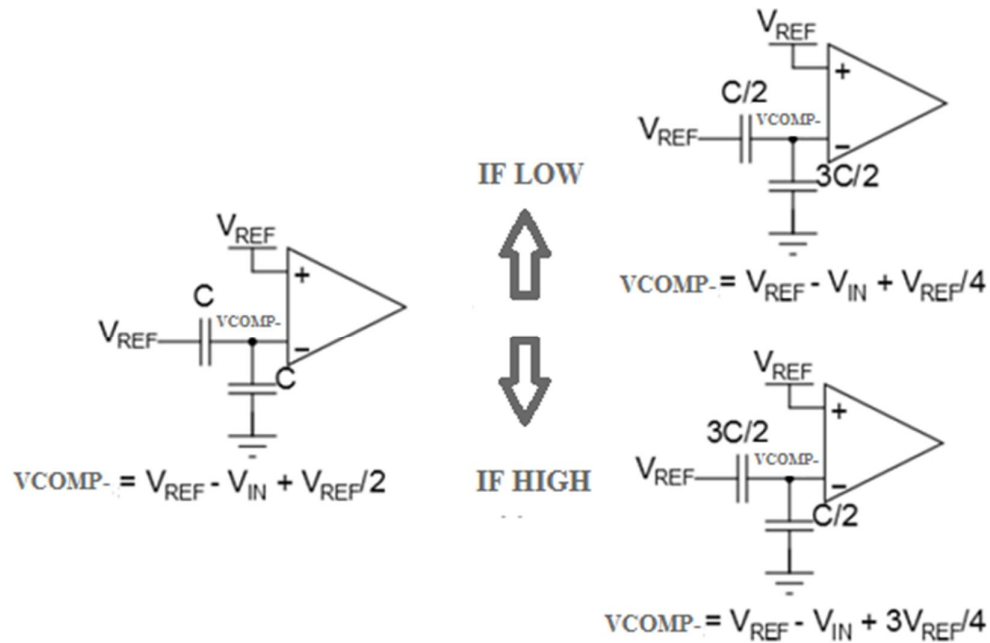
Com isto, ao nó V_{COMP-} é adicionada a tensão $\frac{V_{REF}}{2}$. Conforme a Equação 1:

$$V_{COMP-} = V_{REF} - V_{IN} + \frac{V_{REF}}{2} \quad (1)$$

No caso de $V_{IN} > \frac{V_{REF}}{2}$ o comparador terá a sua saída em nível alto '1', já se o contrário for observado, o comparador resultará em nível baixo '0'. Na primeira etapa o nível alto indica que a tensão de entrada é maior do que o meio de escala do conversor, e assim, o bit mais significativo do conversor (MSB) deve ser setado em nível lógico '1'. Em caso contrário, V_{IN} é inferior ao meio de escala e o MSB deve ser posto em nível '0'. Este procedimento deve ser repetido respectivamente para as chaves (S_6, S_5, \dots, S_1 e S_0), ligadas ao barramento. Dessa forma, a posição final das chaves indicará o valor binário de saída do conversor que é igualmente armazenado nos registradores da lógica de controle.

Para elucidar o processo de conversão são apresentadas na Figura 8 as possibilidades de comparação para as duas primeiras etapas de conversão, quando são levadas ao barramento, respectivamente, as chaves S_7 e S_6 e, assim conectadas em V_{REF} . Se o resultado da primeira etapa de conversão for nível baixo (*low*), a chave S_7 deve ser fixada em GND, e então quando S_6 for conectada em V_{REF} têm-se a configuração em que $V_{COMP-} = V_{REF} - V_{IN} + \frac{V_{REF}}{4}$. Por outro lado, quando o resultado da primeira etapa de conversão for nível alto (*high*), a chave S_7 é fixada em V_{REF} . Dessa forma, quando S_6 é conectada ao barramento têm-se a configuração em que $V_{COMP-} = V_{REF} - V_{IN} + \frac{3V_{REF}}{4}$. O sinal de entrada V_{IN} , dependendo o resultado obtido para o MSB será, portando, ora comparado com $\frac{V_{REF}}{4}$ ora com $\frac{3V_{REF}}{4}$.

Figura 8 - Níveis de tensão para as primeiras etapas de conversão.

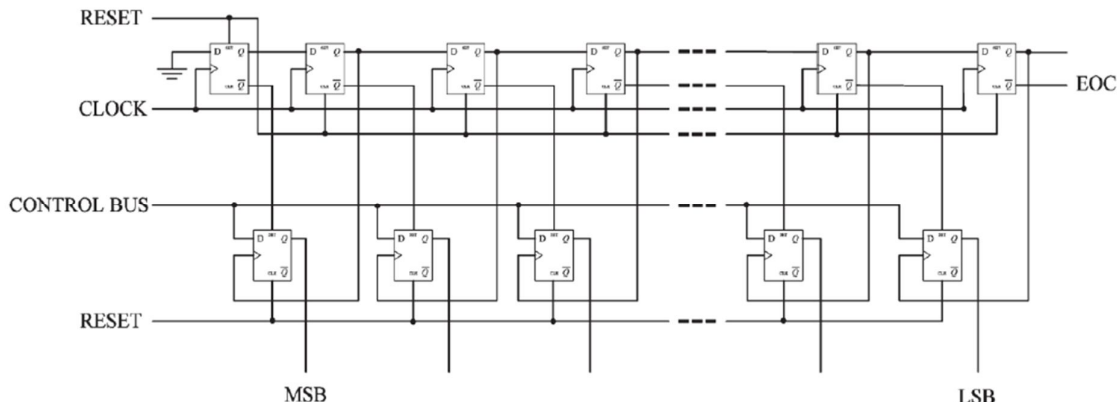


Para as sucessivas etapas de conversão a tensão elétrica V_{COMP-} segue a expressão definida pela Equação 2, onde b_n corresponde ao estado final da chave referente ao bit n , e onde a ligação em GND corresponde ao valor 0 e a ligação em V_{REF} corresponde ao valor 1. Assim, o resultado é expresso até que todos os níveis de tensão sejam testados e a conversão seja finalizada. Conforme a Equação 2:

$$V_{COMP-} = V_{REF} - V_{IN} + \frac{b_n V_{REF}}{2} + \frac{b_{n-1} V_{REF}}{4} + \frac{b_{n-2} V_{REF}}{8} + \dots + \frac{b_0 V_{REF}}{2^n} \quad (2)$$

Após o entendimento da maneira que são implementadas as etapas de amostragem, retenção e redistribuição de carga, apresenta-se o funcionamento da lógica de controle do conversor SAR. A topologia mais divulgada e conhecida até hoje foi abordada por (ANDERSON, 1972) em um relatório da NASA. Nesta época o conversor SAR do tipo redistribuição de carga ainda não havia sido inventado, mas o controle já existia, devido às outras arquiteturas desse tipo de conversor. O circuito da maneira que foi apresentado por (ANDERSON, 1972) segue na Figura 9:

Figura 9 - Circuito para lógica de controle para conversor SAR.



Fonte: ANDERSON, 1972.

Este circuito é utilizado fundamentalmente para compreender o algoritmo da lógica de controle SAR e pode ser dividido em dois blocos principais: os *flip-flops* tipo D, localizados no topo do circuito, configuram um registrador de deslocamento, chamado também na literatura de *sequencer*. Neste bloco o sinal em nível alto 1 é obtido sequencialmente nas saídas negadas dos *flip-flops*, a cada ciclo de *clock*. Já os *flip-flops* tipo D, localizados na região inferior do circuito, configuram outro registrador, chamado na literatura de *code register*. Nesta etapa, a ativação do sinal de saída se dá pelos *flip-flops* do *sequencer* ligados aos terminais de *preset* do *code register*.

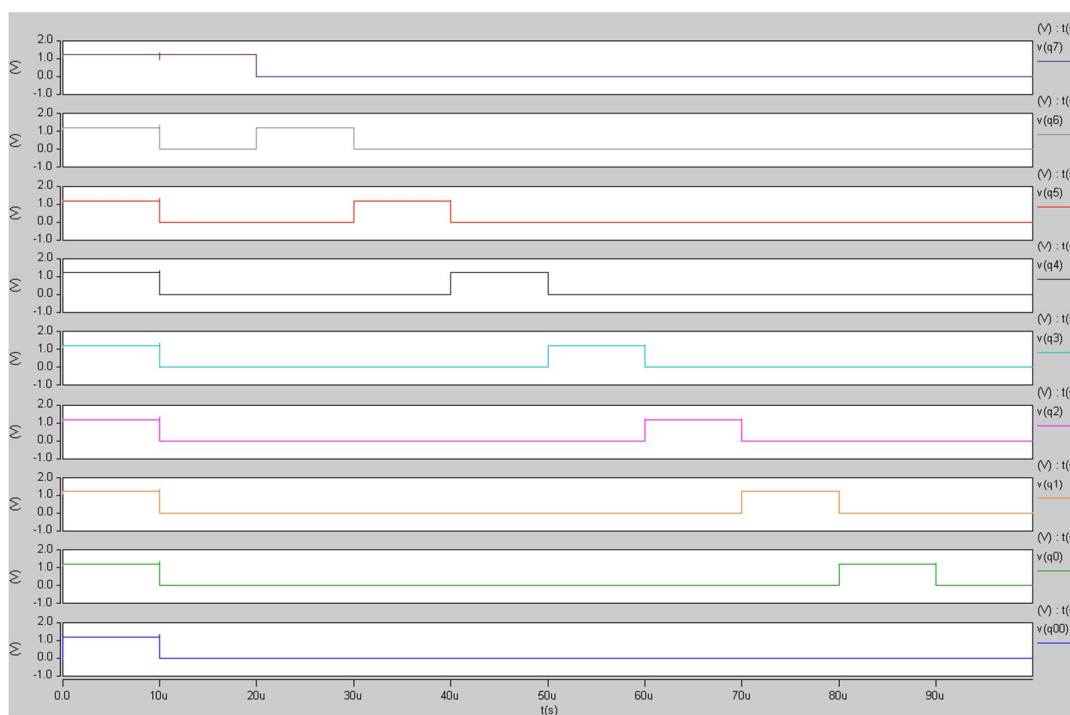
Nota-se na Figura 9 que a saída do comparador, representada por CONTROL BUS, é ligada na entrada de cada *flip-flop* do *code register*. E a cada ciclo de *clock* o *sequencer* irá ativar sequencialmente as saídas dos *flip-flops* do *code register* que terão armazenados os resultados de cada comparação realizada, e assim, os *flip-flops* do *code register* podem controlar as chaves ligadas aos capacitores e determinar quando as mesmas devem ser levadas à V_{REF} ou à GND.

Como o circuito apresentado na Figura 9 foi implementado antes da topologia desenvolvida por (MCCREARY & GRAY, 1975), este não previu o comportamento *Sample and Hold*. É necessário, portanto, a implementação deste circuito para poder dar conta do fato que as chaves não estão ligadas ao barramento no início da conversão.

Isto pode ser resolvido pela implementação de portas NOR, nas quais as entradas correspondem respectivamente aos sinais de saída dos *flip-flops* e o sinal de amostragem. Quando a saída do *flip-flop* juntamente com o sinal de amostragem for nível baixo, o sinal

Sample and Hold é ativado. O sinal para ativar a amostragem pode ser o mesmo que ativa o RESET, ou seja, desativa o controle. Assim, enquanto o conversor estiver com o sinal RESET em nível alto o controle aguarda para iniciar a conversão com o valor amostrado na entrada. Já quando o sinal RESET for nível baixo a amostragem é realizada. O comportamento da lógica de controle pode ser observado na Figura 10 onde são amostradas as saídas de cada flip-flop (q7, q6, q5, q4, q3, q2, q1, q0, q00) durante a etapa *Sample and Hold* e a etapa de conversão:

Figura 10 - Saídas dos *Flip-Flops* de controle com implementação de etapa *Sample and Hold*.



2.4 Introdução aos Soft Errors e ao Single Event Transient

Soft Errors, do inglês, podem ser entendidos por eventos nos quais determinados dados de um dispositivo são perturbados e ou corrompidos, mas que não tem por característica danificar de forma permanente o equipamento. Ao contrário, quando o dano é definitivo, tal evento é classificado como *Hard Error*. A confiabilidade de circuitos integrados, fabricados em tecnologia CMOS, está cada vez mais ameaçada pelos *Soft Errors* induzidos pela radiação (NICOLAIDIS, 2011). Além disso, *Soft Errors* podem ser entendidos

também como um subconjunto de *Single Event Effects* (SEEs), que são causados pelo impacto de uma única partícula, normalmente com alta energia e localizada ou proveniente de altas altitudes ou do espaço, em um circuito eletrônico (DODD et al., 1998).

Dessa forma *Soft Errors* podem ser classificados de acordo com o efeito produzido (NICOLAIDIS, 2011):

- *Single-Bit Upset* (SBU): a colisão de uma partícula causa uma mudança de estado em uma célula de memória;

- *Multiple-Cel Upset* (MCU): a colisão de uma partícula causa uma mudança de estado em duas ou mais células de memória;

- *Multiple-Bit Upset* (MBU): a colisão de uma partícula causa duas ou mais mudanças de bits em uma mesma palavra de memória.

- *Single-Event Transient* (SET): a colisão de uma partícula causa uma falha temporária de tensão que quando propagada pelo circuito pode proporcionar uma mudança de estado em uma célula de memória.

- *Single-Event Functional Interrupt* (SEFI): a colisão causa perda de funcionalidade devido às perturbações em registradores de controle, sinais de *clock*, sinais de reset, etc.

- *Single-Event Latchup* (SEL): o evento pode causar uma corrente anormal pelo desencadeamento de um duplo circuito bipolar parasita. Às vezes pode causar danos irreversíveis, se caracterizando como um *Hard Error*.

Três são as principais fontes de *Soft Errors* em dispositivos semicondutores (WANG & AGRAWAL, 2008):

- 1) Primeira fonte: Partículas Alpha, emitidas quando o núcleo de um isótopo instável decai para um estado de energia inferior;

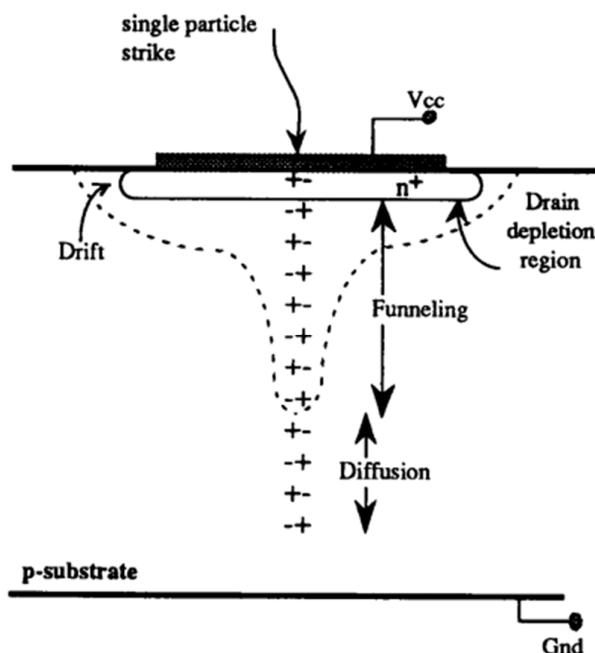
- 2) Segunda fonte: nêutrons com alta energia ($> 1\text{MeV}$) a partir da radiação cósmica podem causar *Soft Errors* através de íons secundários produzidos pela reação do nêutron com o núcleo do silício.

- 3) A terceira e última significativa fonte de *Soft Errors* em dispositivos semicondutores é a radiação secundária induzida a partir da interação entre o raio cósmico e o isótopo instável de boro (10), comumente presente em dopagem de junções tipo p. Nesta reação quando a energia do Boro 10 decai, é emitido o núcleo de lítio e uma partícula.

Dentre os *Soft Errors* mais comuns, neste trabalho se investiga os efeitos de *Single Event Transients* (SET) no conversor AD apresentado na seção 2.3. A geração de carga ocasionada pela passagem de uma partícula (próton ou íon pesado) por um nó sensível de um circuito pode ocasionar um *Single Event Transient*. Este evento se difere dos demais *Soft Errors*, pois possui características únicas, tais como: tempo de duração, amplitude, forma de onda e polaridade. Estas características resultam de alguns fatores como, por exemplo, da localização do impacto da partícula, da energia da partícula, da tecnologia do dispositivo e da tensão de alimentação do mesmo (WANG & AGRAWAL, 2008).

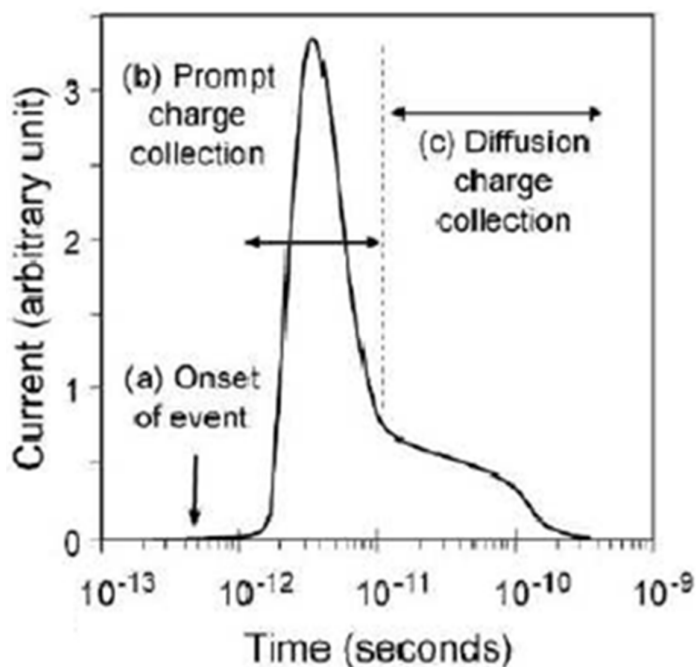
No momento em que uma partícula ionizante incide no semiconductor são produzidos pares elétrons-lacunas resultantes da transferência de energia decorrente do choque deste elemento com o silício. O campo elétrico existente na junção P-N do semiconductor permite que as cargas produzidas pela penetração desta partícula no semiconductor sejam coletadas através de três etapas: etapa de deriva, etapa de afunilamento e etapa de difusão (VARGAS, 1994). Estas são exemplificadas na Figura 11, na qual uma única partícula se choca com o semiconductor e dessa interação surge o rastro de pares elétrons-lacunas representado pelos sinais +/- . As etapas de deriva “*Drift*”, de afunilamento “*Funneling*” e de difusão “*Diffusion*” ocorrem nas respectivas regiões do semiconductor delimitadas pelas flechas na figura.

Figura 11 - Junção PN atingida por partícula ionizada e seu rastro de ionização por deriva e difusão de carga.



O processo de deriva ocorre dentro da camada de depleção, região que possui um campo elétrico de alta intensidade e que por isso coleta rapidamente os portadores gerados. A região de depleção, inicialmente em repouso, deforma-se em aspecto afunilado devido à passagem da partícula ionizada. Durante este processo, os portadores presentes dentro da região de afunilamento também são coletados rapidamente. Diferentemente das etapas anteriores para os portadores localizados fora da região de depleção e de afunilamento o tempo de coleta destas cargas é mais lento e o processo ocorre via difusão (VARGAS, 1994). Decorrente deste processo, um pulso de corrente circula na região de depleção da junção P-N reversamente polarizada, conforme segue na Figura 12.

Figura 12 - Pulso de corrente transiente gerado por um SEE.



Fonte: WANG & AGRAWAL, 2008.

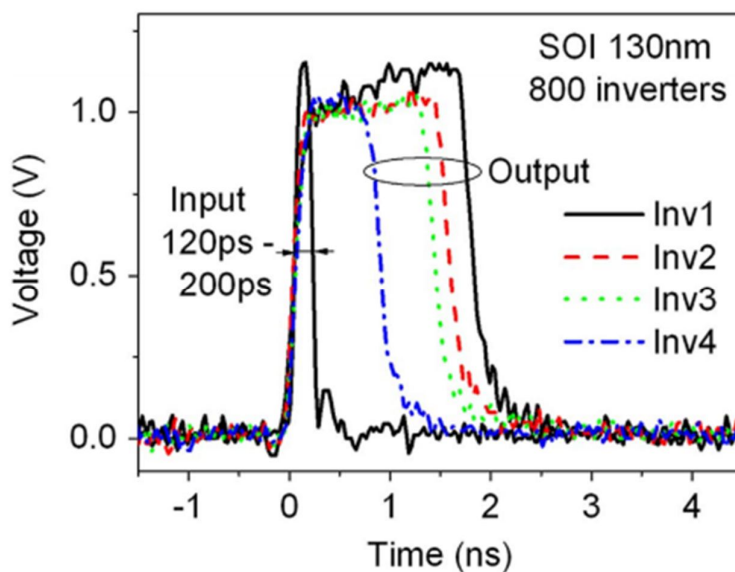
Na Figura destaca-se o tempo (a) quando se inicia o *Single Event Effect* (SEE), o intervalo de tempo (b) quando a coleta de carga ocorre por deriva, bem como o intervalo de tempo (c) durante o qual a coleta de carga se dá por difusão.

Um SET, por si só, da maneira que foi apresentada não gera diretamente inversões de bits no circuito atingido. Tanto um SEU como um SET são gerados por pulsos de corrente originárias do impacto de partículas ionizantes no semiconductor e, portanto, a origem de tais

eventos em nível elétrico se dá no domínio analógico. O que diferencia estes eventos singulares são os efeitos resultantes da ocorrência dos mesmos. O SEU atua no domínio digital (inversão de estado de um elemento de memória), já o SET causa um pulso de corrente em um ponto do circuito que pode ser propagado para outros nós e assim é responsável por mudanças de tensão e de corrente (BALEN, 2010).

Dessa forma, um SET pode ter sua forma alterada à medida que é propagado pelo circuito, e nesse processo, tanto a sua largura e até mesmo a sua amplitude podem ser modificadas (FERLET-CRAVOIS, 2007). Este efeito pode ser observado na Figura 13, onde é mostrada a propagação de pulsos transientes com largura de pulso entre 120ps e 200ps que produziram nas saídas de quatro cadeias de 800 inversores pulsos de larguras bastante distintas. O pulso de saída da cadeia de inversores 1 se difere em aproximadamente 1ns do pulso obtido na cadeia inversora 4. O experimento foi realizado para inversores na tecnologia SOI de 130nm.

Figura 13 - Resposta ao impulso transiente de uma cadeia de inversores SOI 130nm.

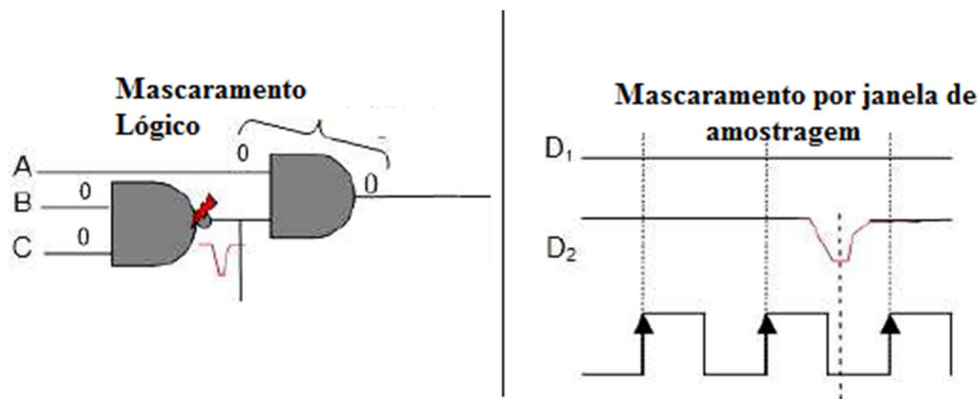


Fonte: FERLET-CRAVOIS, 2007.

Além da alteração da largura de pulso e da intensidade, existem outros fenômenos que também podem degradar ou eliminar um SET quando o mesmo é propagado pelo circuito, entre eles destaca-se: o mascaramento lógico e o mascaramento por janela de amostragem. O mascaramento lógico se dá quando o pulso transiente não é propagado por um caminho do

circuito onde a lógica combinacional é comprometida. Na Figura 14 esta situação é apresentada para uma porta AND que possui em uma de suas entradas nível lógico baixo e, dessa forma, o resultado da operação independe da outra entrada, onde ocorreu o SET. Já o mascaramento por janela de amostragem ocorre quando o pulso transiente é observado fora da janela de tempo de captura do sinal. Assim, para pulsos mais curtos a probabilidade de captura e de propagação é menor (ENTRENA et al., 2009). A Figura 14 exemplifica tanto a situação de um mascaramento lógico como a de um mascaramento por janela de amostragem.

Figura 14 - Mascaramento lógico e por janela de amostragem na propagação de um *Single Event Transient*.



Fonte: ENTRENA et al., 2009

Conforme apresentado na Figura 12, o pulso de corrente transiente induzido pelo choque da partícula ionizante na superfície semicondutora se apresenta com um rápido tempo de subida, devido ao processo de deriva e de afunilamento, seguido de um decaimento relativamente mais lento, resultante do processo de difusão. O modelo proposto por (MESSENGER, 1982), representa analiticamente por uma função de dupla exponencial o pulso de corrente através da Equação 3:

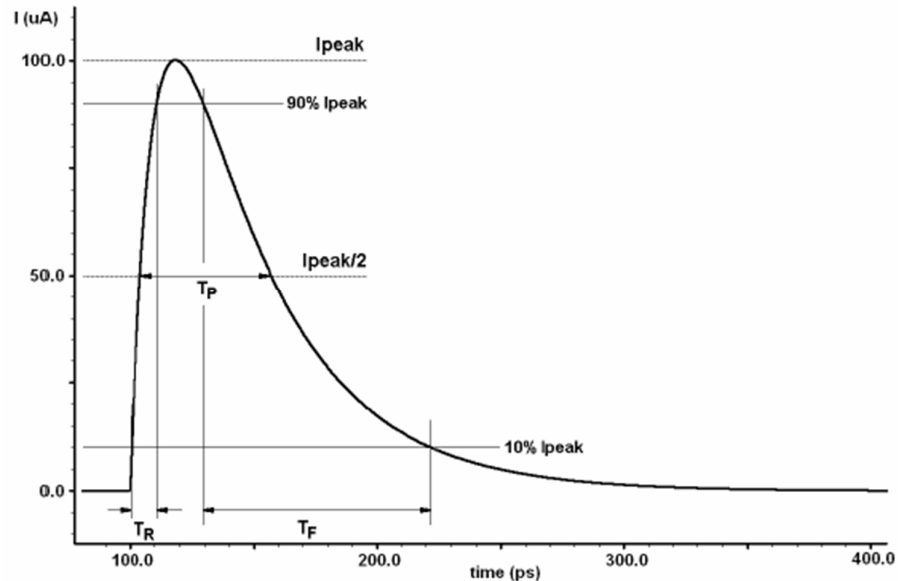
$$I_{set}(t) = I_{SET} * \left(e^{-\left(\frac{t}{\tau F}\right)} - e^{-\left(\frac{t}{\tau R}\right)} \right) \quad (3)$$

onde $I_{set}(t)$ é o pulso de corrente transiente em função do tempo, τR é a constante de tempo para estabelecimento do rastro de ionização, τF é a constante de tempo para a coleta de cargas pela junção P-N e I_0 corresponde ao pico da corrente transiente representada.

A Equação 5 é melhor compreendida se observada a Figura 15, onde ficam explicitados graficamente todos os termos abordados. Além disso, definem-se τR e τF respectivamente como os tempos de subida e de descida entre os instantes correspondentes a

10% e 90% do valor de pico da corrente I_0 . A largura de pulso T_P é definida pelo intervalo de tempo entre os instantes nos quais se têm $I_{set} = \frac{I_{peak}}{2}$.

Figura 15 - Pulso de corrente transiente a partir da expressão analítica proposta.



Fonte: SIMIONOVSKI, 2012.

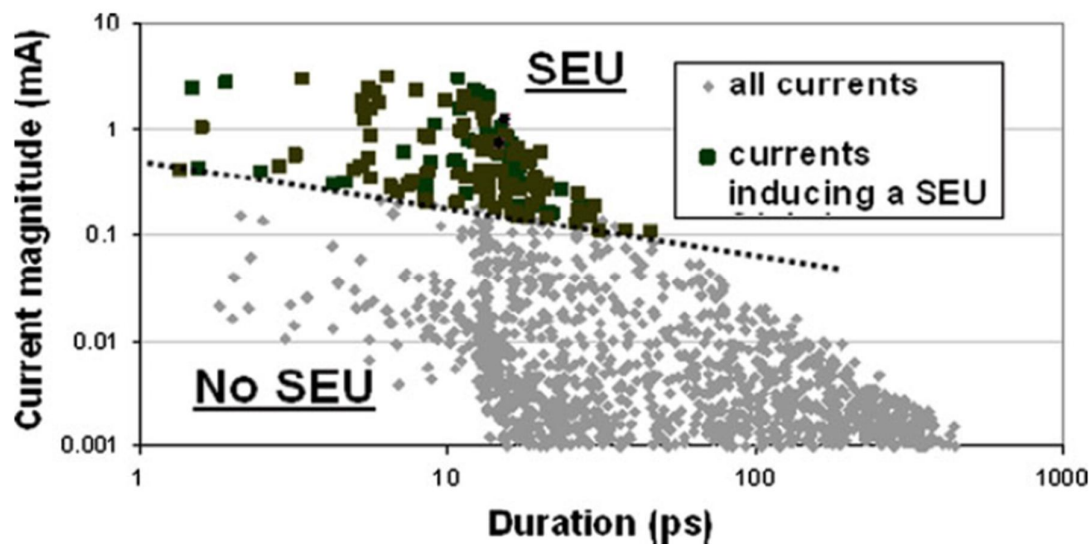
Para a simulação SPICE todos os termos abordados devem ser inseridos na descrição do transiente. Para a tecnologia de 130nm foi encontrado em literatura, como pior cenário, uma amplitude de corrente de 2mA (FERLET-CAVROIS et al., 2006). Nesta mesma literatura se observa uma largura de pulso na ordem de 100ps. Em acordo com isto, encontra-se também na literatura experimentos para esta mesma tecnologia onde são observados $\tau_R = 5_{ps}$ e $\tau_F = 100_{ps}$ (HUTSON et al., 2006). Sabendo-se que a carga corresponde à integral da corrente gerada no processo de coleta, e substituindo estes fatores se obtém a Equação 4 da carga coletada Q_{col} .

$$Q_{col} = \int I_{set}(t)dt = \int I_0 * \left(e^{-\left(\frac{t}{\tau_F}\right)} - e^{-\left(\frac{t}{\tau_R}\right)} \right) dt \quad (4)$$

Além disso, em estudo descrito por (NICOLAIDIS, 2011) a amplitude do pulso transiente é apresentada em função do tempo de duração do mesmo, na Figura 16 é possível

observar o resultado deste experimento. Nota-se que os pulsos mais curtos são os que possuem uma maior amplitude de corrente. Destaca-se também acima da linha pontilhada as situações em que um SEU foi induzido. Os resultados do experimento foram obtidos para as zonas sensíveis de um transistor NMOS de tecnologia 130nm sob emissão de nêutrons de 100-Mev.

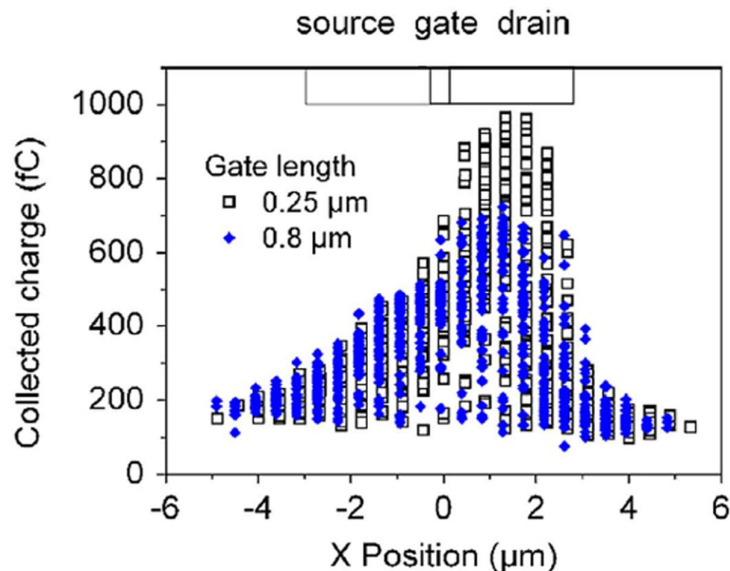
Figura 16 - Magnitude de corrente em função da duração do pulso em tecnologia MOS 130nm.



Fonte: NICOLAIDIS, 2011.

Conforme apresentado, a característica e os efeitos causados pelo pulso transiente dependem da localização do impacto da partícula energizada no silício e, conceitualmente, quando a carga injetada pelo pulso de corrente em um nó sensível excede a carga crítica (Q_{crit}) um SET é gerado na junção afetada (WANG & AGRAWAL, 2008). Foi apresentado por Ferlet-Cravois et al. (2006) um estudo para avaliar qual das regiões dos transistores é a mais sensível ao impacto de uma partícula energizada. A Figura 17 traduz graficamente que quando o SEE se dá em regiões próximas ao dreno do transistor a carga coletada é mais intensa. O experimento foi realizado para a tecnologia de transistores MOS de $0,25\mu\text{m}$. Na mesma literatura é discutido também que a corrente de dreno é mais intensa que a corrente de fonte na ocorrência de um SEE, devido diretamente a intensidade de carga coletada.

Figura 17 - Carga coletada em transistor MOS 0,25 μm em função do local de ocorrência do SEE.



Fonte: FERLET-CRAVOIS, 2006.

2.5 Modelagem do Conversor

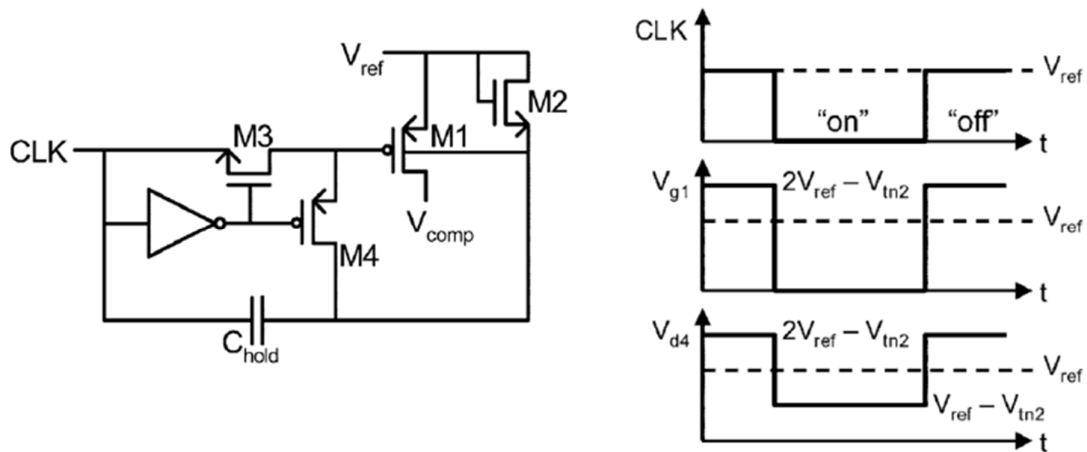
A modelagem do conversor AD utilizada neste estudo foi previamente desenvolvida por (LANOT, 2014) e partiu do circuito apresentado na Figura 6, com 8 bits de resolução. Nesta configuração, para os transistores foi utilizado um modelo preditivo compatível com o simulador SPICE para a tecnologia de 130nm (*Predictive Technology Model – PTM*) da Arizona State University (ASU) (ARIZONA STATE UNIVERSITY, 2012).

Retomando o circuito apresentado na Figura 6, a tensão de referência V_{REF} foi definida igual à tensão de alimentação, $V_{REF}=V_{DD}=1.2\text{V}$. Dessa característica resulta um inconveniente para a chave de inicialização que conecta a tensão V_{REF} à entrada do comparador (nominada na Figura 6 de *SW_Reference*). Durante a etapa de conversão e de redistribuição de carga, para o pior caso em que $V_{IN}=0$, tem-se o nó V_{COMP} igual a $1,5V_{REF}$ e, neste momento, a chave *SW_Reference* deve permanecer definitivamente fechada. Por isso, uma simples chave PMOS não será efetiva, uma vez que a tensão de limiar deste transistor, V_{tp} , é próxima ou inferior a $0,5V_{REF}$.

Para resolver este problema, foi proposto em literatura (SCOTT et al.,2003) a implementação de uma chave do tipo *charge pump* que é responsável pelo reforço da tensão elétrica do *gate* e do corpo do transistor M1 à $1,5V_{REF}$. Dessa maneira se garante que a chave permanecerá em estado *off* quando o dreno deste transistor alcançar este patamar de tensão.

Para obter este limiar de tensão foi determinado experimentalmente que o valor da capacitância C_{HOLD} deve ser igual a 13,5fF. Quando o CLK é nível baixo, a chave é acionada e V_{REF} é ligado a V_{COMP} via M1. Para tal efeito o sinal de amostragem negado (sampler) foi utilizado neste experimento como CLK, pois tal sinal é iniciado em nível baixo e durante a etapa de redistribuição de carga é posto em nível lógico alto. A topologia e as formas de onda do circuito *charge pump* são apresentadas na Figura 18.

Figura 18 - Topologia e formas de onda do circuito para chave do tipo *charge pump*.

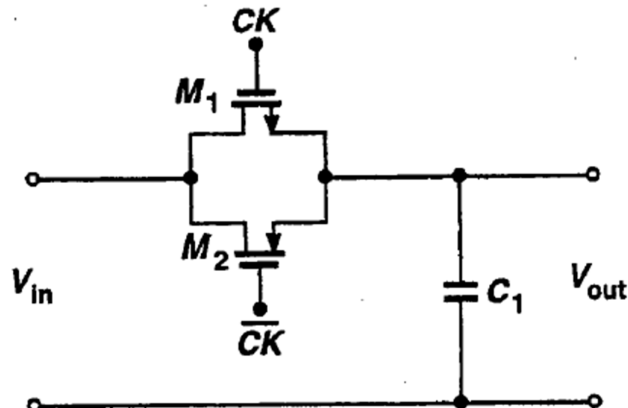


Fonte: SCOTT et al. 2003.

Para as demais chaves apresentadas no circuito da Figura 6, as topologias escolhidas partem da excursão do sinal aplicado às mesmas. Para aquelas conectadas em GND foram utilizadas chaves do tipo NMOS e para as demais foram utilizadas chaves de topologia *transmission gates* (porta de transmissão).

Uma simples chave NMOS apresenta uma faixa máxima de condução até $V_{\text{DD}} - V_{\text{TH}}$, mas na prática a entrada dificilmente é transmitida acima de $(V_{\text{DD}} - V_{\text{TH}})/2$, devido ao crescimento substancial da resistência da chave. Para estender a faixa de amostragem é necessário o uso da topologia *transmission gate* em que dois transistores são ligados em paralelo, um NMOS e outro PMOS, conforme a Figura 19. O sinal complementar de controle das chaves, representados em tal figura pelo sinal CK, é obtido através de uma porta inversora que possibilita que ambos os transistores estejam ora um ligado e o outro desligado simultaneamente (RAZAVI, 1995). Neste circuito o transistor NMOS conduz para $0 \leq V_{\text{in}} \leq V_{\text{DD}} - V_{\text{THN}}$ enquanto que o dispositivo PMOS conduz para $|V_{\text{THP}}| < V_{\text{in}} \leq V_{\text{DD}}$.

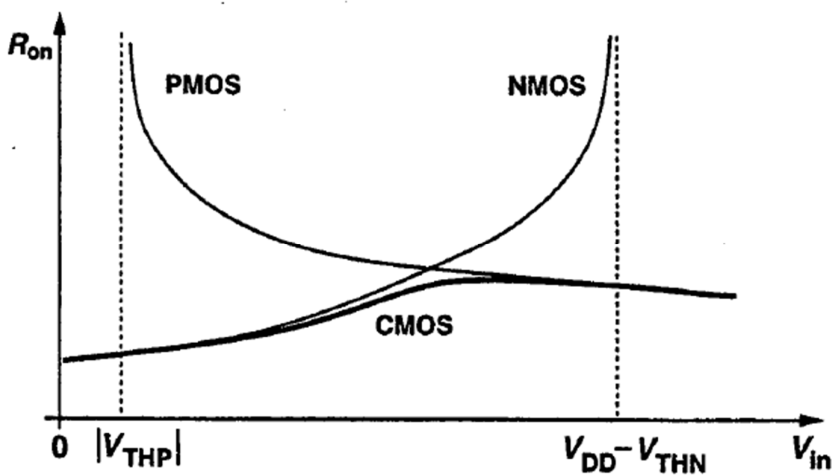
Figura 19 - Chave de amostragem com transistores em topologia *transmission gate*.



Fonte: RAZAVI, 1995.

Apesar de que as chaves MOSFET podem ser utilizadas tanto para tensões negativas como para positivas, é necessário observar também que o circuito da Figura 19 possibilita que as resistências equivalentes das mesmas não variem tanto com o sinal de entrada, quando comparado com simples chaves NMOS e PMOS. A Figura 20 apresenta as resistências de uma simples chave NMOS e de uma simples chave PMOS em função da tensão de entrada e, quando combinadas reproduzem a resistência equivalente de uma *transmission gate* CMOS. Esta topologia possibilita reduzir, ao mesmo tempo, o tamanho das chaves e a influência da distorção harmônica causada pela variação de resistência das mesmas (RAZAVI, 1995).

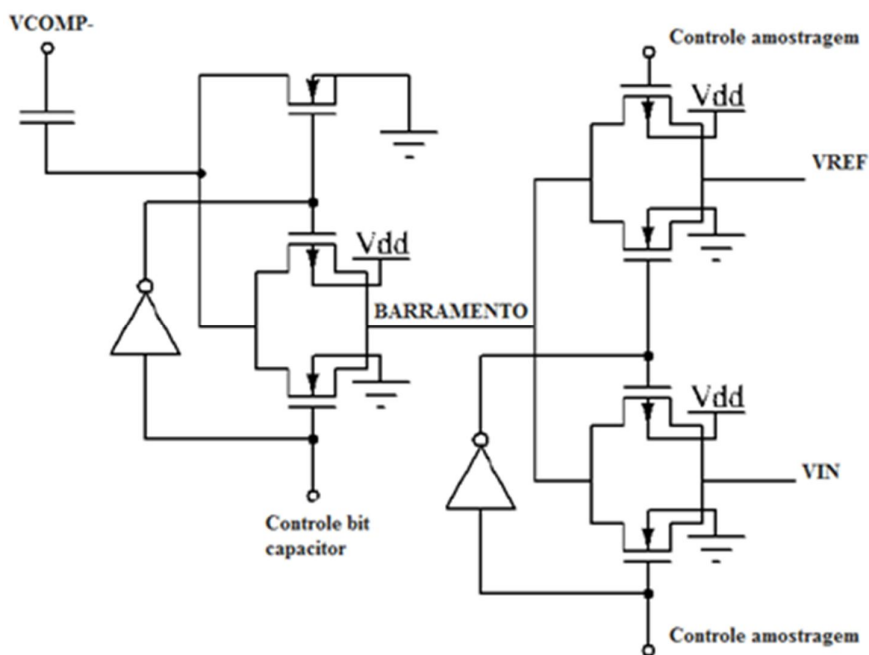
Figura 20 - Resistência combinada em estado *on* para a chave CMOS *transmission gate*.



Fonte: RAZAVI, 1995

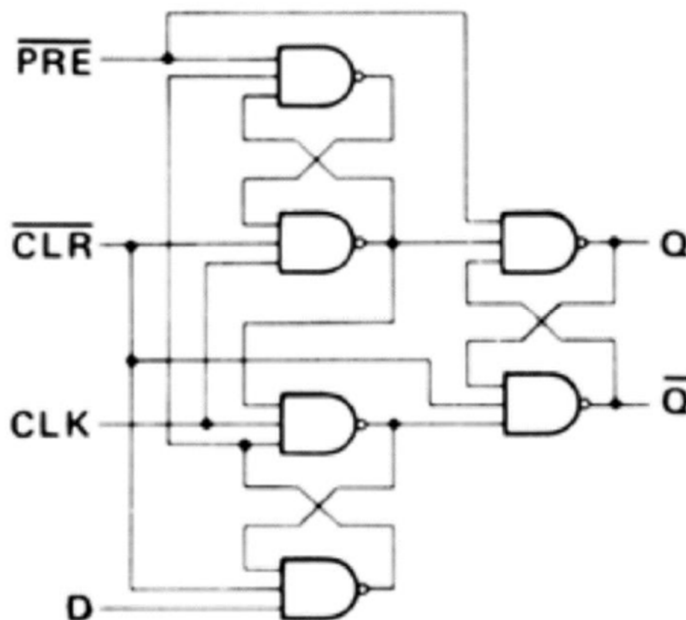
As chaves funcionam bem, sem adicionar erros de linearidade superiores à 1LSB. Assim, os transistores NMOS foram dimensionados por (LANOT, 2014) com uma razão de aspecto de 4/1, ou seja, $W/L = 520\text{nm}/130\text{nm}$. Já os transistores PMOS foram dimensionados com largura de canal W duas vezes maior em relação ao NMOS, ou seja, $W/L = 1040\text{nm}/130\text{nm}$ e razão de aspecto de 8/1. Dessa forma, uma parte do circuito proposto na Figura 6 é detalhado na Figura 21. A chave SW_SHARED responsável por conectar V_{IN} e V_{REF} ao circuito é representada por duas *transmission gates* ligadas ao barramento. As saídas do circuito de controle são ligadas nas chaves conectadas aos respectivos capacitores e, assim, durante a etapa de redistribuição de carga definem se os mesmos devem ser ligados em V_{REF} ou em GND.

Figura 21 - Circuito equivalente das chaves de controle da matriz capacitiva e do circuito de amostragem.



Além da modelagem das chaves outras etapas do conversor também devem ser abordadas. A etapa de controle segue a topologia apresentada por (ANDERSON, 1972). Ademais *flip-flops* D do tipo estático foram modelados por (LANOT, 2014) utilizando apenas portas lógicas CMOS. O circuito implementado para os *flip-flops* segue apresentado na Figura 22 e utiliza apenas portas NAND de três entradas.

Figura 22 - Topologia para flip-flop tipo D utilizando portas lógicas CMOS.



Fonte: LANOT, 2014.

Após isso, foi definido por (LANOT, 2014) a capacitância unitária 12fF para a matriz capacitiva. Esse valor foi definido por ser o menor valor utilizado em (SCOTT et al., 2003). O comparador foi modelado como um componente ideal descrito em SPICE como uma fonte de tensão controlada por tensão. Isso foi feito para diminuir os erros de linearidade da conversão introduzidos pelo comparador, já que não está se estudando SET effects no comparador neste trabalho, além de que, assim, se reduz o tempo de simulação. Por fim, a frequência de relógio utilizada foi de 100khz, tendo o sinal de amostragem uma frequência de 10khz.

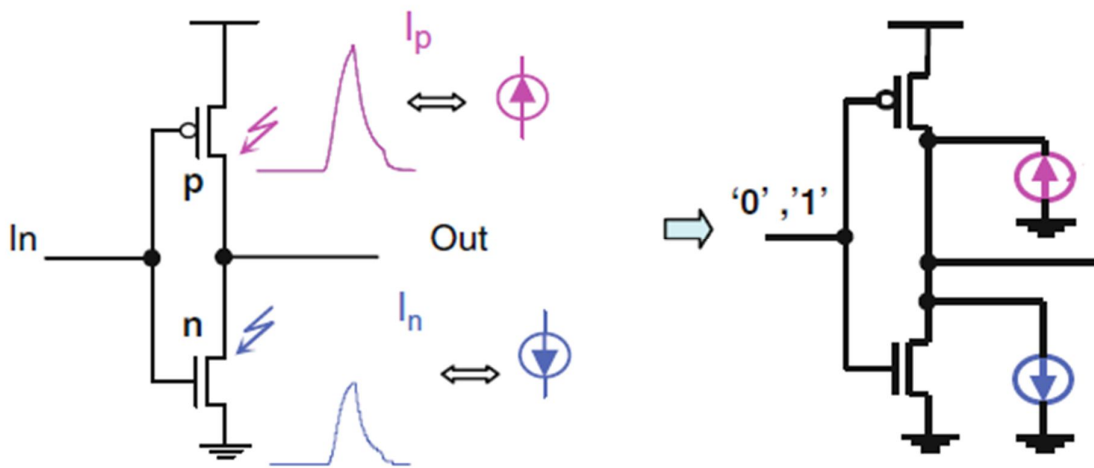
3. METODOLOGIA

A metodologia adotada neste trabalho é composta de duas etapas fundamentais: a definição de uma metodologia de injeção de falhas transientes, através do simulador SPICE, e a identificação dos potenciais nós sensíveis aos SETs, no circuito do conversor AD apresentado, para que tais falhas sejam aplicadas nestes pontos do circuito. Essas etapas são aprofundadas, respectivamente, nas seções 3.1 e 3.2.

3.1 Metodologia de injeção de falhas

Em literatura (NICOLAIDS, 2011), o mecanismo de simulação de falhas transientes é apresentado para uma porta inversora. Um inversor CMOS, nesta configuração, é composto apenas de dois transistores, um NMOS e outro PMOS. As zonas sensíveis à radiação correspondem ao dreno de ambos os transistores na condição de polarização reversa, conforme apresentado na Figura 18. Dessa forma, quando a entrada da porta inversora In é colocada em nível baixo a falha deve ser aplicada no transistor NMOS, pois a junção p-n do dreno do mesmo estará em condição de polarização reversa. Por outro lado, quando a entrada In é posta em nível alto o pulso transiente deve ser aplicado no transistor PMOS, pois nesta situação a junção deste estará reversamente polarizada.

Figura 23 - Exemplo de inserção de falhas transientes em um inversor MOS.



Fonte: NICOLAIDIS, 2011.

No caso de um transistor NMOS a corrente é injetada no dreno, o que causa um pulso de forma (1-0-1) na saída do inversor. No caso PMOS, a corrente é retirada na forma (0-1-0) na saída do inversor.

Os pulsos serão aplicados através do simulador SPICE, conforme o modelo de dupla exponencial proposto por (MESSENGER, 1982) e amplamente analisado na seção 2.4. Inicialmente os parâmetros de pulsos seguiram o pior caso de amplitude obtido em literatura para a tecnologia de 130nm: $\tau_R = 5_{ps}$, $\tau_F = 100_{ps}$ e $I_0 = 2mA$. Ao substituir estes dados na Equação 4 se obtém uma carga coletada, $Q_{col} = 190fC$. Adota-se em primeira análise o pulso com estes parâmetros e à medida que os resultados forem obtidos pode-se alterar a largura e a amplitude de pulso de maneira que a carga seja conservada, uma vez que a forma é dependente de diversos fatores como, por exemplo: o ângulo de incidência da partícula, a energia da partícula e a tecnologia utilizada (WIRTH, 2008).

Para a modelagem de um SET no simulador HSPICE foi adotado o modelo de dupla exponencial definida neste programa pela função *exp* conforme segue:

$$Iset_{NMOS} \text{ node } 0 \text{ exp}(0 \ I_0 \ t1 \ \tau_R \ t1 \ \tau_F)$$

$$Iset_{PMOS} \ 0 \ \text{node} \ \text{exp}(0 \ I_0 \ t1 \ \tau_R \ t1 \ \tau_F)$$

Quando o interesse for aplicar um SET no dreno em um transistor NMOS, com a junção de dreno reversamente polarizada, a linha de código $Iset_{NMOS}$ deve ser utilizada. Já quando o interesse for aplicá-lo em um transistor PMOS, com a junção de dreno reversamente polarizada, utiliza-se a linha de código $Iset_{PMOS}$, no qual *node* é o nó correspondente ao dreno do transistor de interesse, I_0 é o pico de corrente, $t1$ é o tempo de início de tal pulso e τ_R e τ_F são os parâmetros de subida e descida já citados.

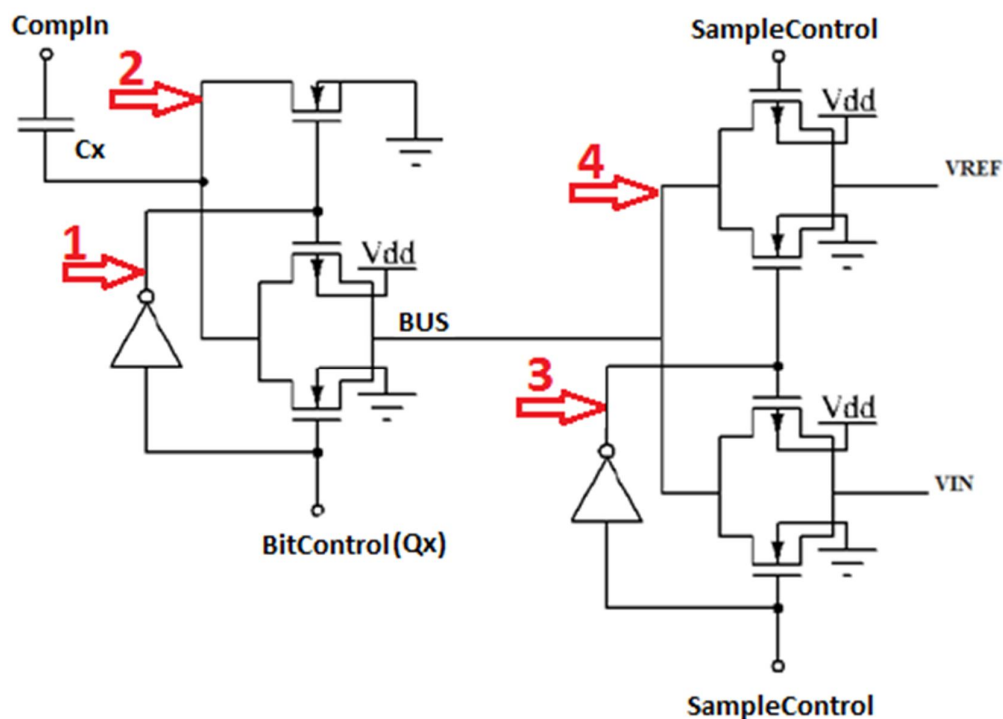
As formas de onda de cada nó de interesse podem ser recuperadas pelo software CosmosScope da Synopsys que suporta o simulador HSPICE.

3.2 Identificação dos nós sensíveis

A identificação dos nós sensíveis aos SETs do conversor SAR descrito na seção 2.5 é etapa fundamental para a análise deste trabalho. Este processo busca basicamente determinar, nos circuitos das Figuras 18 e 21, quais os nós passíveis de serem afetados por falhas transientes e durante qual etapa de conversão os erros podem ocorrer. A partir desta análise é possível determinar em quais momentos os transientes devem ser aplicados e qual a forma de cada um destes pulsos, uma vez que isso irá depender do tipo do transistor avaliado, PMOS ou NMOS.

Do circuito apresentado na Figura 21 se podem retirar quatro possíveis nós sensíveis aos *Single Event Transients* (SETs), destacados na Figura 24. Os pontos selecionados são potencialmente sensíveis às falhas transientes, pois correspondem aos drenos de transistores que durante a etapa de amostragem e/ou redistribuição de carga são colocados em situação de polarização reversa. Para tanto, tais nós são numericamente identificados na Figura 24.

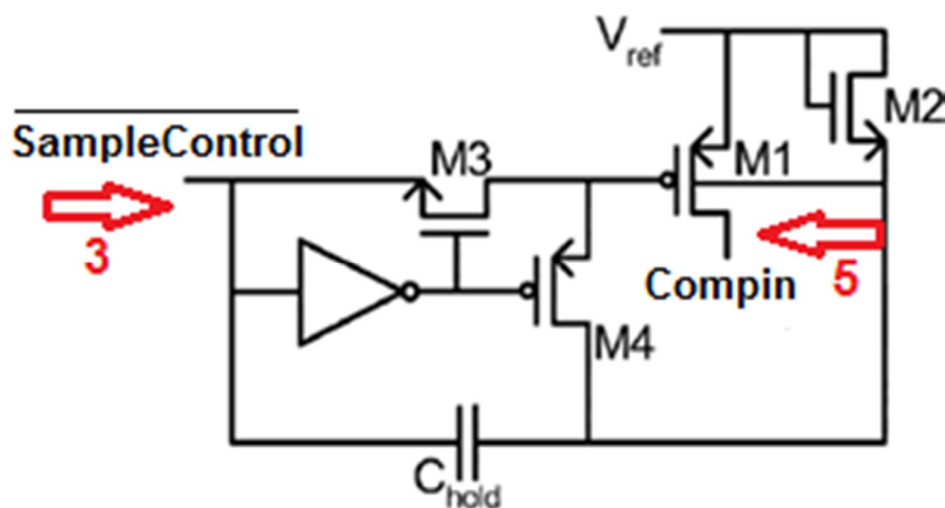
Figura 24 - Pontos de interesse do circuito do conversor SAR para injeção de falhas transientes e avaliação de possíveis nós sensíveis aos mesmos.



Primeiramente é proposto se investigar a saída da porta inversora do sinal de controle das chaves ligadas aos capacitores do conversor (a imagem exemplifica o esquemático para uma das chaves de um único capacitor C_x que deve ser expandida, da mesma forma, para os demais), depois a análise continua pelo nó que conecta os capacitores da matriz capacitiva nas chaves que ligam esse ponto do circuito ora ao barramento (bus) ora à GND, em terceiro busca-se examinar o comportamento da saída da porta inversora do sinal de controle de amostragem que está conectado no circuito nas chaves ligadas ao sinal de referência, V_{REF} , e ao sinal de entrada, V_{IN} , e, por fim, consideram-se os efeitos dos *Single Event Transients* no nó de barramento (bus).

Do circuito modelado em (LANOT, 2014) observam-se outros dois pontos que devem ser investigados. O nó que corresponde ao sinal invertido do controle de amostragem que também é aplicado na topologia *charge pump*, abordada na seção 2.5. E por fim, o sinal na entrada do comparador que está conectado ao dreno do transistor PMOS (M1), conforme Figura 25. Os demais nós de tal circuito foram modelados pelo subcircuito *CHARGE PUMP*, conforme anexo A. Caso se verifiquem erros de conversão para transientes aplicados nos nós 3 e 5 há o indício de que os demais nós críticos deste circuito também estão sujeitos às falhas.

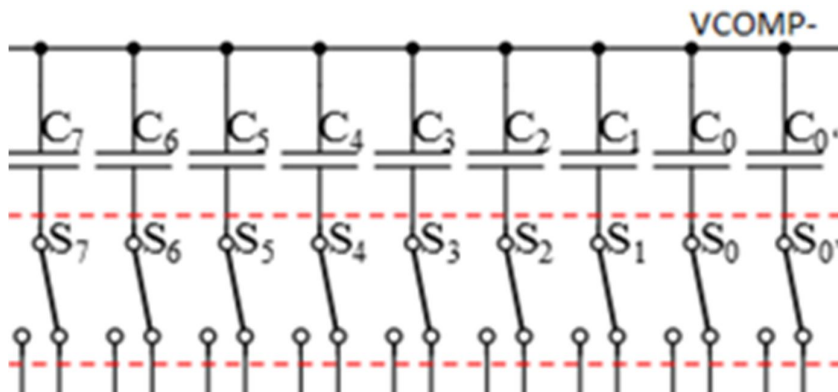
Figura 25 - Pontos de interesse do circuito para injeção de falhas transientes do circuito da chave *charge pump*.



Foram identificados, portanto, cinco nós a serem investigados e, para cada um deles, será avaliado individualmente o instante de aplicação do SET e qual a forma do pulso transiente que deve ser adotada.

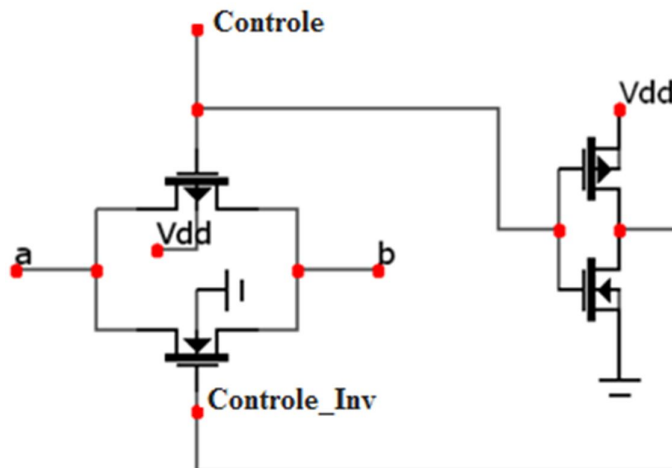
1) Para definir a metodologia de injeção de falhas do **nó 1** da Figura 24 é importante levar em conta a literatura (BALEN et al., 2011), onde são avaliados os efeitos de SETs em *Programmable Capacitor Arrays* (PCA). Os PCAs são constituídos por um conjunto de ramos de capacitores ponderados conectados em paralelo, de maneira similar ao banco de capacitores que compõe o conversor SAR apresentado neste documento. No caso da matriz capacitiva da Figura 6, é possível programar a capacitância do PCA com valores que partem de uma capacitância padrão e unitária C_{unit} e atingem até $256C_{unit}$. É destacada na Figura 26 esta matriz capacitiva onde o capacitor C_0 corresponde à capacitância $C_{unit}=12fF$ e o capacitor C_7 corresponde à capacitância mais significativa do conjunto $128C_{unit}=1526fF$.

Figura 26 - Matriz capacitiva ponderada com 8 capacitores em paralelo utilizada no conversor estudado.



Nesta configuração, os capacitores são conectados através de *transmissions gates*. Tanto em Balen et al., (2011) como neste estudo a estrutura da Figura 27 foi adotada, pois utiliza de uma menor área de silício do circuito integrado. A chave, portanto é composta por quatro terminais, sendo “a” e “b” os terminais de entrada e saída e, em razão da simetria dos transistores CMOS qualquer um destes pode ser adotado como a entrada ou como a saída. Os outros dois terminais correspondem aos sinais de controle da chave (Controle e Controle_Inv), para que esta conduza na condição de Controle em nível alto e Controle_Inv em nível baixo. Para tanto, uma porta inversora CMOS é utilizada conforme Figura 27.

Figura 27 - Chave de controle da matriz capacitiva incluindo porta CMOS inversora para lógica de controle.



Fonte: BALEN, 2010.

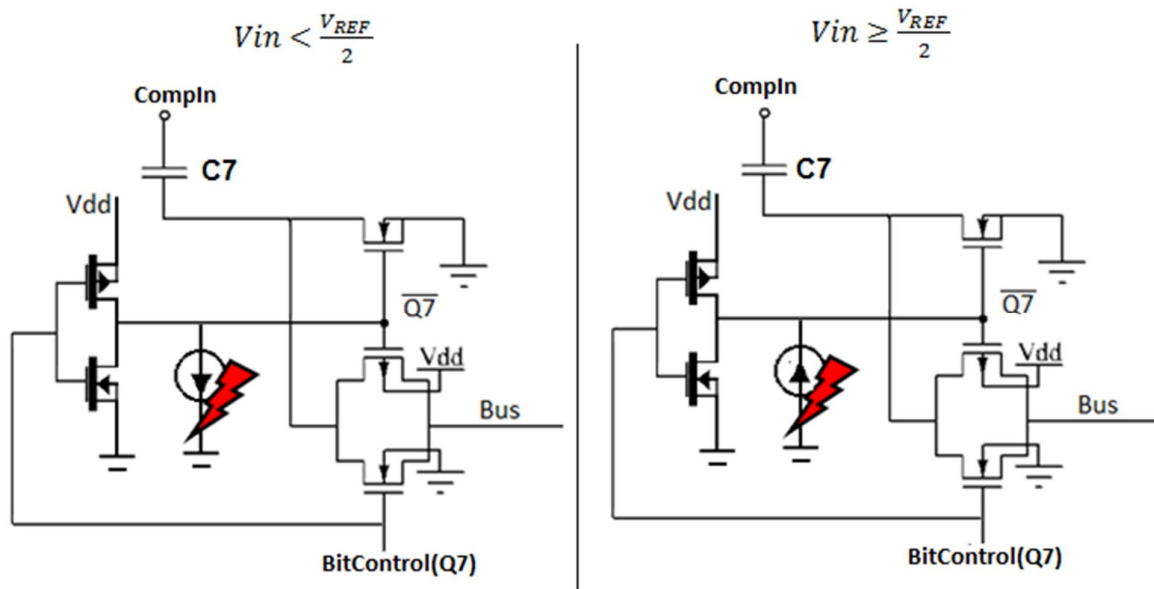
As falhas transitórias podem fechar temporariamente uma das chaves da matriz capacitiva normalmente aberta. Para o transistor NMOS da Figura 27 se nota que na condição de sinal de controle em nível alto, a junção p-n do dreno é polarizada reversamente e, portanto, sensível às falhas transientes. Dessa forma, tais chaves podem ser temporariamente conectadas e, como em Balen et al., (2011), a carga pode ser compartilhada entre o capacitor equivalente normalmente conectado ao barramento e o capacitor conectado devido ao efeito transiente. Após o SET, a tensão armazenada no capacitor equivalente pode ser reduzida.

Para a compreensão do processo de compartilhamento de carga em uma matriz capacitiva classifica-se como *capacitor agressor* aquele cujo sinal de controle é afetado pelo SET. Já o capacitor equivalente conectado ao PCA é classificado como *vítima*, pois após o processo de redistribuição de carga a sua tensão elétrica é subtraída pelo *capacitor agressor* (BALEN et al., 2011). A magnitude de carga compartilhada e induzida por SEE depende da proporção entre a capacitância do *capacitor agressor* e *vítima*, do tamanho da *transmission gate* e do inversor de controle, além da amplitude e da largura do pulso.

Após estas considerações, aplica-se uma fonte de corrente no **nó 1** da Figura 24, saída da porta inversora de controle da chave ligada ao capacitor C7. Esse foi escolhido, pois o capacitor mais significativo possui o maior potencial para atuar como agressor. A fonte de corrente deve seguir o modelo apresentado na Figura 28, onde durante a etapa de conversão

para $V_{in} < \frac{V_{REF}}{2}$ Q7 é posto em nível baixo e, portanto a falha ocorre no transistor NMOS e para $V_{in} \geq \frac{V_{REF}}{2}$, Q7 é posto em nível alto e a falha ocorre no transistor PMOS.

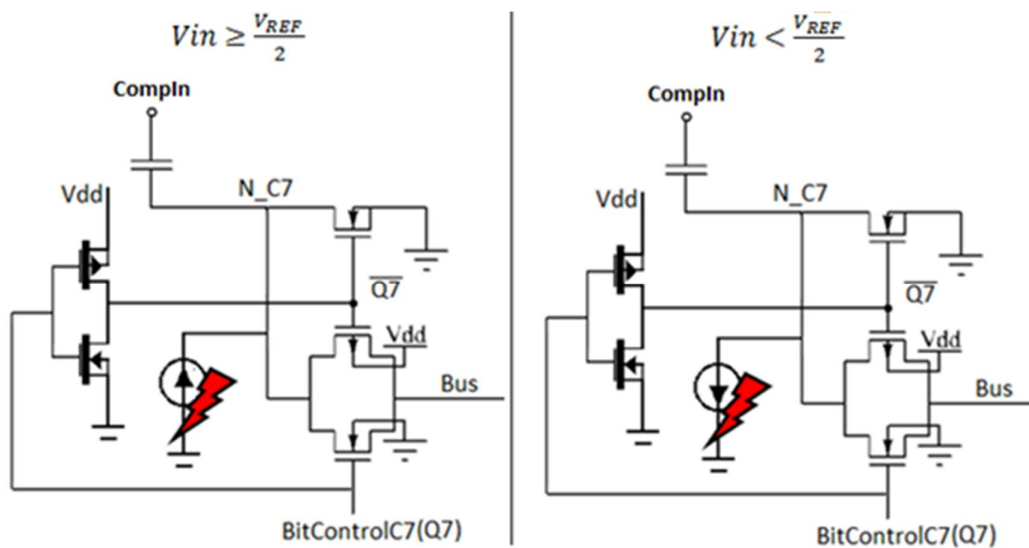
Figura 28 - Modelo para injeção de falhas na saída do inversor de controle da chave ligada ao capacitor C7.



2) Para definir a metodologia de injeção de falhas do **nó 2** novamente é importante avaliar como se comporta o nível de tensão neste ponto do circuito e, de acordo com o sinal de entrada V_{IN} . Para $V_{in} \geq \frac{V_{REF}}{2}$, o sinal de controle Q7 permanece em nível alto durante toda a etapa de redistribuição de carga. Neste caso o transistor NMOS e o seu par PMOS da *transmission gate* ligada ao capacitor C7 conduzem. Logo, a junção p-n do dreno do transistor NMOS que liga o nó N_C7 à GND estará reversamente polarizada e, por isso torna-se uma região sensível aos SETs.

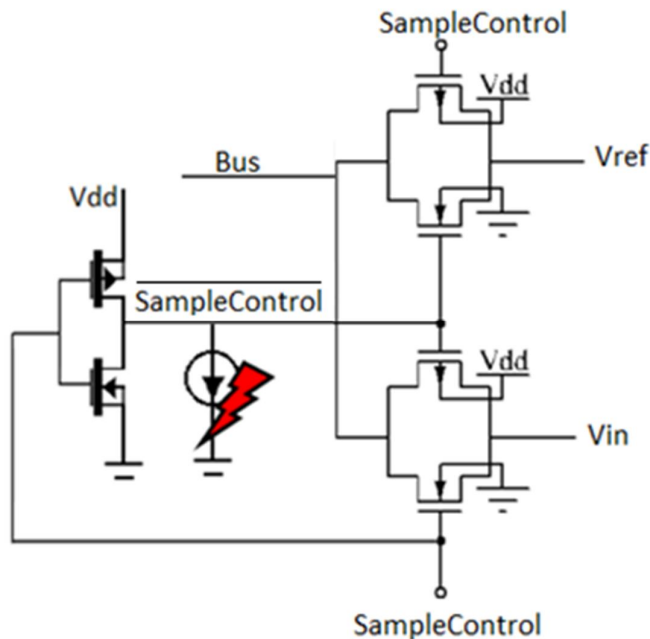
Para $V_{in} < \frac{V_{REF}}{2}$, o sinal de controle Q7 permanece em nível baixo durante toda a etapa de redistribuição de carga. Neste caso a junção p-n dos transistores NMOS e PMOS da *transmission gate* ligada ao capacitor C7 está reversamente polarizada e torna-se sensível aos SETs. Além disso, o transistor NMOS que liga o nó N_C7 à GND estará conduzindo. O modelo da fonte de corrente aplicada a este nó, durante esta etapa, deve seguir a Figura 29.

Figura 29 - Modelo para injeção de falhas nas chaves ligadas ao capacitor C7.



3) Outro possível nó sensível aos eventos transientes corresponde à porta inversora do sinal de controle de amostragem, **nó 3** das Figuras 24 e 25. O modelo da fonte de corrente aplicada neste nó segue a Figura 30.

Figura 30 - Modelo para injeção de falhas na porta inversora do sinal de controle de amostragem.

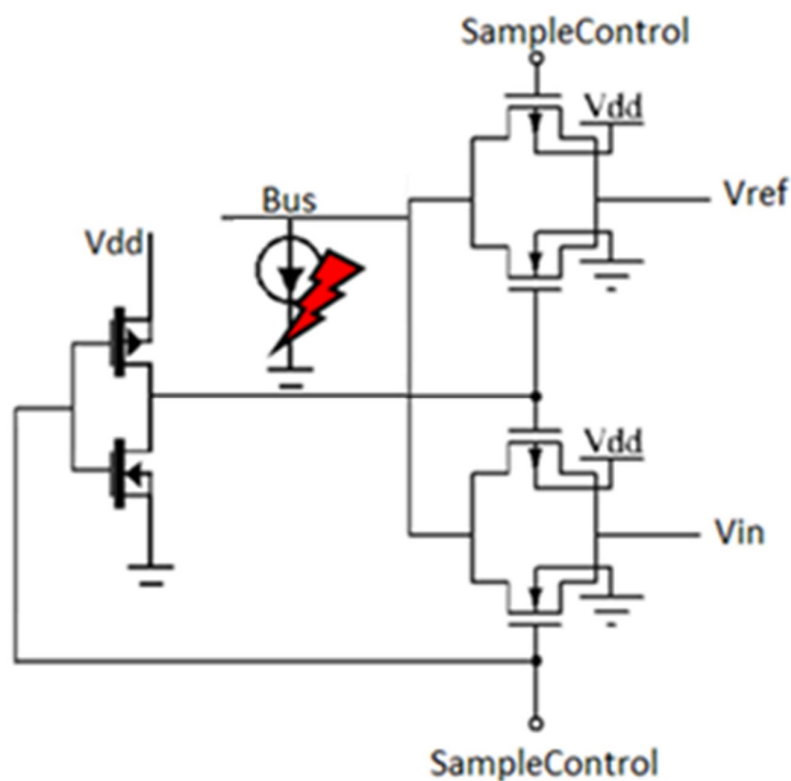


Este modelo foi escolhido, pois para os 10us iniciais de cada ciclo de conversão, etapa *sample and hold*, o sinal de controle de amostragem (SampleControl) é setado em nível alto

levando V_{IN} ao barramento, e durante toda a etapa de redistribuição de carga este mesmo sinal é posto em nível baixo, levando V_{REF} ao barramento (*bus*). Dessa forma, durante a etapa de redistribuição de carga a saída da porta inversora do sinal de controle de amostragem está em nível alto e a junção p-n do dreno do transistor NMOS deste inversor conserva-se reversamente polarizada e sensível aos efeitos transientes durante esta etapa.

4) Para o **nó 4** da Figura 24 que corresponde ao nó de barramento ou *bus*, o modelo da fonte de corrente aplicada deve seguir o esquemático da Figura 31, uma vez que durante toda a etapa de redistribuição de carga a *transmission gate* conectada ao sinal de entrada V_{IN} permanece em estado off. Isso se dá pelo fato de que as junções p-n do dreno dos transistores PMOS e NMOS desta topologia estarão reversamente polarizadas. Como nessa condição o dreno do transistor NMOS desta chave se encontra ligado ao nó de barramento o transiente deverá ser simulado dessa forma.

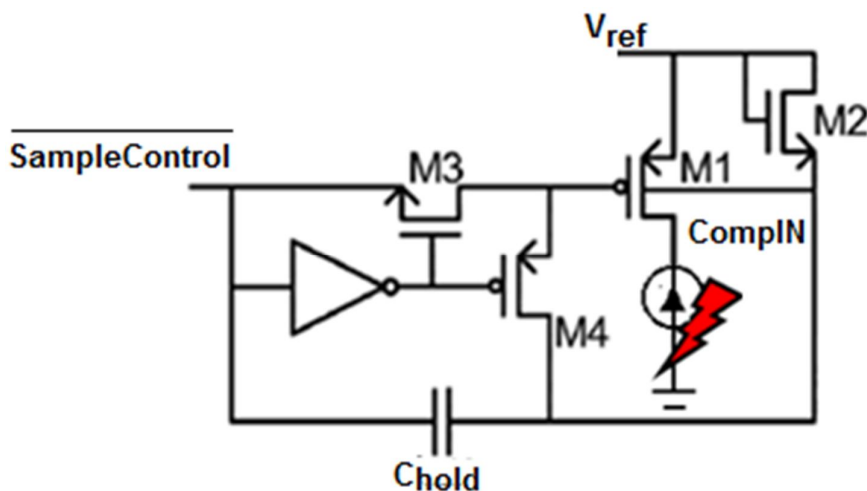
Figura 31 - Modelo para injeção de falhas no barramento.



5) Por fim, avalia-se o **nó 5** da Figura 25 que corresponde ao dreno do transistor M1 e que está ligado na entrada do comparador. Durante a etapa de redistribuição de carga a junção

p-n deste transistor permanece reversamente polarizada. Por se tratar de um transistor PMOS o modelo da fonte de corrente deve seguir o esquemático da Figura 32 e os pulsos devem ser aplicados após os 10us iniciais, reservados para a etapa de amostragem e retenção.

Figura 32 - Modelo para injeção de falhas no nó de entrada do comparador.



Um exemplo de conversão é aprofundado na Figura 32. Foi aplicado na entrada do conversor $V_{IN} = 0.4V$ e o resultado obtido no final da conversão foi 55 hexadecimais. Na Figura 33 é apresentada também a forma de onda do clock do conversor. Tal simulação é destacada para auxiliar na compreensão dos resultados apresentados nesta seção e para justificar os instantes de tempo nos quais os *Single Event Transients* foram aplicados para cada um dos nós abordado nesta seção.

Nota-se que o ciclo de *clock* é de 10us e que no primeiro deles ocorre a etapa de amostragem e retenção (*sample and hold*). Nos oito ciclos que sucedem, os bits de controle (Q7, Q6,...,Q1 e Q0) são respectivamente conectados ao barramento (*bus*), o qual contém V_{REF} . Neste período, em cada borda de *clock* é tomada a decisão se tal bit permanece conectado em V_{REF} ou é comutado para GND. Por exemplo, em 20us a lógica de controle define se o capacitor C7 permanece em V_{REF} ou é levado para GND, e assim sucessivamente. Nos 10us finais o resultado da conversão é guardado nos bits de controle até que o processo seja reiniciado.

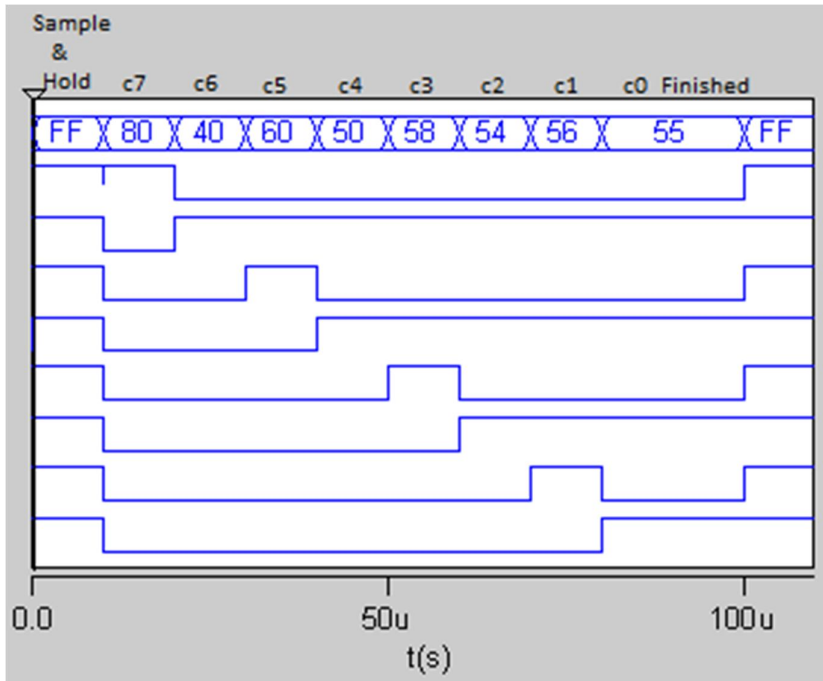
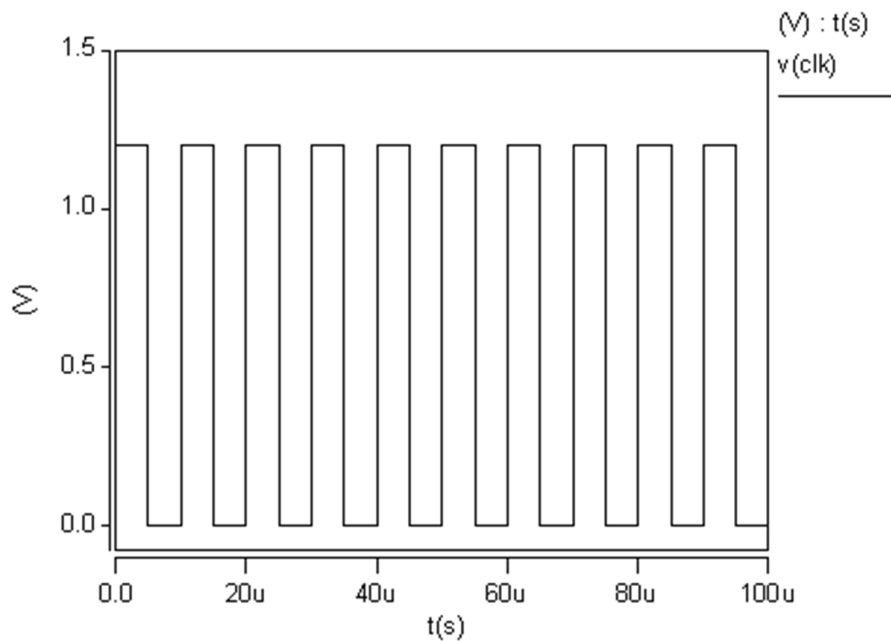
Figura 33 - Exemplo de conversão para $V_{IN} = 0.4V$.

Figura 34 - Forma de onda do clock do conversor.



Observa-se na Figura 33, bem como foi verificada para outras simulações que os níveis de tensão do circuito se mantêm normalmente estáticos e só se alteram nas bordas de *clock*, ou

seja, a cada 10us. Partindo disso, foram definidos oito instantes de tempo para as aplicações dos SETs de maneira que cada um desses pulsos se encontre dentro de cada um dos oito ciclos de *clock* da etapa de redistribuição de carga.

Os tempos de injeção de falhas foram definidos assim: $t_1=116\mu\text{s}$, $t_2=223\mu\text{s}$, $t_3=335\mu\text{s}$, $t_4=445\mu\text{s}$, $t_5=556\mu\text{s}$, $t_6=663\mu\text{s}$, $t_7=775\mu\text{s}$ e $t_8=884\mu\text{s}$. Dessa forma, cada transiente será aplicado dentro de cada um dos oito ciclos de *clock* desta etapa e, nos 100us iniciais nenhum transiente é injetado. A partir disso, o intuito é o de se obter na primeira conversão um resultado sem erros. Para varrer grande parte da faixa de entrada do conversor foram considerados 10 valores de V_{IN} : 0.005V, 0.156V, 0.22V, 0.358V, 0.51V, 0.6V, 0.84V, 0.965V, 1.123V e 1.2V.

O modelo de injeção de falhas discutido na seção 3.1 foi considerado e, a partir da metodologia proposta serão apresentados os resultados para cada um desses pontos críticos. O código utilizado na descrição do conversor AD em HSPICE, bem como o trecho de código para injeção de falhas transientes é descrito no Anexo A.

4. RESULTADOS

4.1 Primeiro nó crítico

A análise se inicia pelo **nó crítico 1**. Para tanto o procedimento descrito na metodologia experimental foi aplicado e a partir dos resultados adquiridos foi montada a Tabela 1. Na referida tabela são apresentados os resultados em hexadecimais de cada conversão em função do instante de tempo, em μs , de aplicação do SET e da tensão aplicada na entrada do conversor V_{IN} , em Volt. Na primeira linha da tabela é apresentado o resultado para a primeira conversão, na qual nenhum SET é aplicado. Em caso de inversões de bits e/ou erros de conversões tais resultados serão assinalados na cor vermelha.

Tabela 1 - Resultado da conversão em hexadecimais em função de V_{IN} e do instante de aplicação do SET para o nó crítico 1.

Tempo (μs)	Tensão de entrada do conversor V_{IN} (Volt)									
	0.005	0.156	0.22	0.358	0.51	0.6	0.84	0.965	1.123	1.2
Sem SET	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
116	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
223	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
335	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
445	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
556	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
663	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
775	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
884	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
Nº total de erros de conversão: 0										

Os pulsos transientes aplicados quando $V_{IN} < \frac{V_{REF}}{2}$ estão apresentados na Figura 34. Já para o caso de $V_{IN} \geq \frac{V_{REF}}{2}$, os pulsos foram aplicados conforme a Figura 35. Ambos seguem a metodologia descrita na seção 3.1.

Figura 35 - Pulsos transientes para $V_{IN} < \frac{V_{REF}}{2}$.

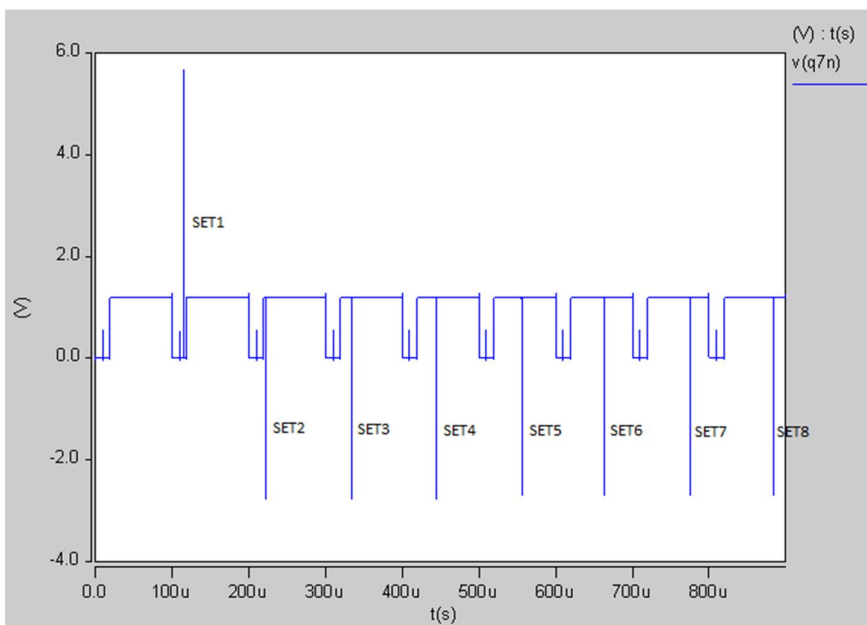
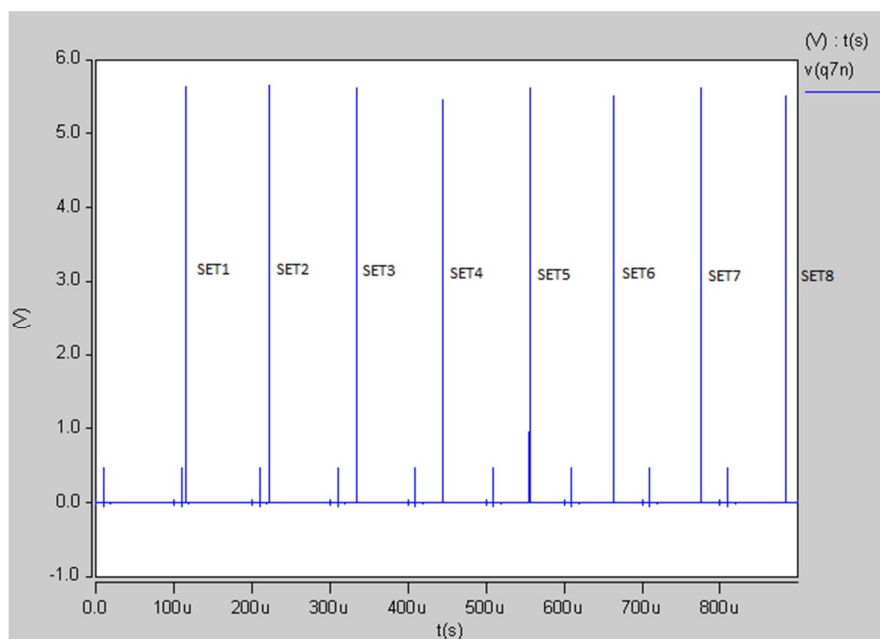


Figura 36 - Pulsos transientes para $V_{IN} \geq \frac{V_{REF}}{2}$.



Os resultados da Tabela 1 mostram que não houve inversões de bits e, conseqüentemente, nenhum erro de conversão para a situação analisada. Para compreender tal resultado a primeira simulação, com $V_{IN}=0.005V$, é pormenorizada. Observa-se na Figura 36 que para tal situação a tensão na entrada do comparador (comp_in) se mantém inalterada após

o SET. Isso ocorre para todos os casos em que o transiente é aplicado no nó crítico 1. Como esperado, na Figura 37 o nível de tensão na parte inferior do capacitor C0 sofre uma queda e a tensão em C7 aumenta. Contrariamente ao procedimento realizado por Balen et al. (2011), neste estudo, o banco de capacitores não está isolado, ou seja, sua ligação com V_{REF} e com GND possibilita que a tensão na entrada do comparador seja recuperada.

Figura 37 - Pulso transiente na saída da porta inversora do controle da chave ligada ao capacitor C7 e tensão elétrica na entrada do comparador.

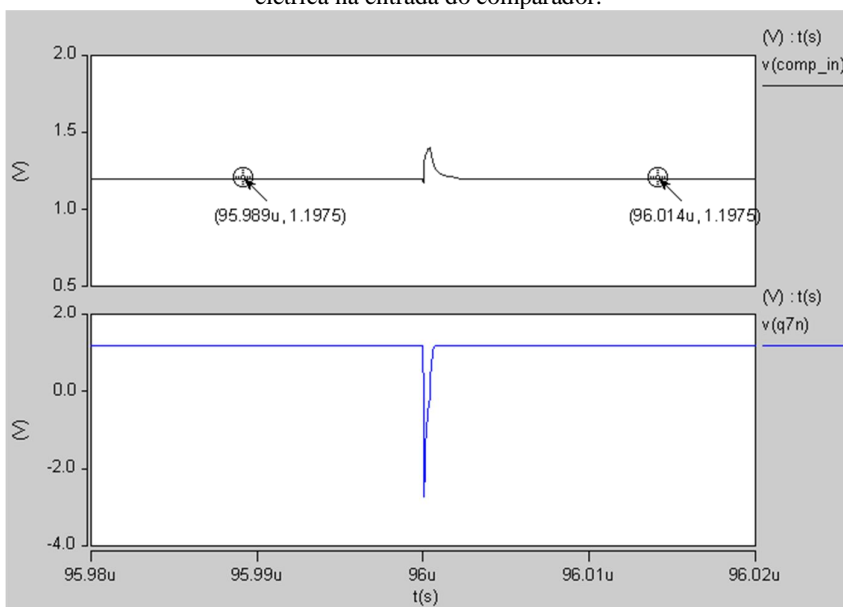
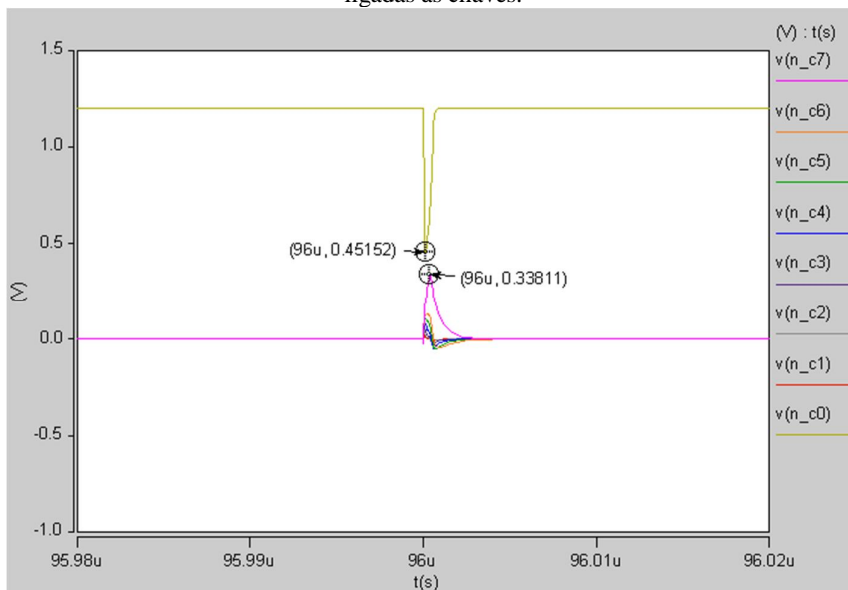
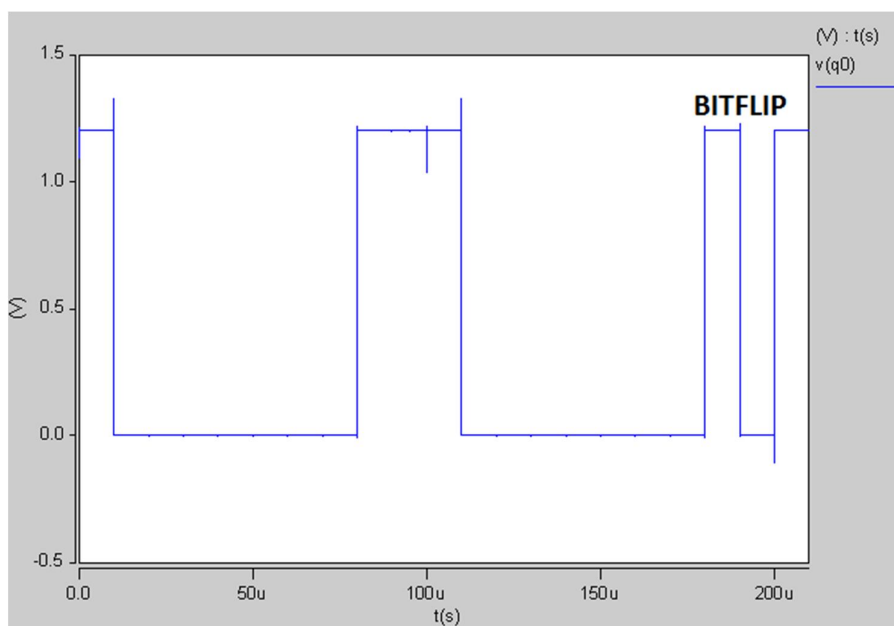


Figura 38 - Níveis de tensão elétrica de cada capacitor do conversor, na região inferior dos mesmos que são ligadas às chaves.

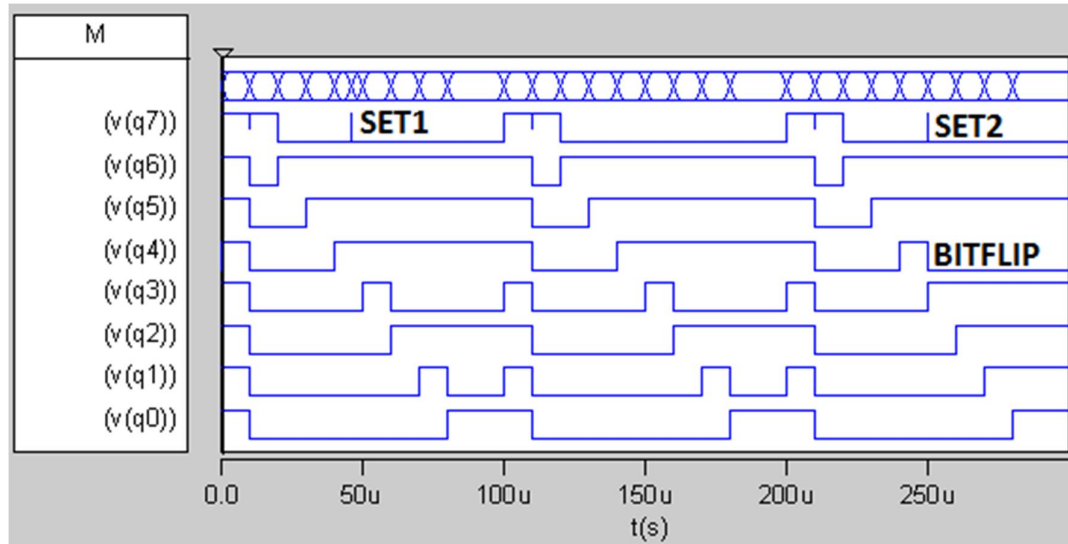


A partir desses resultados se parte para outra estratégia. Ao observar que não ocorreram erros de conversão, uma vez que a tensão na entrada do comparador é sempre recuperada alguns instantes após a ocorrência do SET, decidiu-se, então, aplicar um pulso transiente no instante de tempo 189.999us, ou seja, muito próximo à borda de *clock* que define a posição lógica do LSB. Na Figura 38 se verifica o comportamento de q0 para duas conversões consecutivas. Na segunda, que contém o SET, é constatada uma mudança de estado no bit q0 que sofre uma transição para nível lógico baixo.

Figura 39 - Mudança de estado no LSB na ocorrência de pulso transiente na saída do inversor de controle do MSB.



Tal característica foi constatada em diversas outras situações. Foram identificados erros de conversão sempre que o pulso transiente se dá nas proximidades das bordas de *clock*. Por exemplo, com $V_{in}=0.55V$ os pulsos novamente foram inseridos em dois instantes: $t_1 = 46\mu s$ e $t_2=249.9999\mu s$. Novamente se verifica, na Figura 40, um erro de conversão decorrente da proximidade do SET com a borda de *clock*. Nota-se que a inversão se dá inicialmente em q4 e que o erro é propagado aos demais bits devido ao posicionamento errôneo de q4. Isto pode ser confirmado na Figura 40, na qual uma conversão sem erros resulta em 75 hexadecimais e após aplicação do transiente o resultado obtido é de 6F hexadecimais.

Figura 40 - Erro de conversão para $V_{in}=0.55V$ 

Se os transientes são aplicados neste mesmo nó crítico (1), porém referentes aos demais bits de controle ($q0n, q1n, \dots, q5n$ e $q6n$), os resultados são similares aos obtidos nessa seção. Ou seja, só são percebidas inversões de estado quando os transientes acontecem nas proximidades das bordas de *clock*. A probabilidade de ocorrência de erros irá depender, portanto, diretamente da largura do pulso transiente e da frequência de relógio do conversor. Quanto maior a largura do pulso é mais provável que este atue nas proximidades da borda de *clock*. O conceito de proximidade é relativo, pois depende de qual borda de *clock* está sob análise, pois um transiente pode perturbar o LSB com maior facilidade do que o MSB, por exemplo. De maneira geral foram verificadas inversões de bits quando os pulsos ocorreram a cerca de 0.1ns da borda de *clock*.

4.2 Segundo nó crítico

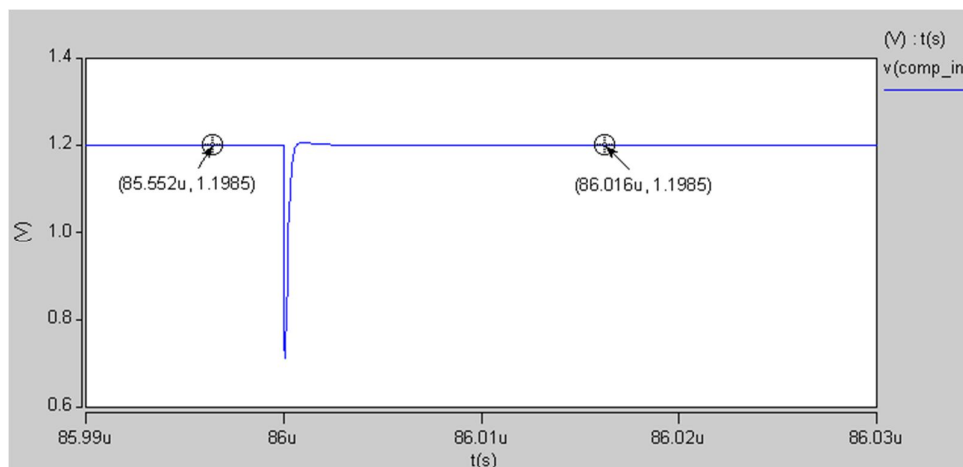
A análise continua para o **nó crítico 2**. Para tanto, repete-se o procedimento descrito na metodologia e, a partir dos resultados adquiridos é disposta a Tabela 2. Na referida tabela são apresentados os resultados em hexadecimais para cada conversão em função do instante de tempo, em μs , de aplicação do SET e da tensão aplicada na entrada V_{IN} do conversor, em Volt. Na primeira linha da tabela é apresentado o resultado para a primeira conversão, na qual nenhum SET é aplicado. Em caso de inversões de bits e/ou erros de conversões tais resultados serão assinalados na cor vermelha.

Tabela 2 - Resultado da conversão em hexadecimais em função de V_{IN} e do instante de aplicação do SET para o nó crítico 2.

Tempo (μ s)	Tensão de entrada do conversor V_{IN} (Volt)									
	0.005	0.156	0.22	0.358	0.51	0.6	0.84	0.965	1.123	1.2
Sem SET	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
116	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
223	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
335	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
445	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
556	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
663	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
775	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
884	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
Nº total de erros de conversão: 0										

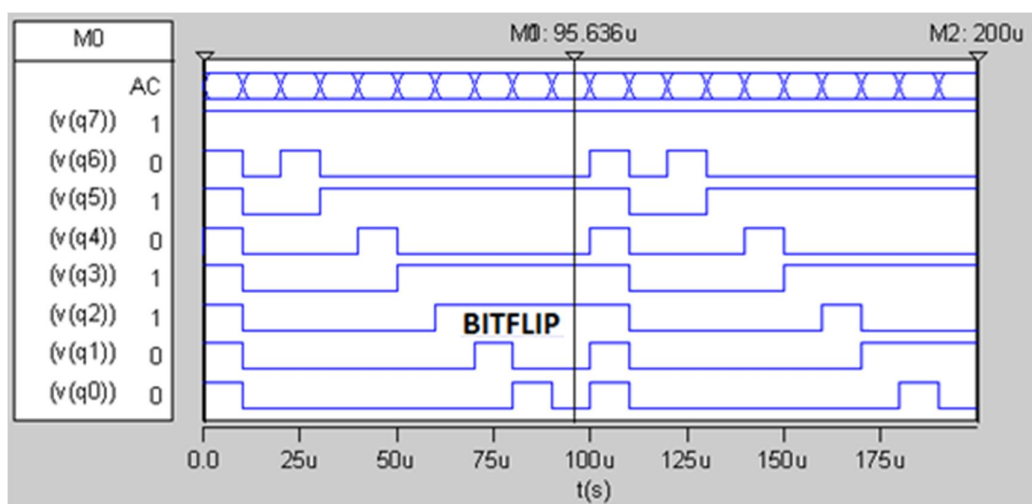
Os resultados da Tabela 2 mostram que novamente não houve nenhum erro de conversão para as simulações realizadas. Uma simulação com SET aplicado em 86μ s e para $V_{IN}=0.8V$ e pormenorizada. Nota-se na Figura 41 que a tensão na entrada do comparador (comp_in) novamente se recupera após o pulso transiente.

Figura 41 - Transiente observado na entrada do comparador.



A mesma estratégia aplicada na seção 4.1 é adota e, novamente, ao se inserir as falhas transientes nas proximidades do pulso de *clock*, neste exemplo $t=69.9999\mu\text{s}$, ocorre uma inversão de estado em um dos bits do conversor. Tal situação poder ser verificada pela Figura 42 onde novamente foi aplicado $V_{IN}=0.8\text{V}$ na entrada do conversor e para a primeira conversão realizada, em decorrência do SET, os bits q_2 e q_1 são invertidos e se obtêm como resultado AC hexadecimais. Na conversão seguinte, nenhum transiente é aplicado e a conversão é corretamente realizada resultando em AA hexadecimais.

Figura 42 - Conversão com erro e sem erro para uma entrada de 0.8V.



Quando os transientes são aplicados no mesmo nó crítico (2), porém relativos aos demais bits de controle (N_{C0} , N_{C1} , ..., N_{C5} e N_{C6}) os resultados são similares aos obtidos nessa seção. Ou seja, só são observados erros de conversão quando o transiente ocorre nas proximidades das bordas de *clock*. De maneira análoga ao caso do nó crítico 1, a probabilidade de ocorrência do erro irá depender, portanto, da largura do pulso transiente e da frequência de relógio do conversor. Novamente, de maneira geral os *bitflips* são observados quando o pulso transiente ocorre pelo menos a 0.1ns da borda de *clock*.

4.3 Terceiro nó crítico

Avalia-se agora o comportamento do **nó crítico 3**. A metodologia experimental descrita foi aplicada e, a partir dos resultados adquiridos foi disposta a Tabela 3, na qual estão

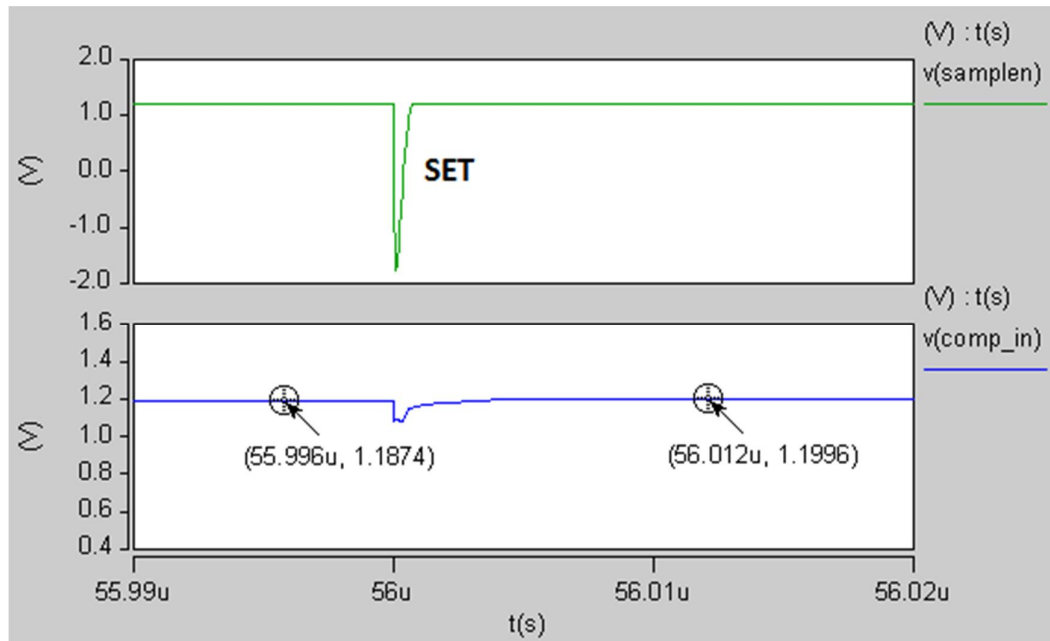
relacionados os resultados de conversão, em hexadecimais, para os instantes de tempo (μs) de aplicação dos SETs e em função da tensão de entrada do conversor V_{IN} (Volt). São assinalados em vermelho os casos em que os erros de conversão foram identificados. Em verde são destacadas as conversões sem erros.

Tabela 3: Resultado da conversão em hexadecimais em função de V_{IN} e do instante de aplicação do SET para o nó crítico 3.

Tempo (μs)	Tensão de entrada do conversor V_{IN} (Volt)									
	0.005	0.156	0.22	0.358	0.51	0.6	0.84	0.965	1.123	1.2
Sem SET	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
116	09h	27h	34h	4Fh	6Dh	7Fh	AFh	C8h	E7h	F7h
223	05h	22h	2Fh	4Ah	68h	83h	B3h	CCh	EBh	FBh
335	02h	20h	2Dh	4Ch	6Ah	81h	B0h	CEh	EEh	FDh
445	01h	21h	2Dh	4Bh	6Bh	80h	B1h	CDh	EFh	FEh
556	01h	20h	2Dh	4Ah	6Ah	80h	B2h	CCh	EEh	FFh
663	01h	20h	2Dh	4Bh	6Bh	80h	B2h	CCh	EEh	FFh
775	01h	20h	2Dh	4Ch	6Ch	80h	B1h	CDh	EEh	FFh
884	01h	20h	2Eh	4Ch	6Ch	80h	B2h	CCh	EFh	FFh
Nº total de erros de conversão: 54										

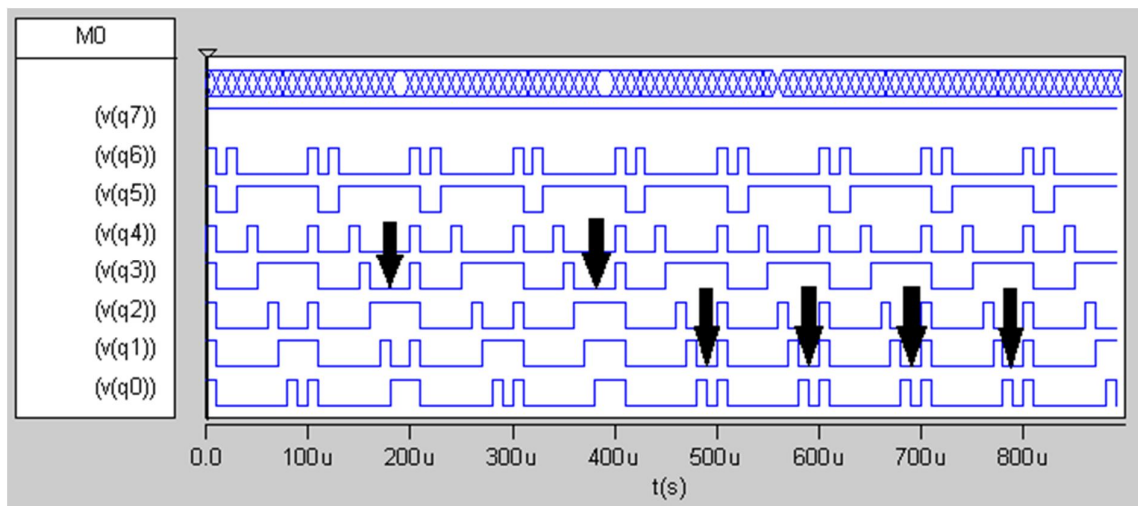
Dos resultados obtidos na Tabela 3 são observadas 54 conversões com erros, entre as 80 simulações realizadas para o nó crítico 3. Portanto, tal nó se mostra altamente sensível aos *Single Event Transients* aplicados. Para se compreender o que faz deste nó mais sensível do que os pontos até então estudados a situação de um SET aplicado em $56\mu\text{s}$ e para $V_{IN}=0.8\text{V}$ é pormenorizada. Na Figura 43, se constata que contrariamente ao que foi verificado nas seções anteriores o nível de tensão elétrica na entrada do comparador sofre uma pequena elevação no instante citado e esse novo valor é retido após o transiente. É destacada nesta mesma imagem a tensão na entrada do comparador antes do SET, $v(\text{comp_in}) = 1,1874\text{V}$ e após a ocorrência do mesmo, $v(\text{comp_in}) = 1,1996\text{V}$. Também se identifica o transiente representado na Figura 43 pelo sinal de tensão $v(\text{samplen})$. Uma inversão de estado é observada no bit q1 do conversor que deriva em outra inversão no bit q0.

Figura 43 - Nível de tensão na entrada do comparador e SET aplicado.



Novamente, para $V_{IN}=0.8\text{V}$, se verifica na Figura 44 os 8 pulsos transientes descritos e aplicados na saída da porta inversora do sinal de controle de amostragem. Além disso, todas as inversões de bits que ocasionam em erros de conversão foram sinalizadas nesta figura.

Figura 44 - SETs e erros de conversão para 9 ciclos de conversão.



4.4 Quarto nó crítico

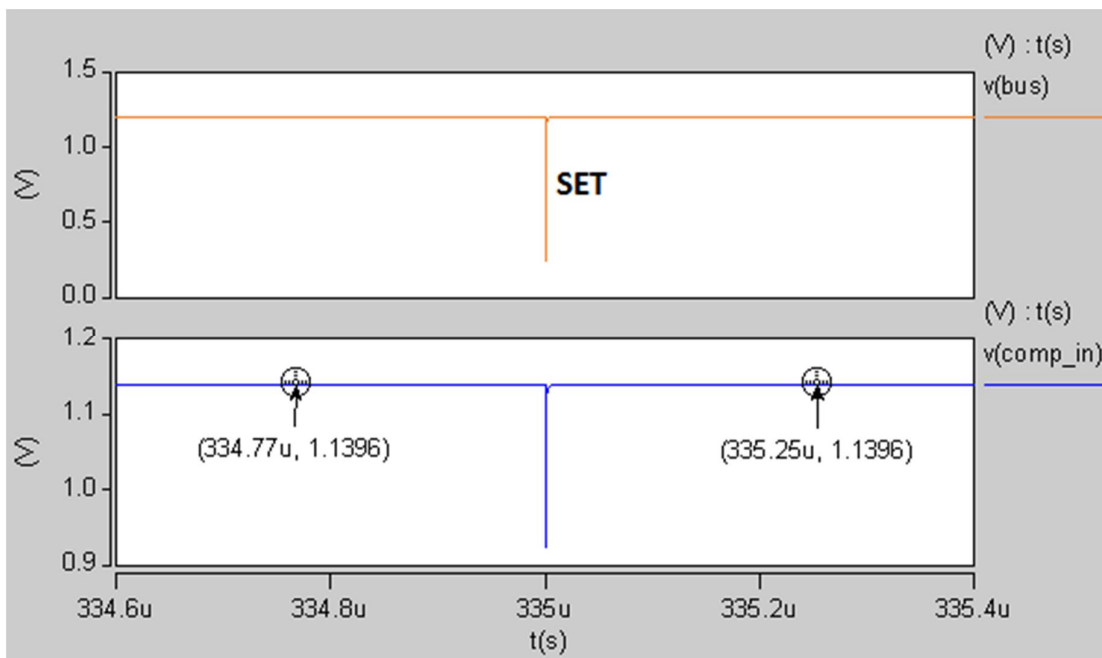
A análise continua para o **nó crítico 4**. Para tanto, o procedimento descrito na metodologia foi aplicado e, a partir dos resultados adquiridos, foi montada a Tabela 4. Na referida tabela estão relacionados os resultados de conversão, em hexadecimais, em função dos instantes de tempo, em μs , de aplicação dos SETs e da tensão de entrada do conversor V_{IN} , em Volt.

Tabela 4 - Resultado da conversão em hexadecimais em função de V_{IN} e do instante de aplicação do SET para o nó crítico 4.

Tempo (μs)	Tensão de entrada do conversor V_{IN} (Volt)									
	0.005	0.156	0.22	0.358	0.51	0.6	0.84	0.965	1.123	1.2
Sem SET	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
116	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
223	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
335	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
445	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
556	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
663	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
775	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
884	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
Nº total de erros de conversão: 0										

Os resultados da Tabela 4 mostram que não foi verificada nenhuma inversão de bit e consequentemente nenhum erro de conversão para as simulações realizadas neste nó crítico (4). E, pela Figura 45 se constata novamente que o nível de tensão na entrada do comparador se recupera após o pulso transiente, neste caso aplicado em $335\mu\text{s}$ para a situação em que $V_{IN}=0.51\text{V}$. O efeito mostrado nesta figura se repete para todas as simulações realizadas neste ponto do circuito. Por isso, não são observados erros de conversão ao aplicar SETs no nó crítico 4, referente ao barramento (*bus*).

Figura 45 - SET e sinal de entrada do comparador para $V_{IN}=0.51V$ no instante de tempo 335us.



Erros de conversão novamente só são observados quando as falhas transientes se dão nas proximidades dos pulsos de *clock*, da mesma forma que para os nós críticos 1 e 2 avaliados nas seções 4.1 e 4.2. Mais uma vez, a probabilidade de ocorrência de erros de conversão também dependerá, portanto, da largura do pulso transiente e da frequência de relógio do conversor. De maneira geral os *bitflips* são outra vez verificados quando os pulsos transientes são aplicados a cerca de 0.1ns da borda de *clock*.

4.5 Quinto nó crítico

A análise é finalizada pelo **nó crítico 5**. Para tanto os procedimentos descritos na metodologia experimental foram novamente aplicados e a partir dos resultados adquiridos foi organizada a Tabela 5. Na referida tabela são apresentados os resultados, em hexadecimais, de cada conversão em função do instante de tempo, em μs , de aplicação do SET e da tensão aplicada na entrada do conversor V_{IN} , em Volt. Na primeira linha da tabela é apresentado o resultado para a primeira conversão, na qual nenhum SET é aplicado.

Em caso de inversões de bits e/ou erros de conversões tais resultados estão destacados na Tabela 5 pela cor vermelha. Já quando os SETS são aplicados e as conversões não resultam

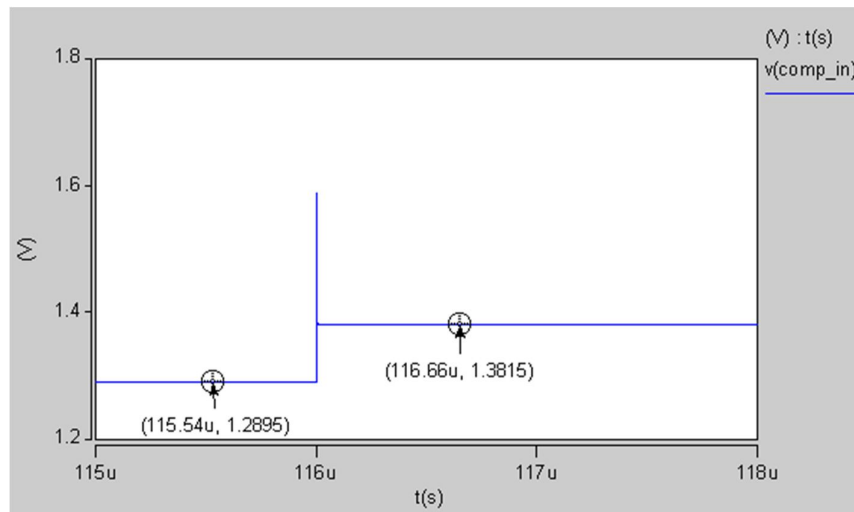
em erros, o destaque será feito pela cor verde nesta mesma tabela. Dos resultados obtidos na referida tabela são observadas 69 conversões com erros, entre as 80 simulações realizadas, para o nó crítico 5. Portanto, tal nó se mostra altamente sensível aos *Single Evet Transients* aplicados.

Tabela 5: Resultado da conversão em hexadecimais em função de V_{IN} e do instante de aplicação do SET para o nó crítico 5.

Tempo (μ s)	Tensão de entrada do conversor V_{IN} (Volt)									
	0.005	0.156	0.22	0.358	0.51	0.6	0.84	0.965	1.123	1.2
Sem SET	01h	21h	2Fh	4Ch	6Ch	80h	B3h	CDh	EFh	FFh
116	00h	10h	1Dh	3Bh	5Bh	6Fh	A1h	BCh	DDh	EEh
223	00h	10h	1Dh	3Bh	5Bh	80h	A2h	BDh	DEh	EEh
335	00h	10h	1Eh	40h	5Ch	80h	A2h	C0h	DEh	EFh
445	00h	20h	20h	40h	60h	80h	A2h	C0h	E0h	EFh
556	00h	20h	20h	40h	60h	80h	B0h	C0h	E0h	F0h
663	00h	20h	28h	48h	68h	80h	B0h	C8h	E8h	F8h
775	00h	20h	2Ch	4Ch	6Ch	80h	B0h	CCh	ECh	FCh
884	00h	20h	2Eh	4Ch	6Ch	80h	B2h	CCh	EEh	FEh
Nº total de erros de conversão: 69										

A tensão de entrada do comparador é alterada após a ocorrência do pulso transiente, da mesma forma que foi constatado quando os pulsos foram aplicados no nó crítico 3. Um exemplo dessa situação pode ser verificado na Figura 46, onde é apresentada a tensão de entrada do comparador, $v(\text{comp_in})$ para os instantes de tempo antes e após a ocorrência do SET, para o caso em que se tem $V_{IN}=0.51\text{V}$. Observa-se uma variação de aproximadamente 80mV, de 1,2895V para 1,3815V após o SET.

Figura 46: Sinal de entrada do comparador para pulso aplicado em 116us no nó crítico 5, com $V_{IN}=0.51V$.



4.6 Análises complementares para os nós sensíveis (3 e 5)

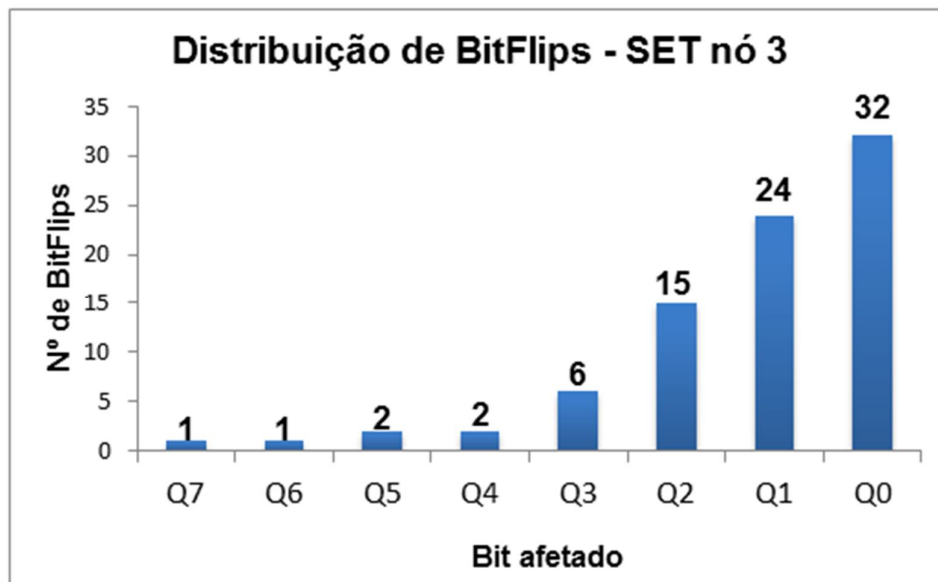
Conforme observado nas seções 4.3 e 4.5, **os nós críticos 3 e 5** são altamente sensíveis aos *Single Event Transients* e, por isso os resultados apresentaram um número elevado de inversões de bits e erros de conversão. Portanto, nesta seção se busca discutir e dimensionar tais erros.

A partir dos resultados obtidos na Tabela 3, para o nó crítico 3, foi elaborada a Tabela 6 que apresenta de que forma foram distribuídas as inversões de bits (*bitflips*) nas conversões que foram identificados erros. Observa-se que mais de 80% das inversões de estados ocorreram nos três bits menos significativos do conversor (Q2, Q1 e Q0). Os dados da referida tabela são ilustrados no gráfico da Figura 47.

Tabela 6: Bits afetados pela inserção de SETs no nó crítico da seção 4.3.

Bit Afetado	Nº de BitFlips	% de Bitflips
Q7	1	1,20%
Q6	1	1,20%
Q5	2	2,41%
Q4	2	2,41%
Q3	6	7,23%
Q2	15	18,07%
Q1	24	28,92%
Q0	32	38,55%
TOTAL:	83	100,00%

Figura 47 - Gráfico ilustrativo dos resultados da Tabela 6.



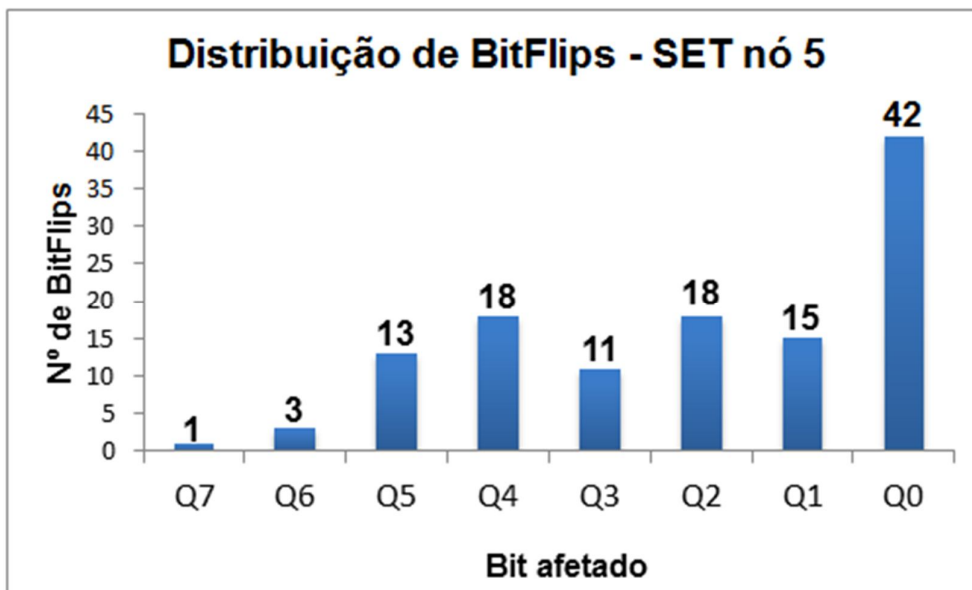
O mesmo procedimento foi adotado para os resultados obtidos na Tabela 5, referentes as simulação feitas para o nó crítico 5. Observa-se na Tabela 7 que em tal situação o número de inversões é mais distribuído entre os *bits* do conversor em relação aos resultados da Tabela 6. Neste caso, cerca de 60% das inversões de estado ocorreram nos três bits menos significativos do conversor (Q2, Q1 e Q0).

Tabela 7: Bits afetados pela inserção de SETs no nó crítico da seção 4.5.

Bit Afetado	Nº de BitFlips	% de Bitflips
Q7	1	0,83%
Q6	3	2,48%
Q5	13	10,74%
Q4	18	14,88%
Q3	11	9,09%
Q2	18	14,88%
Q1	15	12,40%
Q0	42	34,71%
TOTAL:	121	100,00%

Observa-se também que o número absoluto de *bitflips*, 121, é maior para este nó quando comparado com os resultados obtidos para o nó crítico 3, onde foram observadas 83 inversões de bits. Logo, este ponto do circuito se apresenta ainda mais sensível às falhas transientes. Os dados da Tabela 7 são destacados também no gráfico da Figura 48.

Figura 48 - Gráfico ilustrativo dos resultados da Tabela 7.



Os transientes aplicados no nó crítico 3 possibilitam que a tensão de entrada V_{IN} seja levada ao barramento. Como este nó pertence também ao circuito *charge pump*, conforme verificado na Figura 25, tal transiente também afeta os níveis de tensão elétrica dessa topologia. Isso pode ser verificado através das Figuras 49 e 50, nas quais o transiente foi aplicado na porta inversora do sinal de controle de amostragem, $v(\text{samplenn})$, respectivamente para as tensões de entrada: $V_{IN}=0.5V$ e $V_{IN}=1.123V$.

Nas Figuras 49 e 50 são mostrados também os sinais $v(\text{samplenn})$ e $v(\text{base})$, esses compõem o subcircuito da topologia *charge pump* apresentada no Anexo A deste documento e se referem respectivamente ao sinal de saída do inversor da Figura 25 e ao sinal de base do transistor PMOS (M1), responsável por evitar que a tensão V_{REF} seja levada à entrada do comparador na etapa de redistribuição de carga. Através desta análise se verifica que em ambos os casos a saída de tal inversor, $v(\text{samplenn})$, também é perturbada durante o SET e por consequência disso o sinal na base do referido transistor PMOS também sofre uma variação no nível de sua tensão. Decorrente de todos estes efeitos constata-se que após a falha transiente a entrada do comparador sofre uma variação de tensão que é dependente do sinal de entrada do conversor, V_{IN} .

Figura 49 – Transiente em v(samplen) e variação na tensão de entrada do comparador, Vin=0.5V.

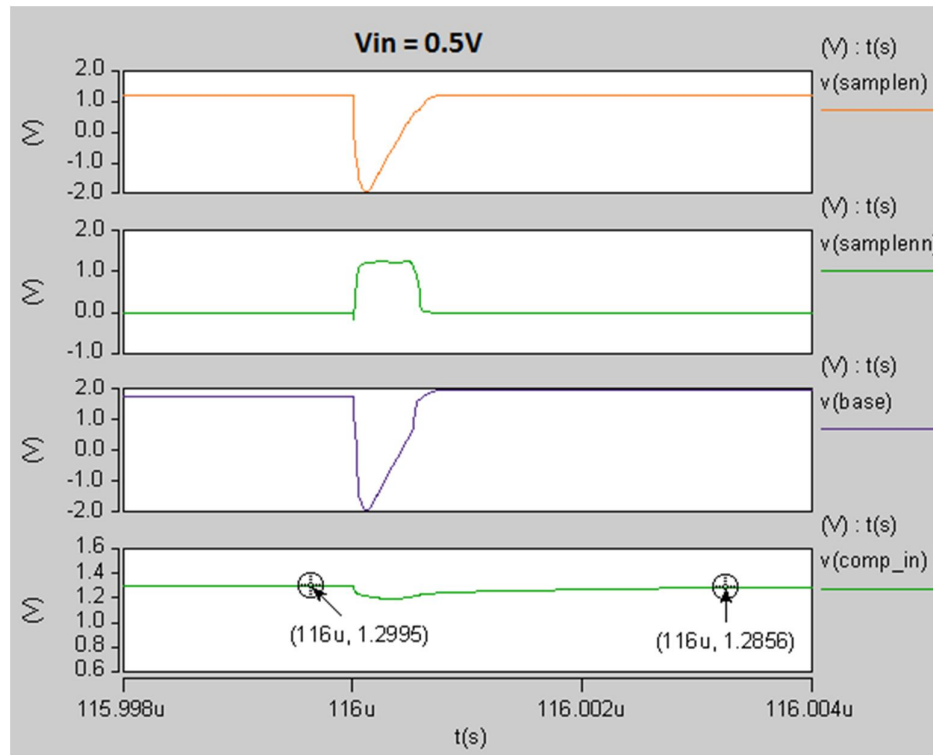
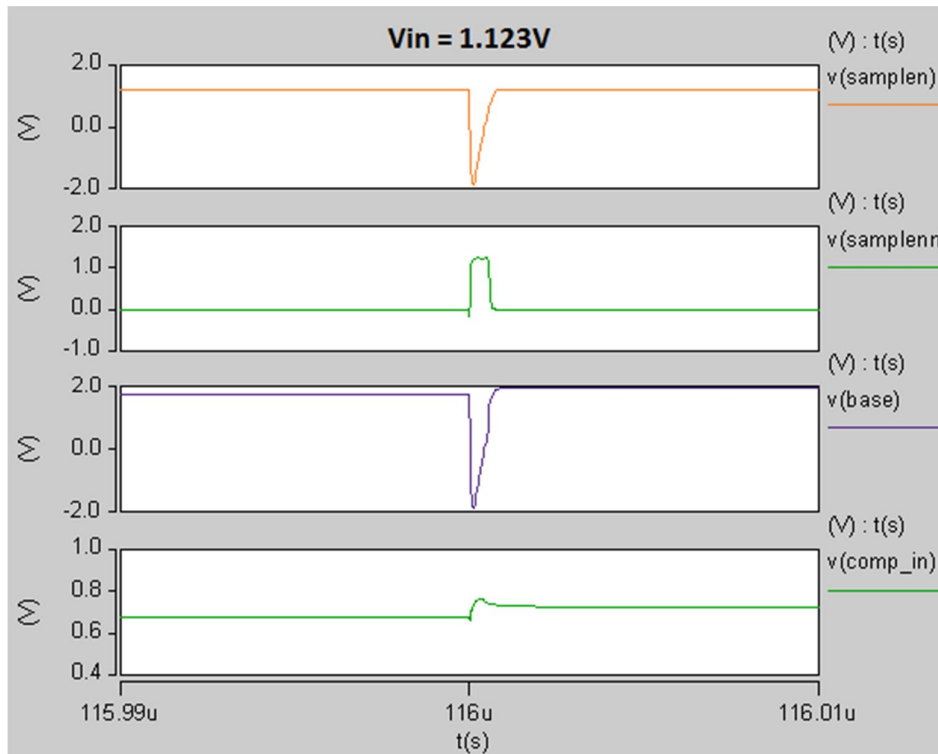


Figura 50 – Transiente em v(samplen) e variação na tensão de entrada do comparador, Vin=1.123V.



Em contrapartida, para o caso do nó crítico 5, o transiente é aplicado diretamente na entrada do comparador, e assim, há uma considerável coleta de carga armazenada no divisor capacitivo da matriz capacitiva, e por isso, são observadas inversões de estados em bits geralmente mais significativos e em maior número do que os verificados para o nó 3. Isso é verificado nas Figuras 51 e 52, nas quais a tensão $v(\text{comp_in})$ sempre é elevada independente do valor de V_{in} .

Figura 51 – Pulso transiente em $v(\text{comp_in})$ e variação na tensão de entrada do comparador, $V_{in}=0.5V$.

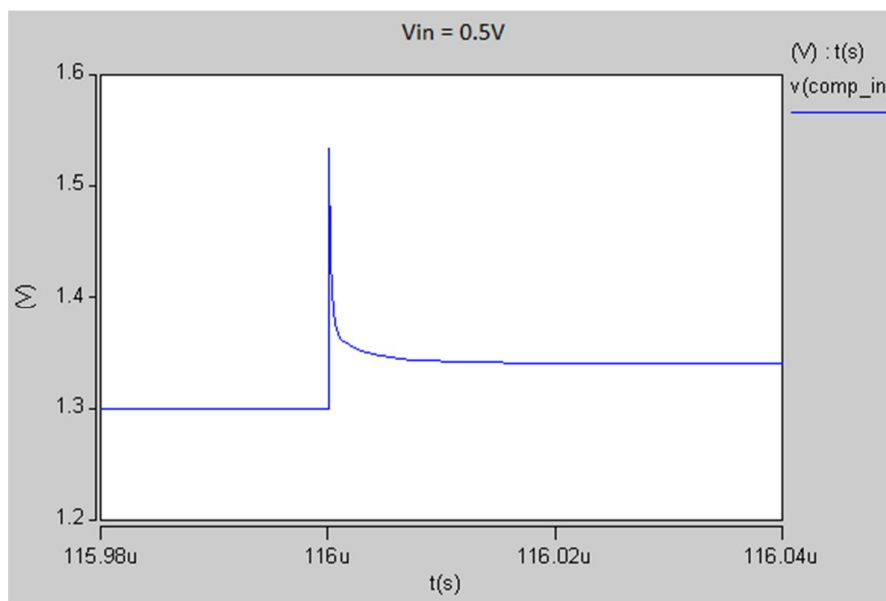
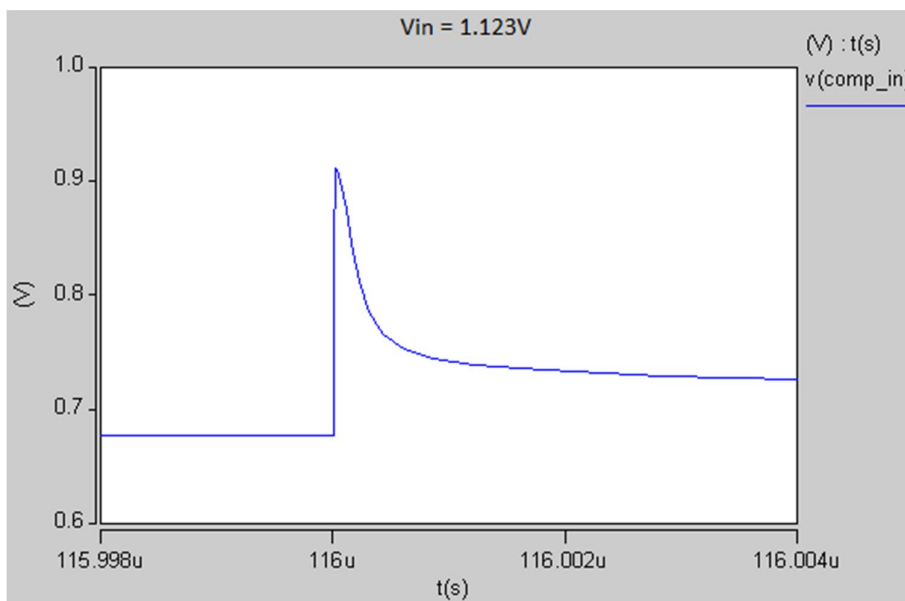


Figura 52 – Pulso transiente em $v(\text{comp_in})$ e variação na tensão de entrada do comparador, $V_{in}=1.123V$.



Por fim, é verificado se a metodologia adotada na injeção de pulsos transientes é adequada. Retoma-se a seção 3.2: os SETs são aplicados dentro de cada 10us definidos pelas bordas do *clock*. Para garantir que seja válida, foram inseridos SETs com os mesmos parâmetros até então utilizados, mas em instantes de tempo muito próximos do início e do final de cada borda de *clock*. Na Tabela 8 estão os resultados das simulações realizadas para o nó crítico 3. Note que os valores obtidos correspondem aos mesmos encontrados na Tabela 3 e são idênticos se os pulsos forem aplicados nos 10ns iniciais de cada ciclo de *clock*.

Tabela 8: Tabela comparativa de resultados com a Tabela 3 para SETs aplicados no final e início de cada ciclo de conversão.

Tempo (μ s)	Tensão de entrada do conversor V_{IN} (Volt)									
	0.005	0.156	0.22	0.358	0.51	0.6	0.84	0.965	1.123	1.2
119.99	09h	27h	34h	4Fh	6Dh	7Fh	AFh	C8h	E7h	F7h
229.99	05h	22h	2Fh	4Ah	68h	83h	B3h	CCh	EBh	FBh
339.99	02h	20h	2Dh	4Ch	6Ah	81h	B0h	CEh	EEh	FDh
449.99	01h	21h	2Dh	4Bh	6Bh	80h	B1h	CDh	EFh	FEh
559.99	01h	20h	2Dh	4Ah	6Ah	80h	B2h	CCh	EEh	FFh
669.99	01h	20h	2Dh	4Bh	6Bh	80h	B2h	CCh	EEh	FFh
779.99	01h	20h	2Dh	4Ch	6Ch	80h	B1h	CDh	EEh	FFh
889.99	01h	20h	2Eh	4Ch	6Ch	80h	B2h	CCh	EFh	FFh

Na Tabela 9 são apresentados analogamente os resultados quando estas novas simulações foram feitas para o nó crítico 5. Os valores destacados em azul diferem de 1LSB daqueles obtidos na Tabela 5. A diferença de resultado de simulação foi observada somente nestes três casos e na situação em que o pulso transiente se dá muito próximo da borda do próximo *clock*. Ressalta-se que para os SETs aplicados no início de cada ciclo de conversão, 10ns após as bordas de *clock*, os valores são idênticos aos da Tabela 5. Pode-se dizer, portanto, que a metodologia aplicada reproduz fielmente o comportamento do conversor para SETs aplicados em qualquer ponto dentro de cada etapa de redistribuição de carga, para os valores de tensão de entrada escolhidos.

Tabela 9: Tabela comparativa de resultados com a Tabela 5 para SETs aplicados no final de cada ciclo de conversão.

Tempo (μ s)	Tensão de entrada do conversor V_{IN} (Volt)									
	0.005	0.156	0.22	0.358	0.51	0.6	0.84	0.965	1.123	1.2
119.99	00h	0Fh	1Dh	3Bh	5Bh	6Fh	A1h	BCh	DDh	EEh
229.99	00h	0Fh	1Dh	3Bh	5Bh	80h	A1h	BDh	DEh	EEh
339.99	00h	10h	1Eh	40h	5Ch	80h	A2h	C0h	DEh	EFh
449.99	00h	20h	20h	40h	60h	80h	A2h	C0h	E0h	EFh
559.99	00h	20h	20h	40h	60h	80h	B0h	C0h	E0h	F0h
669.99	00h	20h	28h	48h	68h	80h	B0h	C8h	E8h	F8h
779.99	00h	20h	2Ch	4Ch	6Ch	80h	B0h	CCh	ECh	FCh
889.99	00h	20h	2Eh	4Ch	6Ch	80h	B2h	CCh	EEh	FEh

5. MITIGAÇÃO DE ERROS

Os dois nós mais sensíveis às falhas transientes observados nas simulações são: a saída da porta inversora do sinal de controle de amostragem e o dreno do transistor PMOS que compõe a topologia *charge pump*. Uma proposta inicial de proteção do circuito conversor A/D SAR do tipo redistribuição de carga parte de um novo dimensionamento do inversor de controle da chave de amostragem. A utilização de dimensões maiores do que as utilizadas até então, como por exemplo, a largura de canal (W) faz com que correntes transientes maiores sejam toleradas sem que a tensão do nó seja invertida e, assim, o estado da chave pode ser preservado.

Segundo Balen (2010), as dimensões dos transistores devem levar em conta a tecnologia utilizada e o valor da corrente a ser tolerada. Os valores escolhidos para a largura dos transistores deverá obedecer a um compromisso entre a robustez desejada e a área ocupada pela porta de transmissão pretendida. Para avaliar esta influência, a partir dos resultados obtidos na Tabela 3, toma-se 5 valores de entrada V_{IN} e altera-se o tamanho da largura de canal (W) dos transistores que compõem a porta inversora do controle de amostragem. Os resultados seguem apresentados nas Tabelas 10, 11 e 12.

Tabela 10: Resultados extraídos da Tabela 3, W com dimensões iniciais.

Tempo (μ s)	Tensão de entrada do conversor V_{IN} (Volt)				
	0.156	0.358	0.51	0.965	1.2
116	27h	4Fh	6Dh	C8h	F7h
223	22h	4Ah	68h	CCh	FBh
335	20h	4Ch	6Ah	CEh	FDh
445	21h	4Bh	6Bh	CDh	FEh
556	20h	4Ah	6Ah	CCh	FFh
663	20h	4Bh	6Bh	CCh	FFh
775	20h	4Ch	6Ch	CDh	FFh
884	20h	4Ch	6Ch	CCh	FFh
Erros de conversão: 28					

Tabela 11: Resultados para W com dimensões duas vezes maiores em relação às iniciais.

Tempo (μ s)	Tensão de entrada do conversor V_{IN} (Volt)				
	0.156	0.358	0.51	0.965	1.2
116	25h	4Eh	6Dh	C9h	FAh
223	22h	4Dh	6Ah	CCh	FCh
335	20h	4Ch	6Bh	CEh	FEh
445	21h	4Bh	6Bh	CDh	FFh
556	20h	4Bh	6Bh	CDh	FFh
663	20h	4Bh	6Bh	CDh	FFh
775	20h	4Ch	6Ch	CDh	FFh
884	20h	4Ch	6Ch	CDh	FFh
Erros de conversão: 24					

Tabela 12: Resultados para W com dimensões quatro vezes maiores em relação às iniciais.

Tempo (μ s)	Tensão de entrada do conversor V_{IN} (Volt)				
	0.156	0.358	0.51	0.965	1.2
116	24h	4Dh	6Dh	CBh	FDh
223	22h	4Bh	6Bh	CDh	FEh
335	21h	4Ch	6Ch	CEh	FEh
445	21h	4Ch	6Ch	CDh	FFh
556	21h	4Bh	6Ch	CDh	FFh
663	21h	4Bh	6Ch	CDh	FFh
775	21h	4Ch	6Ch	CDh	FFh
884	21h	4Ch	6Ch	CDh	FFh
Erros de conversão: 13					

Foi possível, portanto, reduzir em mais de 50% o número de erros obtidos para a situação amostrada quando foram aumentadas em quatro vezes as dimensões da largura do canal (W) dos transistores que compõem a porta inversora do sinal de controle de amostragem. Além disso, mesmo as conversões equivocadas resultaram em valores mais próximos de uma conversão sem erros, ou seja, mais perto do valor obtido quando nenhum transiente é aplicado. Dessa forma, deve-se avaliar o compromisso entre a robustez e área

ocupada pela porta de transmissão de forma que não resultem em distorções e em não linearidades no conversor.

A mesma estratégia foi utilizada, mas desta vez buscou-se alterar as dimensões da chave *transmission gate* que liga a tensão V_{IN} ao barramento. Mesmo aumentando em quatro vezes a dimensão da largura de canal desta chave não foram observados efeitos capazes de reduzir o número de erros de conversão. Portanto, se mostra mais eficaz atuar nas dimensões da porta inversora de controle do que atuar propriamente na chave de amostragem.

Após está análise pode-se buscar outra diretriz para tentar reduzir a probabilidade de erros de conversão. Tal estratégia consiste em aumentar o valor das capacitâncias da matriz. Com capacitores mais elevados, o acúmulo eventual de cargas proveniente de uma falha transiente resultará em uma menor variação de tensão sobre os mesmos. Neste caso, existe o inconveniente do aumento da área conversor. No estudo de Scott et al., (2003) é evidenciado que a área desta topologia é dominada pelo banco capacitivo e, portanto, qualquer aumento de capacitância resultará em um aumento significativo na área do conversor.

Na Tabela 13 foram realizadas algumas simulações após modificar as capacitâncias do banco para valores duas vezes superiores aos de projeto. Os SETs foram aplicados no nó crítico 5, entrada do comparador. Traçando um comparativo com a Tabela 5 nota-se que os valores obtidos estão mais próximos de uma conversão sem erros. Mesmo assim, observam-se ainda muitos erros de conversão e, portanto, seriam necessários capacitores ainda maiores para reduzir efetivamente a taxa de erros.

Tabela 13: Resultados com dobro da capacitância projetada, nó crítico 5.

Tempo (μ s)	Tensão de entrada do conversor V_{IN} (Volt)				
	0.156	0.358	0.51	0.965	1.2
116	18h	43h	64h	C5h	F7h
223	18h	43h	64h	C5h	F7h
335	18h	43h	64h	C5h	F7h
445	19h	43h	64h	C5h	F7h
556	20h	44h	64h	C5h	F7h
663	20h	48h	68h	C8h	F8h
775	20h	4Ch	6Ch	CCh	FCh
884	20h	4Ch	6Ch	CCh	FEh

6. CONCLUSÕES

Este trabalho consiste em um estudo teórico dos efeitos de *Single Event Transients* em um conversor de dados SAR do tipo redistribuição de carga. Foi possível observar que para o referido circuito as falhas transientes podem causar erros de conversão e devido à característica sequencial deste dispositivo os erros podem ser propagados a cada ciclo de *clock*. Deste modo, o capítulo 1 abordou e contextualizou o tema de interesse. No capítulo 2, foi apresentado um texto de revisão sobre o assunto, bem como analisado de que forma o conversor estudado foi previamente modelado. Posteriormente foi definida uma metodologia de injeção de falhas transientes, de acordo com o tipo de transistor nas quais se deseja aplicá-las. Por fim, foram identificados, para esta topologia, quais são os possíveis nós sensíveis aos SETs.

Os transientes foram aplicados tanto nas chaves, nas portas inversoras, bem como no circuito *charge pump*. Após análises do circuito proposto foram identificados cinco nós potencialmente sensíveis aos efeitos transientes. Dentre estes, dois pontos do circuito se mostraram altamente sensíveis às falhas transientes: a saída da porta inversora do controle de amostragem e o dreno do transistor PMOS de saída do circuito *charge pump*. Os demais pontos investigados também resultaram na propagação de SETs no circuito, mas devido ao mascaramento por janela de amostragem a probabilidade da ocorrência de erros de conversão nestes nós críticos é baixíssima.

A análise foi realizada individualmente para cada nó identificado. Para os nós críticos 1, 2 e 4 as inversões só ocorrem quando o transiente é aplicado muito próximo da borda de *clock*, pois após a falha as tensões no circuito se recuperam aos seus patamares anteriores e, assim, as falhas transientes não resultam em inversões de estados. A probabilidade de erro nesses nós estará, portanto, relacionada com a largura do pulso do transiente e com a frequência de relógio do conversor. Uma vez que os pulsos transientes tem duração relativamente muito inferior ao período de cada ciclo de *clock*, neste estudo, essa probabilidade é irrelevante.

Ao contrário dos pontos já referidos, os nós críticos 3 e 5 se mostraram altamente sensíveis às falhas transientes, pois foram observadas inversões de bits para transientes aplicados em toda a etapa de redistribuição de carga. Em ambos os casos os erros foram mais latentes nos bits menos significativos do conversor, mas para o nó crítico 5, do circuito *charge pump*, as inversões de estados foram mais distribuídas entre os oito bits do conversor.

Pode-se identificar também que o número absoluto de erros de conversão é maior para o nó crítico 5, uma vez que neste caso o SET é aplicado diretamente ao banco capacitivo ligado a entrada do comparador. De outra forma, quando o transiente é aplicado na saída da porta inversora do sinal controle de amostragem, nó crítico 3, os de erros de conversão estão relacionados com o valor de tensão na entrada do conversor no momento de aplicação do SET e pela fato deste nó compor também o circuito *charge pump*. Portanto, o circuito *charge pump* se mostra altamente sensível às falhas transientes e em trabalhos futuros indica-se investigar o comportamento dos demais nós desta topologia, uma vez que foi verificado neste estudo que os transientes que se propagam neste circuito, afetando tanto o inversor como a base do transistor M1, podem resultar em erros de conversão.

As técnicas de mitigação de falhas são, certamente, eficientes para atenuar o número de erros de conversão, mas deve ser considerado que as mesmas acarretam em um aumento de área do conversor e, portanto, atenua uma das grandes vantagens deste tipo de conversor, o baixo dispêndio de área. O aumento da razão da largura de canal dos transistores se mostrou um meio eficaz de reduzir o número de erros de conversão. Tal medida decorre de um aumento na área, efetivamente, mas para aplicações críticas e de elevado custo, como, por exemplo, em aeronaves e satélites, esta pode ser uma solução segura. Outra medida de projeto considerada foi o aumento das capacitâncias do banco capacitivo, porém tal proposta provoca um alto custo de área do conversor, uma vez que o banco capacitivo predomina a área ocupada desta topologia.

Pode-se observar que em relação ao estudo desenvolvido na literatura (LANOT, 2014) foi obtido um avanço considerável na identificação dos pontos críticos desse tipo de conversor, bem como na definição de uma nova metodologia de injeção de falhas que foi definida a partir das características de cada componente e do comportamento de cada um destes nós. Em (LANOT, 2014) a investigação se restringiu para o nó 2, correspondente às chaves ligadas ao banco capacitivo, pois foi considerado como o ponto mais crítico da topologia. Neste estudo foi constatado que este nó não apresenta tal criticidade e, pelo contrário, neste caso os erros só são verificados quando o pulso transiente é aplicado nas proximidades da borda de *clock*. Dessa forma, este estudo se torna um fundamental ponto de partida para novas análises de *Single Event Transients*, tanto para outras topologias de conversores, mas principalmente para o conversor AD investigado nesse trabalho.

REFERÊNCIAS

ANDERSON, T. O. Optimum control logic for successive approximation Analog-To-Digital converters. **Computer Design**, Pasadena, v.11, n.7, p. 81-86, 1972.

ARIZONA STATE UNIVERSITY. **130nm BSIM3 Model card for Bulk CMOS. 2012.** Disponível em: <<http://ptm.asu.edu>>. Acesso em: 15 ago. 2015.

BALEN, T. R. **Efeitos da radiação em dispositivos analógicos programáveis (FPAAs) e técnicas de proteção.** 2010. 206 p. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal do Rio Grande do Sul. Porto Alegre. 2010.

BALEN, T. R. et al. Investigating the effects of transient faults in Programmable Capacitor Arrays. In: LATIN AMERICAN TEST WORKSHOP (LATW), 12., 2011, Porto de Galinhas. **Proceedings...** New York: IEEE, p. 1-6, 2011.

DODD, P. E. et al. Impact of ion energy on single-event upset. **IEEE Transactions on Nuclear Science**, Newport Beach, v. 45, n. 6, p. 2483-2491, Dec. 1998.

ENTRENA, L. et al. SET emulation considering electrical masking effects. **IEEE Transactions on Nuclear Science**, v. 56, n. 4, p. 2021-2025, Ago. 2009.

FERLET-CAVROIS, V. et al. Statistical Analysis of the Charge Collected in SOI and Bulk Devices Under Heavy Ion and Proton Irradiation – Implications for Digital SETs. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 53. n. 6, p. 2342-3252, 2006.

HUTSON, J. M. et al. Single Event-Induced Error Propagation Through Nominally-off Transmission Gates. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 53, n. 6, p. 3558-3562, 2006.

ISLAM, A. Technology scaling and its side effects. **19th VLSI Design and Test, IEEE International Symposium on**, India: IEEE, 2015.

KESTER, W. **Which ADC Architecture Is Right for Your Application?**, 2005. Disponível em: <<http://www.analog.com/library/analogDialogue/archives/39-06/architecture.pdf>>. Acesso em: 08 ago. 2015.

LANOT, A. **Estudo de falhas transientes e técnicas de tolerância a falhas em conversores de dados do tipo SAR baseado em redistribuição de carga.** 2014. Dissertação (Mestrado em Engenharia Elétrica), Universidade Federal do Rio Grande do Sul. Porto Alegre, 2014.

MALOBERTI, F. **Data Converters.** New York: Springer Publishing Company, 2007.

MANGANARO, G. **Advanced Data Converters.** New York: Cambridge University Press, 2012.

MCCREARY, J. L.; GRAY, P. R. All-MOS charge redistribution analog-to-digital conversion techniques – Part I. **Solid-State Circuits, IEEE Journal of**, New York, v. 10, n. 6, p. 371-379, 1975.

MESSENGER, G. C. Collection of Charge on Junction Nodes from Ion Tracks. **Nuclear Science, IEEE Transactions on**, New York: IEEE, v. 29, n. 6, p. 2024-2031, 1982.

MICROCHIP. **Analog-to-Digital Converter Design Guide**, 2004. Disponível em: <<http://ww1.microchip.com/downloads/en/devicedoc/21841a.pdf>>. Acesso em: 18 ago. 2015.

NICOLAIDIS, M. **Soft Errors in Modern Electronic Systems**. New York: Springer, 2011.

RAZAVI, B. **Principles of Data Conversion System Design**. New York: IEEE Press, 1995.

SCOTT, M. D.; BOSER, B. E.; PISTER, K. S. J. An untralow-energy ADC for Smart Dust. **Solid-State Circuits, IEEE Journal of**, New York: IEEE, v. 38, n. 7, p. 1123-1129, 2003.

SIMIONOVSKI, A. **Sensor de corrente transiente para detecção do SET com célula de memória dinâmica**. 2012. Dissertação (Mestrado em Engenharia Elétrica), Universidade Federal do Rio Grande do Sul. Porto Alegre, 2012.

TAMBARA, L. et al. Neutron-induced single event effects analysis in a SAR-ADC architecture embedded in a mixed-signal SoC. In: COMPUTER SOCIETY ANNUAL SYMPOSIUM ON VLSI (ISVLSI), 2013, Natal. **Proceedings...** New York: IEEE, 2013. p. 188-193.

VARGAS, F.; NICOLAIDIS, M. SEU-tolerant SRAM design based on current monitoring. In: INTERNATIONAL SYMPOSIUM ON FAULT-TOLERANT COMPUTING, 24., 1994, Austin. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 1994. p. 106-115.

VIJAY, V. et al. Charge redistribution based 8 bit SAR ADC. **Computer Application, International Journal of**, Vol. 62(1):6-9, January 2013.

WANG, F.; AGRAWAL, V. D. Single event upset: an embedded tutorial. In: IEEE INTERNATIONAL CONFERENCE ON VLSI DESIGN, 21., 2008. **Proceedings...** Hyderabad, India: IEEE Computer Society, 2008. p. 429-434.

WIRTH, G. Bulk-Built-in Current Sensors for Single Event Transient Detection in Deep-Submicron Technologies. **Microelectronics Reliability**, Oxford, v. 48, n. 5, p. 710-715, 2008.

ANEXO A – Descrição SPICE do conversor AD e código para injeção de falhas

```

SAR ADC based on charge redistribution

.include ptm130_bsim3.txt

.option scale=130n post=1 probe

.global VDD

.probe V(vin) V(COMP_IN) V(sample) V(samplen) V(bus) V(clk) V(sample) V(k1) V(q00) V(q0) V(q1) V(q2) V(q3) V(q4) V(q5)
V(q6) V(q7) V(q7n) v(N_C7) v(N_C6) v(N_C5) v(N_C4) v(N_C3) v(N_C2) v(N_C1) v(N_C0)

VDD VDD 0 DC 1.2

VREF VREF 0 DC 1.2

VIN VIN 0 DC 1.2 *pulse=(0 1.2 0 25600u 0 0 0 25800u)

XINV1 sample samplen INVERTER

XOUTCOMP1 comp_out samplen compx nand2

XOUTCOMP2 compx comp INVERTER

Vsample sample 0 DC 0 pulse=(0 1.2 0 0 10u 100u)

vclk clk 0 DC 0 pulse=(0 1.2 0 0 5u 10u)

X1seq  clk          0          sample 0          q7seq  dff
X2seq  clk          q7seq  0          sample q6seq  dff
X3seq  clk          q6seq  0          sample q5seq  dff
X4seq  clk          q5seq  0          sample q4seq  dff
X5seq  clk          q4seq  0          sample q3seq  dff
X6seq  clk          q3seq  0          sample q2seq  dff
X7seq  clk          q2seq  0          sample q1seq  dff
X8seq  clk          q1seq  0          sample q0seq  dff
X9seq  clk          q0seq  0          sample q00seq dff

X1reg  q6reg  comp  q7seq sample  q7reg  dff
X2reg  q5reg  comp  q6seq sample  q6reg  dff
X3reg  q4reg  comp  q5seq sample  q5reg  dff
X4reg  q3reg  comp  q4seq sample  q4reg  dff
X5reg  q2reg  comp  q3seq sample  q3reg  dff
X6reg  q1reg  comp  q2seq sample  q2reg  dff
X7reg  q0reg  comp  q1seq sample  q1reg  dff

```

X8reg q00reg comp q0seq sample q0reg dff
 X9reg 0 0 q00seq sample q00reg dff

XVN1 q7reg sample q7n nor2

XVI1 q7n q7 INVERTER

XVN2 q6reg sample q6n nor2

XVI2 q6n q6 INVERTER

XVN3 q5reg sample q5n nor2

XVI3 q5n q5 INVERTER

XVN4 q4reg sample q4n nor2

XVI4 q4n q4 INVERTER

XVN5 q3reg sample q3n nor2

XVI5 q3n q3 INVERTER

XVN6 q2reg sample q2n nor2

XVI6 q2n q2 INVERTER

XVN7 q1reg sample q1n nor2

XVI7 q1n q1 INVERTER

XVN8 q0reg sample q0n nor2

XVI8 q0n q0 INVERTER

XVN9 0 sample q00n nor2

XVI9 q00n q00 INVERTER

C7 COMP_IN N_C7 1536f

C6 COMP_IN N_C6 768f

C5 COMP_IN N_C5 384f

C4 COMP_IN N_C4 192f

C3 COMP_IN N_C3 96f

C2 COMP_IN N_C2 48f

C1 COMP_IN N_C1 24f

C0 COMP_IN N_C0 12f

CT COMP_IN N_CT 12f

*CHAMADA SUBCIRCUITO CHARGE PUMP

XSB VREF COMP_IN samplen base samplenn PUMP_SWITCH

XSA_1 BUS VDD samplen sample SWITCH

XSA_2 BUS VIN sample samplen SWITCH

XC7_2 N_C7 BUS q7 q7n SWITCH

M02 N_C7 q7n 0 0 nmos l=1 w=8

XC6_2 N_C6 BUS q6 q6n SWITCH

M04 N_C6 q6n 0 0 nmos l=1 w=8

XC5_2 N_C5 BUS q5 q5n SWITCH

M06 N_C5 q5n 0 0 nmos l=1 w=8

XC4_2 N_C4 BUS q4 q4n SWITCH

M08 N_C4 q4n 0 0 nmos l=1 w=8

XC3_2 N_C3 BUS q3 q3n SWITCH

M10 N_C3 q3n 0 0 nmos l=1 w=8

XC2_2 N_C2 BUS q2 q2n SWITCH

M12 N_C2 q2n 0 0 nmos l=1 w=8

XC1_2 N_C1 BUS q1 q1n SWITCH

M14 N_C1 q1n 0 0 nmos l=1 w=8

XC0_2 N_C0 BUS q0 q0n SWITCH

M16 N_C0 q0n 0 0 nmos l=1 w=8

XCT_2 N_CT BUS q00 q00n SWITCH

M18 N_CT q00n 0 0 nmos l=1 w=8

Xcomp VREF COMP_IN comp_out op_amp

.subckt op_amp Vp Vn Vout

E1 Vout 0 Vp Vn 1e6 max = 1.2 min= 0

.ends

.subc SWITCH a b control controln

M3 a control b 0 nmos l=1 w=8

M4 b controln a Vdd pmos l=1 w=16

.ends

```

*Subcircuito CHARGE PUMP
.subc PUMP_SWITCH a b control d e
M4 k2 e d Vdd pmos l=1 w=10
M3 d e control 0 nmos l=1 w=5
M1inv e control Vdd Vdd pmos l=1 w=10
M2inv e control 0 0 nmos l=1 w=5
M1 b d a k2 pmos l=1 w=10
M2 a a k2 0 nmos l=1 w=5
C1 control k2 13.5f
.ends

.subckt dff clk d pn clrn q
M1p d clk o1 vdd pmos l=1 w=8
M2n d clk b o1 0 nmos l=1 w=4
M3p o1 clk b o2 vdd pmos l=1 w=8
M4n o1 clk o2 0 nmos l=1 w=4
x1 pn o1 o3 nor2
x2 clrn o3 o2 nor2
M5p o3 clk b o4 vdd pmos l=1 w=8
M6n o3 clk o4 0 nmos l=1 w=4
x3 clrn o4 q nor2
x4 q pn o5 nor2
M7p o4 clk o5 vdd pmos l=1 w=8
M8n o4 clk b o5 0 nmos l=1 w=4
M9p clk b clk vdd vdd pmos l=1 w=8
M10n clk b clk 0 0 nmos l=1 w=4
.ends

.subckt nor2 a b out
M1p (t1 a vdd vdd) pmos l=1 w=8
M2p (out b t1 vdd) pmos l=1 w=8
M1n (out a 0 0) nmos l=1 w=4
M2n (out b 0 0) nmos l=1 w=4
.ends

.subckt nand2 a b out

```

```
M1p (out a vdd vdd) pmos l=1 w=8
M2p (out b vdd vdd) pmos l=1 w=8
M1n (out a t1 0) nmos l=1 w=4
M2n (t1 b 0 0) nmos l=1 w=4
.ends

.subc INVERTER a b
M1 b a Vdd Vdd pmos l=1 w=8
M2 b a 0 0 nmos l=1 w=4
.ends

*Transients Injections (comp_in PMOS)
*Iset_2 0 COMP_IN EXP(0 2m 116u 5p 116u 100p)
*Iset_3 0 COMP_IN EXP(0 2m 223u 5p 223u 100p)
*Iset_4 0 COMP_IN EXP(0 2m 335u 5p 335u 100p)
*Iset_5 0 COMP_IN EXP(0 2m 445u 5p 445u 100p)
*Iset_6 0 COMP_IN EXP(0 2m 556u 5p 556u 100p)
*Iset_7 0 COMP_IN EXP(0 2m 663u 5p 663u 100p)
*Iset_8 0 COMP_IN EXP(0 2m 775u 5p 775u 100p)
*Iset_9 0 COMP_IN EXP(0 2m 884u 5p 884u 100p)

*Transients Injections (samplen NMOS)
*Iset_2 samplen 0 EXP(0 2m 116u 5p 116u 100p)
*Iset_3 samplen 0 EXP(0 2m 223u 5p 223u 100p)
*Iset_4 samplen 0 EXP(0 2m 335u 5p 335u 100p)
*Iset_5 samplen 0 EXP(0 2m 445u 5p 445u 100p)
*Iset_6 samplen 0 EXP(0 2m 556u 5p 556u 100p)
*Iset_7 samplen 0 EXP(0 2m 663u 5p 663u 100p)
*Iset_8 samplen 0 EXP(0 2m 775u 5p 775u 100p)
*Iset_9 samplen 0 EXP(0 2m 884u 5p 884u 100p)

.TRAN 1p 25600u
.END
```