

Implantação de ambiente de desenvolvimento para Sistema em Chip com processador de código aberto

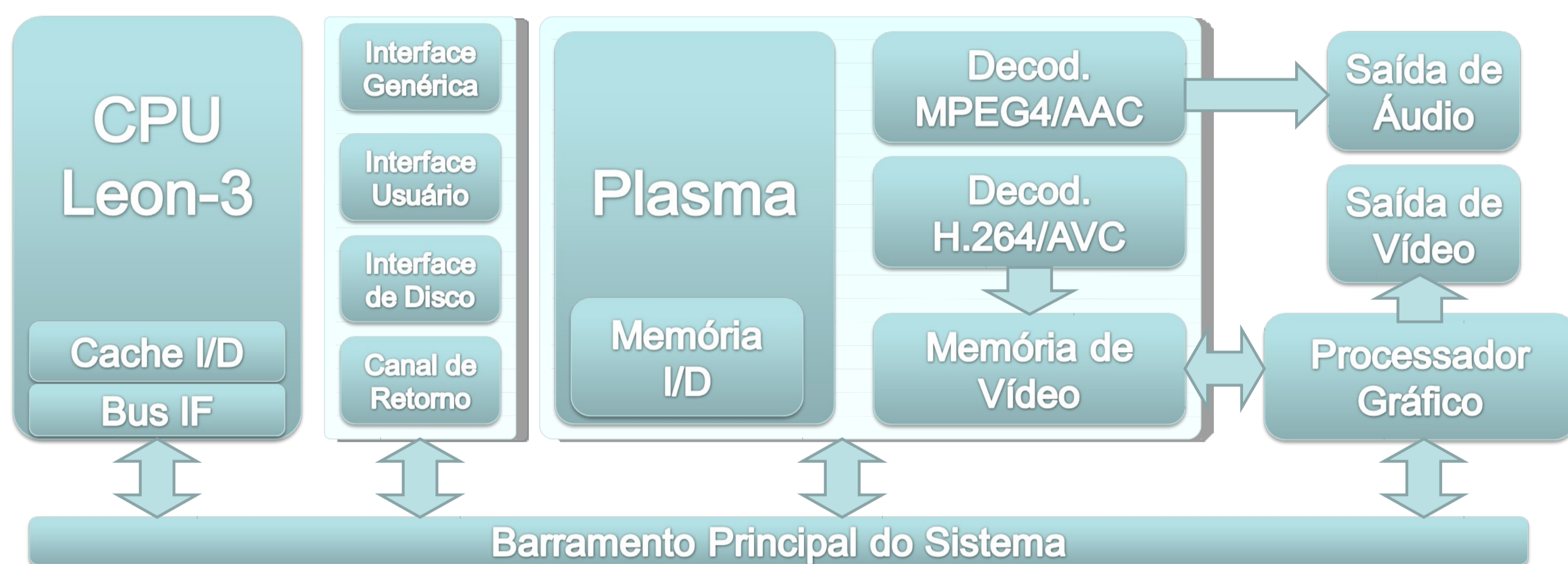
Auxiliar de pesquisa: **Jônatas Romani Rech**

Coordenação: **Altamiro Amadeu Susin (Coordenador), André Borin Soares e Alexsandro Bonatto**

1. O Projeto

O projeto SoC-SBTVD tem como objetivo o desenvolvimento de um **Terminal de Acesso ao Sistema Brasileiro de Televisão Digital** em um único chip, otimizando assim seu desempenho e diminuindo o custo da aquisição pelo consumidor final. O sistema é composto por diversos módulos funcionais, que, embora implementados individualmente, são interligados por um barramento comum.

O objetivo deste trabalho é a implantação de um ambiente de desenvolvimento de software para o **processador Plasma**, que constitui o módulo de demultiplexação do sistema (*frontend*). O processo de demultiplexação consiste na separação dos dados de áudio, vídeo e *closed caption* do sinal digital, assim como no envio destes dados aos decodificadores respectivos através do barramento principal.



2. Ambiente de desenvolvimento: Plasma

O processador Plasma é um *soft-core* de descrição em **código aberto**, ou seja, é livre para modificarmos e reutilizarmos. Descrito em VHDL, implementa a maioria das instruções MIPS3000. O ambiente de desenvolvimento consiste nas seguintes ferramentas (também *open-source*):

- **GNU Binutils v.1.19**
- **GNU C Compiler (GCC) v.4.1.1**
- **GNU Debugger v.6.8.50**

O ambiente ainda inclui um Sistema Operacional de Tempo Real (RTOS), que provê suporte à biblioteca de funções ANSI C. O uso deste sistema operacional é opcional.

Plasma

3. Resultados e Síntese para FPGA

O processador Plasma está sendo prototipado no FPGA **Xilinx xc2vp30**, presente no kit **Digilent XUPV2P**.

Frequência Máx.	74,321MHz		
	Utilizados	Disponíveis	%
Flip-flops	401	27392	1
LUT-4	3148	27392	11
Slices	1620	13696	11
BRams	32	136	23

4. Avaliação de desempenho

A aplicação utilizada para medirmos o desempenho do Plasma foi um protótipo do demultiplexador que será executado no sistema final. A entrada/saída de dados foi simulada por uma interface serial RS232. Observamos uma taxa de processamento de aproximadamente **1,23MBytes/s**, a **50MHz**. Executando o benchmark Dhrystone, o processador Plasma atingiu uma taxa de **74,4 Dhrystones/s**.

5. Próximas atividades

As atividades futuras terão como objetivo a maximização da performance do **Plasma** e a otimização do software demultiplexador. A medição de performance do software deverá ser realizada também no processador **Leon3**. O resultado da comparação dos dois processadores deve definir a utilização do processador Plasma. Em caso positivo, está prevista a integração do módulo Plasma/demux ao barramento principal. Caso contrário, o trabalho será voltado ao processador Leon3.

