

# PROCESSADOR A SER INTEGRADO AO TERMINAL DE ACESSO PARA TELEVISÃO DIGITAL

Auxiliar de pesquisa: **Leonardo Roveda Faganello**

Coordenação: **Altamiro Amadeu Susin (Coordenador), Aleksandro Bonatto e André Borin Soares**

## 1. Identificação do Projeto

O projeto SoC-SBTVD tem como objetivo o desenvolvimento de um Terminal de Acesso ao Sistema Brasileiro de Televisão Digital em um único chip, otimizando seu desempenho, aumentando sua confiabilidade e diminuindo o custo da aquisição pelo consumidor final. O sistema é composto por diversos módulos funcionais, que, embora implementados individualmente, são interligados por um barramento comum.

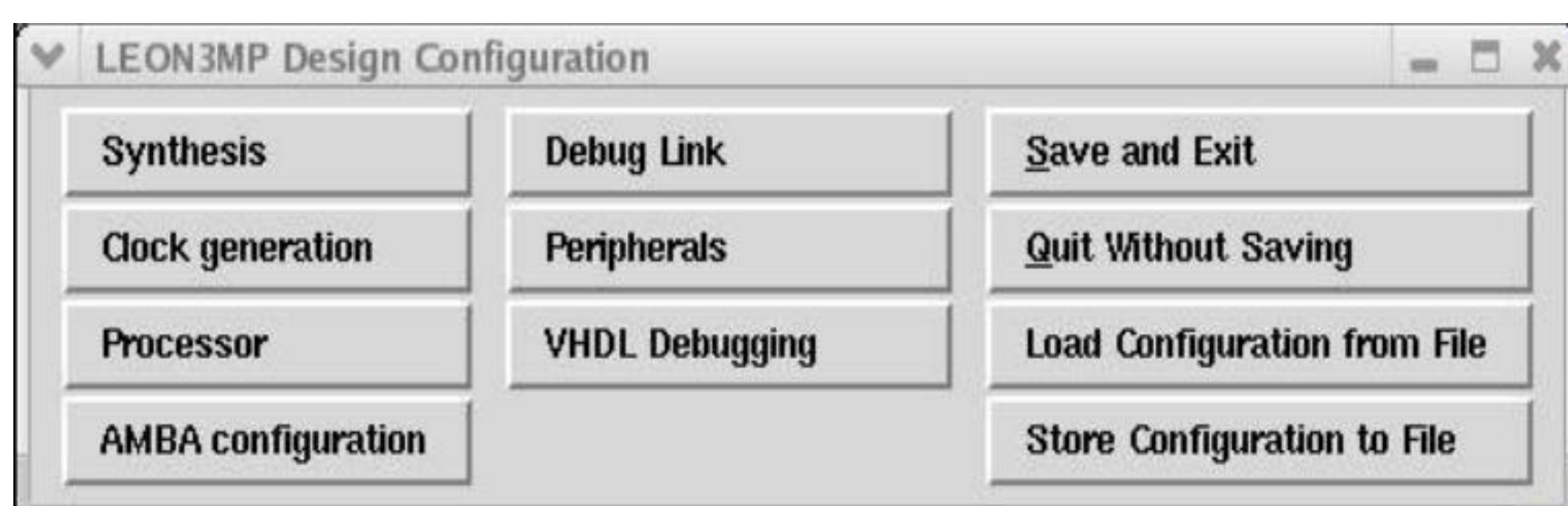


O objetivo deste trabalho é implantar o ambiente de desenvolvimento de um dos processadores a ser integrado ao Terminal de Acesso, além da escolha de um barramento para servir de comunicação entre os módulos (IP Cores). A última etapa do trabalho é acoplar o processador e o módulo decodificador de vídeo ao barramento do sistema.

## 2. Processador

O processador Leon 3 é distribuído livremente pela Gaisler, e sua principal função no Terminal de Acesso é tratar da gerência do Terminal, controlando o acesso dos módulos ao barramento.

A empresa disponibiliza o código do processador em VHDL, sendo altamente personalizável para adequar-se a necessidade do Projeto. Além do código, também são disponibilizadas ferramentas para automatizar o processo de síntese em FPGA.



## 3. Barramento Principal do Sistema

O barramento escolhido para integrar o Terminal de Acesso é o AMBA (Advanced Microcontroller Bus Architecture), especificado pela ARM. Os critérios de escolha para esse barramento foram o grande número de módulos VHDL compatíveis com a interface AMBA e o fato de ser uma especificação livre e muito bem documentada.

Entre as diversas possibilidades de implementação do barramento, o Processador Leon 3 utiliza o AMBA 2 AHB (Advanced High-Performance Bus) com uma bridge para o barramento APB (Advanced Peripheral Bus) para trabalhar com periféricos com baixa frequência de clock.

## 4. Dados de Síntese

O processador Plasma está sendo prototipado no FPGA Xilinx xc2vp30, presente no kit Digilent XUPV2P.

Maximum Frequency	65.514Mhz
Slices	77%
Slice Flip-Flops	22%
Number of 4 input LUTs	67%
Number of BRAMs	47%

