

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

THIAGO DAI PRA

PROJETO DE DIPLOMAÇÃO

**MEDIDOR DE TAXA DE ERRO DE BIT PARA FIBRA
ÓPTICA**

Porto Alegre

2012

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

MEDIDOR DE TAXA DE ERRO DE BIT PARA FIBRA ÓPTICA

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para Graduação em Engenharia Elétrica.

ORIENTADOR: Prof. Dr. Adalberto Schuck Jr.

Porto Alegre

2012

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

THIAGO DAI PRA

MEDIDOR DE TAXA DE ERRO DE BIT PARA FIBRA ÓPTICA

Este projeto foi julgado adequado para fazer jus aos créditos da Disciplina de “Projeto de Diplomação”, do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Dr. Adalberto Schuck Jr., UFRGS

Doutor pela UFRGS – Porto Alegre, Brasil

Banca Examinadora:

Prof. Dr. Adalberto Schuck Jr., UFRGS

Doutor pela UFRGS – Porto Alegre, Brasil

Engenheiro Bernardo Schaeffer, Digital S.A.

Engenheiro pela UFRGS – Porto Alegre, Brasil

Profa. Dra. Liane Ludwig Loder, UFRGS

Doutora pela UFRGS – Porto Alegre, Brasil

Porto Alegre, (mês e ano).

DEDICATÓRIA

Dedico este trabalho a minha família, por terem sempre me apoiado durante o curso da UFRGS e por estarem ao meu lado durante minha vida.

AGRADECIMENTOS

Aos colegas que participaram deste período de graduação na UFRGS, e aos amigos, que sempre estiveram presentes neste período.

À minha família pelo apoio durante esta jornada.

À Digitel por ter me acolhido durante o período de estágio e dado a oportunidade de realizar este trabalho. Em especial aos colegas de trabalho pelo apoio técnico sempre que necessário.

Ao Professor Schuck pela disponibilidade de orientação neste projeto.

À Universidade Federal do Rio Grande do Sul pelo ensino de qualidade e todas as oportunidades oferecidas.

RESUMO

Ao passar dos últimos anos, tem-se presenciado a intensa utilização de fibras óticas como meio para transporte de dados em alta velocidade e longas distâncias, tornando-se imperativo o teste desses enlaces óticos. Assim, este projeto volta-se ao desenvolvimento de uma arquitetura capaz de determinar a taxa de erro de bit (BER) para enlaces óticos de alta velocidade (até 2,5 Gbps) e à validação dessa arquitetura em comparação com um sistema proprietário. O trabalho deve considerar o futuro aumento da taxa de dados, sendo modular e suficientemente genérico para sua expansão futura. A arquitetura é descrita em VHDL, auxiliada por simulações, e implementada em FPGA Spartan-6 da Xilinx, utilizando seus *transceivers* com velocidade de até 3,2 Gbps como interface de alta velocidade.

Palavras-chaves: Engenharia Elétrica. Comunicação Óptica. Taxa de erro de bit. VHDL. BERT. PRBS.

ABSTRACT

Through the last years, an intense growth in the use of optical fibers for high-speed and long-haul data transmission has been seen, making the test of these optical link of key importance. This project focuses on the development of an architecture able to measure the Bit Error Rate (BER) for high-speed optical links up to 2,5 Gbps and the validation of the architecture in comparison to a proprietary solution. This work must take account on the rise of the data rates, being as modular and generic as possible for its future expansion. The architecture is described in VHDL, using simulation tools, and implemented for Spartan-6 FPGA from Xilinx, using its transceivers as a high-speed interface up to 3,2 Gbps.

Keywords: Electrical Engineering. Optical Communication. Bit Error Rate. BERT. VHDL. PRBS.

SUMÁRIO

1	INTRODUÇÃO	13
1.1	Sistemas de Comunicação e a BER.....	13
1.2	Motivação e Objetivos.....	14
1.3	Organização	15
2	CONTEXTO DE SISTEMAS DE FIBRA ÓPTICA.....	16
2.1	A Fibra Óptica	16
2.1.1	Atenuação	18
2.1.2	Dispersão Cromática (CD)	20
2.1.3	Dispersão de Modo de Polarização (PMD)	22
2.2	Sistemas WDM.....	23
2.3	Testes em Sistemas Ópticos	27
3	TAXA DE ERRO DE <i>BIT</i>	31
3.1	Relação entre BER e SNR.....	31
3.2	Medição e Confiabilidade da BER.....	36
3.3	Análise de Hardware e Especificação	41
4	IMPLEMENTAÇÃO DO <i>TEST SET</i>	48
4.1	BERT Serial	48
4.1.1	Gerador de PRBS	50
4.1.2	Sincronização e Detecção de Erros	52
4.1.3	Detecção de Perda de Sincronismo	53
4.1.4	Análise de um PRBS-3	54
4.1.5	Resultados de Simulação	55
4.2	BERT Paralelo	57
4.2.1	Entidade PRBS_PARALLEL_GEN	59
4.2.2	Entidade PRBS_PARALLEL_DETECT	60
4.2.3	Registradores WBS	60
4.2.4	Resultado de Simulação	61
4.3	Interface de Alta Velocidade	62
4.3.1	Configurações do <i>GTP Transceiver</i>	63
4.3.2	Estrutura de <i>Clock</i>	65
4.4	Interpretador LUA	66
4.5	Topo do <i>Design</i> do <i>Test Set</i>	67
5	RESULTADOS	70
5.1	Testes Realizados	70
5.2	Próximos Passos.....	71
5.3	Análise de Custos	72
6	CONCLUSÃO.....	73
	REFERÊNCIAS.....	74

LISTA DE ILUSTRAÇÕES

Figura 1 Diagrama de um Sistema de Comunicação Digital.....	13
Figura 2 Espalhamento de Rayleigh.....	19
Figura 3 Atenuação x Comprimento de Onda.....	20
Figura 4 Dispersão Cromática.....	21
Figura 5 a) Sinal transmitido; b) Sinal com dispersão cromática, mas com pulsos ainda distinguíveis; c) Sinal com interferência inter-simbólica gerando erros de bit.	22
Figura 6 Dispersão de Modo de Polarização.....	23
Figura 7 Sistema WDM.....	24
Figura 8 Transceivers Ópticos.....	26
Figura 9 Multiplexação na frequência.....	26
Figura 10 Análise de Padrão Olho.....	28
Figura 11 Curva de um OTDR.....	29
Figura 12 Receptor de Filtro Binário Casado.....	32
Figura 13 Funções Densidade de Probabilidade de y	34
Figura 14 BER em uma transmissão na banda base.....	35
Figura 15 Distribuição Binomial.....	38
Figura 16 Distribuição Binomial Acumulada.....	38
Figura 17 Tempo de Teste x Nível de Confiança.....	40
Figura 18 Kit de Desenvolvimento SP605.....	42
Figura 19 Arquitetura funcional do BERT.....	44
Figura 20 BERT Serial - Esquema Básico.....	49
Figura 21 LFSR para diferentes PRBS.....	50
Figura 22 Esquema Gerador de PRBS com inserção de erro, <i>slip</i> , e escolha de padrão.....	51
Figura 23 Detector de PRBS.....	52
Figura 24 Detector de perda de sincronismo.....	54
Figura 25 LFSR com $n=3$	55
Figura 26 Simulação de um PRBS-7.....	56
Figura 27 Inserção de erro e <i>slip</i>	57
Figura 28 <i>Transceiver</i> com sequência para gerar PRBS-3.....	58
Figura 29 Topo de <i>design</i> da entidade PRBS paralelo.....	59
Figura 30 PRBS-7 paralelo.....	61
Figura 31 Configuração da interface do <i>transceiver</i>	64
Figura 32 Resumo das configurações do <i>transceiver</i>	64
Figura 33 Estrutura de <i>clocks</i>	65
Figura 34 Interface LUA.....	66
Figura 35 Topo do <i>design</i> do <i>Test Set</i>	68
Figura 36 Entidade <i>Test Set</i>	69
Figura 37 Testes sem fibra óptica.....	70

LISTA DE TABELAS

Tabela 1 Comparação Entre Fibras Monomodo e Multimodo	17
Tabela 2 Transceivers Ópticos	25
Tabela 3 Estimativa de Tempo para uma BER = 10^{-12} e NC = 95%	40
Tabela 4 Características do XC6SLX45T	41
Tabela 5 Recomendações de padrões de PRBS.....	43
Tabela 6 Geração do PRBS-3	55
Tabela 7 Tabela de testes.....	71
Tabela 8 Comparação entre <i>Test Sets</i> comercial e do projeto	72

LISTA DE ABREVIATURAS

BER: *Bit Error Rate*

BERT: *Bit Error Rate Tester*

CD: *Chromatic Dispersion*

CDR: *Clock and Data Recovery*

CFP: *C Form-factor Pluggable*

CML: *Common Mode Logic*

DSP: *Digital Signal Processor*

DUT: *Device Under Test*

FPGA: *Field-programmable Gate Array*

ITU: *International Telecommunication Union*

LED: *Light Emitting Diode*

LFSR: *Linear Feedback Shift Register*

MGT: *Multi-Gigabit Transceiver*

NRZ: *Non-return to Zero*

OSA: *Optical Spectrum Analyser*

OSNR : *Optical Signal-to-Noise Ratio*

OTDR : *Optical Time-Domain Reflectometer*

PMD: *Polarization Mode Dispersion*

PRBS: *Pseudo Random Bit Sequences*

QSFP: *Quad Small Form-factor Pluggable*

SDH: *Synchronous Digital Hierarchy*

SFP: *Small Form-factor Pluggable*

SNR: *Signal-to-Noise Ratio*

TDM : *Time-division Multiplexing*

VHDL: *VHSIC Hardware Description Language*

WDM : *Wavelength-division Multiplexing*

1 INTRODUÇÃO

Este projeto de diplomação trata do desenvolvimento de um equipamento de teste de baixo custo para se utilizar em sistemas de comunicação óptica de até 2,5Gbps. Para isto, serão abordados principalmente tópicos sobre comunicações ópticas, medição de taxa erro de *bit* (BER) e o desenvolvimento de hardware em circuitos integrados de lógica programável.

1.1 SISTEMAS DE COMUNICAÇÃO E A BER

Um sistema de comunicação digital, óptico ou não, no seu modelo mais simples, é formado por um transmissor, um canal de transmissão e um receptor. O transmissor transforma a informação (sequência de *bits*) que se deseja transmitir para que ela se ajuste ao tipo de canal utilizado e a envia. O receptor recebe a transmissão de canal e recupera a informação original transmitida como é mostrado na Figura 1.

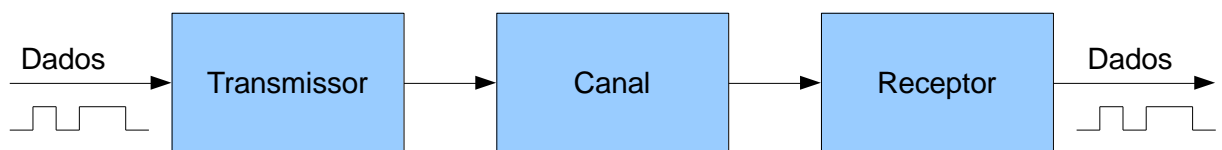


Figura 1 Diagrama de um Sistema de Comunicação Digital

O canal de comunicação é o meio físico pelo qual os dados são enviados do transmissor ao receptor, podendo ele ser o ar, cabos de cobre, fibra óptica, entre outros. Uma característica de todo tipo de canal é que ele pode causar distorções no sinal transmitido podendo corromper o sinal gerando erros na transmissão. Tendo como o foco deste trabalho é em comunicações ópticas, serão descritos alguns efeitos que ocorrem na fibra óptica, e.g. dispersão cromática, atenuação por absorção, dispersão de modo de polarização; que podem gerar erros de transmissão.

O transmissor e o receptor também podem ser uma fonte de distorção no sinal de um sistema de comunicação digital. Conforme essas interfaces vão aumentando de complexidade e trabalhando a taxas de dados mais rápidas, mais susceptíveis a problemas temporização (*jitter*) e a interferência devido a ruídos de alimentação.

Assim, nota-se a necessidade de determinar a taxa de erro de bit (BER), i.e. , o número de bits errados dividido pelo número total de bits transmitidos, para determinar a qualidade geral do sistema de comunicação.

1.2 MOTIVAÇÃO E OBJETIVOS

Com o aumento de complexidade tecnológica advinda do crescente aumento das taxas de transmissão de dados observado no mercado, equipamentos de testes ficam cada vez mais caros, gerando um grande impacto nos custos de produção e desenvolvimento de produtos de alto nível tecnológico. Assim, este trabalho propõe o desenvolvimento de uma solução de baixo custo, utilizando um *kit* de desenvolvimento, mas com o foco em modularidade, de tal maneira que tal projeto poderia, futuramente, ser usado para outras plataformas.

Também é motivação um maior aprendizado de uma linguagem de descrição de *hardware* (VHDL), na qual será desenvolvida o projeto; o estudo e utilização de interfaces de alta velocidade e o estudo de sistemas de comunicações ópticas, assim obtendo uma grande contribuição para a formação de engenheiro eletricista.

A seguir são delineados os tópicos que se tem como objetivo do trabalho:

- Desenvolver um equipamento de teste para fibra óptica de baixo custo, com taxa de bit de 2,5Gbps;
- Desenvolvimento de um sistema modular, a fim de ser possível sua expansão para outros projetos;

- Descrever efeitos na fibra óptica e os sistemas de multiplexação por comprimento de onda (WDM);
- Realizar um estudo da BER;
- Desenvolver uma interface com o usuário com a qual seja possível a aquisição da BER.

1.3 ORGANIZAÇÃO

Este trabalho está dividido em 6 capítulos. Este primeiro apresenta uma introdução, abordando o básico de um sistema de comunicação, a motivação e os objetivos do trabalho.

No capítulo 2, é dedicado a uma análise teórica sobre fibras ópticas, ao tipo de sistema ao qual é voltado o trabalho e a alguns tipos de equipamentos de teste.

O capítulo 3 fala sobre a taxa de erro de bit (BER) e especifica o projeto de equipamento de teste a ser desenvolvido.

No capítulo 4 será detalhado o desenvolvimento do equipamento de teste (*Test Set*) projetado.

No capítulo 5 são apresentados os testes realizados e resultados obtidos deste trabalho.

O capítulo 6 faz a conclusão do trabalho.

2 CONTEXTO DE SISTEMAS DE FIBRA ÓPTICA

Os sistemas de telecomunicações vem tendo um crescente aumento em sua taxa de transmissão de dados, fazendo ser necessário o surgimento de novas tecnologias para suprir este aumento. A fibra óptica passou a ser um dos principais meios para esta expansão a partir do momento que foram sendo desenvolvidos sistemas WDM, possibilitando o transporte de diferentes canais de dados pela mesma fibra utilizando comprimentos de onda diferentes.

Assim, neste capítulo será discutida a base das comunicações ópticas com foco em sistemas de transporte de dados, e.g. sistemas WDM. Primeiro, será feito um panorama geral sobre a fibra óptica, descrevendo suas vantagens e os efeitos que nela ocorrem. Em seguida, serão caracterizados um sistema de transporte WDM, suas interfaces ópticas e as necessidades de teste para tal sistema.

2.1 A FIBRA ÓPTICA

Um sistema de comunicação óptico tem como princípio transmitir um sinal através de uma fibra óptica para um receptor distante, convertendo um sinal elétrico para o domínio óptico e o convertendo de volta a um sinal elétrico no seu receptor (LAFERRIÈRE, 2011). Dentre as vantagens da comunicação por fibra óptica em relação à transmissão por cabos de cobre ou por rádio temos:

- O sinal pode ser enviado a longas distâncias, chegando a 200 km sem necessidade regeneração do sinal;
- A transmissão não é sensível a perturbações eletromagnéticas e também é praticamente insensível a interferências de radiofrequência;

- A fibra possui uma largura de banda superior a cabos de cobre ou coaxiais, e possui recursos para um vasto aumento dessa banda, por exemplo, sistemas de WDM;
- Possui um longo tempo de vida, sendo maior que 25 anos;
- Um cabo de fibra óptica é muito leve e pequeno, podendo conter, por exemplo, 150 fibras em um único cabo.

Em contrapartida, temos que o custo de sua instalação, apesar de estar caindo, permanece alto; com frequência são necessários equipamentos de teste de alto custo, como analisadores de padrão olho, reflectômetro óptico no domínio tempo, analisador de espectro óptico, entre outros. Também, por se tratar de um material frágil mecanicamente, as fibras instaladas estão sujeitas a ação de animais, e.g. pássaros que fazem seus ninhos próximos a cabos de fibras, ou roedores que usam pedaços expostos de fibra para afiar os dentes, podendo danificar os cabos.

As fibras ópticas podem ser divididas em dois grandes grupos: as fibras multimodo e as fibras monomodo.

A Tabela 1 mostra uma comparação qualitativa entre as características de cada um destes tipos.

Tabela 1 Comparação Entre Fibras Monomodo e Multimodo

	Monomodo	Multimodo
Custo da fibra	Médio	Alto
Equipamento de Transmissão	Diodo Laser (maior custo)	LED (baixo custo)
Atenuação	Baixa	Alta
Comprimentos de Onda de Transmissão	1260 a 1650 nm	850 a 1300 nm
Uso	Maior complexidade de conexão	Conexões mas simples
Distâncias Alcançadas	Redes de curto, médio e longo alcance (acima de 200 km)	Redes locais (menos de 2 km)
Largura de Banda	Praticamente ilimitada utilizando multiplexação (maior que 1 Tbps)	Limitada (máximo de 100 Gbps em distâncias muito curtas)

Tendo como foco sistemas de comunicação para transporte de dados, neste projeto será usada a fibra óptica monomodo devido a sua maior capacidade de banda e de alcance.

Nos itens seguintes, são descritos os efeitos na fibra óptica monomodo ao ser feita uma transmissão.

2.1.1 ATENUAÇÃO

A atenuação das fibras ópticas é geralmente expressa em decibéis ou decibéis por unidade de comprimento (dB/km), seguindo a relação da Eq. (1) .

$$\alpha_{dB}(dB) = \alpha \left(\frac{dB}{km} \right) \cdot L (km) = 10 \cdot \log \left(\frac{P_{in}}{P_{out}} \right) \quad (1)$$

Existem diversos mecanismos causadores de atenuação, sendo os principais deles :

- Absorção;
- Espalhamento de Rayleigh.

A **absorção** é um efeito que resulta na dissipação em forma de calor de alguma fração da potência óptica, sendo diretamente relacionada à composição material da fibra de sílica (COSTA).

Há três grandes fatores para a ocorrência de absorção na fibra óptica. Em primeiro lugar, a ressonância eletrônica ao se aproximar dos comprimentos de onda ultravioleta, gerando absorção quando um fóton reage com um elétron da estrutura eletrônica da fibra, excitando-o da banda de valência para uma banda de nível superior. Em segundo lugar, tem-se a absorção do infravermelho, resultante da interação do campo eletromagnético com a estrutura atômica da fibra. Por fim, a presença de oxidrila dissolvida no vidro (íon OH-) causa absorção por ter picos de ressonância devido à sua frequência fundamental na sílica ocorrer a 2700 nm, possuindo harmônicos em 1380, 950 e 720 nm.

O **espalhamento de Rayleigh** é um processo no qual a luz que está sendo transmitida encontra uma impureza na fibra e se “choca” nela, fazendo com que a luz se disperse. Assim, a luz dispersada pode sair do núcleo da fibra ou até retornar pela fibra, como mostra a Figura

2. A Eq. (2) mostra a relação de atenuação causada pelo espalhamento de Rayleigh, sendo C uma constante entre 0,7 e 0,9 (dB/km). μm^4 , e γ o comprimento de onda.

$$\alpha_R(\text{dB}/\text{km}) = C/\gamma^4 \quad (2)$$

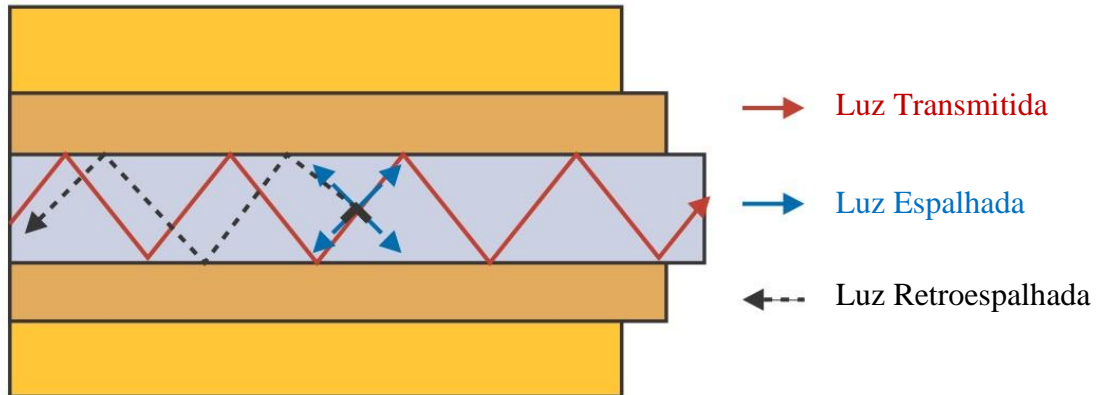


Figura 2 Espalhamento de Rayleigh

A partir da caracterização desses efeitos pode-se traçar um perfil de atenuação geral do espectro óptico. A Figura 3 apresenta a atenuação em função do comprimento de onda do sinal óptico transmitido, destacando os efeitos acima descritos e suas consequências, bem como mostra as bandas de comprimento de onda usadas para comunicações ópticas. As bandas utilizadas para médio e longo alcance são a Banda C (de 1530nm a 1565nm) e a Banda L (de 1565nm a 1625nm).

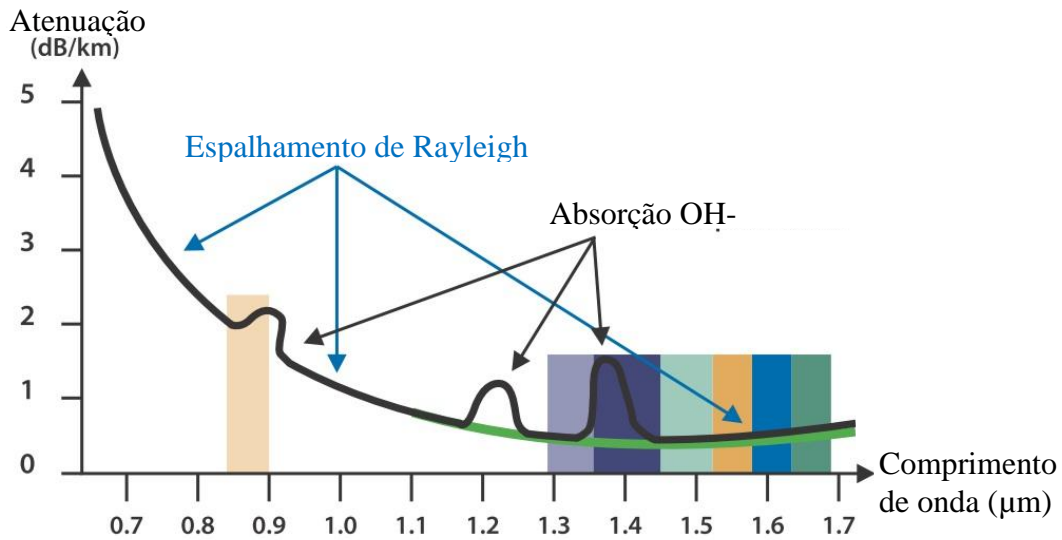


Figura 3 Atenuação x Comprimento de Onda

2.1.2 DISPERSÃO CROMÁTICA (CD)

A dispersão cromática é causada pela diferença da velocidade de propagação das componentes espectrais do pulso óptico do diodo laser, que apresenta uma largura espectral finita. As diferentes velocidades de propagação alargam o pulso de luz que chega ao receptor, reduzindo a relação sinal-ruído e aumentando a taxa de erro de bit pela interferência intersimbólica. Na Figura 4 está representado o alargamento do pulso óptico devido à dispersão cromática.

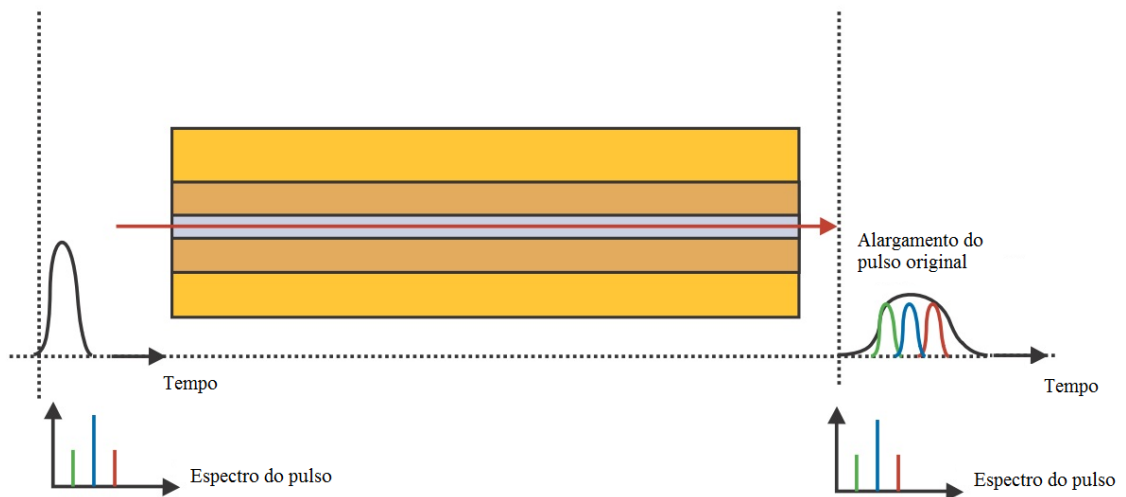


Figura 4 Dispersão Cromática

Este é um dos principais efeitos de dispersão na fibra quando se trata de sistemas com taxas de transferência inferiores a 10Gbps, limitando o alcance máximo de um enlace. Para contornar este problema são utilizados componentes chamados de compensadores de dispersão cromática, que realizam a função inversa que a realizada pela dispersão cromática, reajustando o sinal óptico. A Figura 5 mostra um sinal com interferência inter-simbólica devido à dispersão cromática.

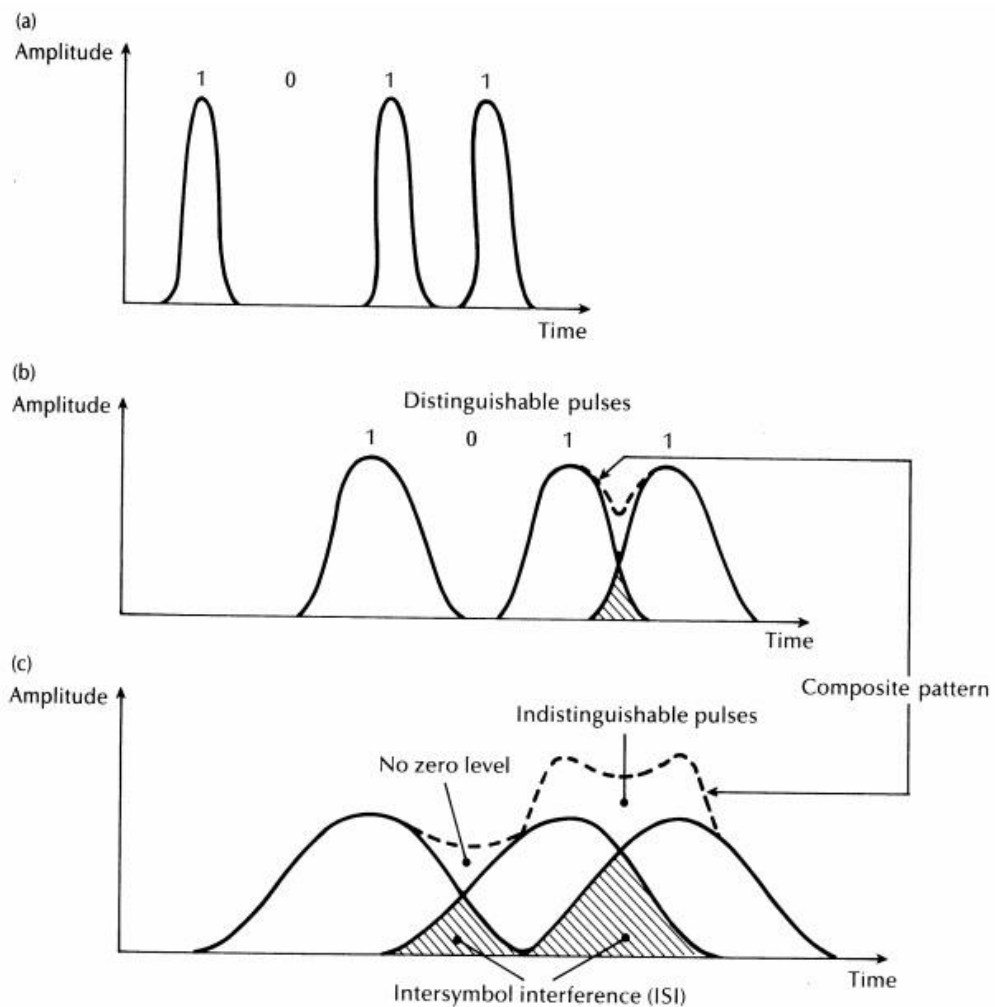


Figura 5 a) Sinal transmitido; b) Sinal com dispersão cromática, mas com pulsos ainda distinguíveis; c) Sinal com interferência inter-simbólica gerando erros de bit.

2.1.3 DISPERSÃO DE MODO DE POLARIZAÇÃO (PMD)

A PMD é uma propriedade resultante de imperfeições na fibra óptica. A energia de um sinal óptico é polarizada em dois eixos perpendiculares conforme mostrado na Figura 6. Devido às imperfeições na fibra, que nunca é exatamente circular e pode, inclusive, estar achatada devido a estresses externos aplicados (ação de variação de temperatura, curvaturas, pressão), cada modo de polarização possuirá uma velocidade de propagação diferente. Assim, a PMD

resulta no alargamento do pulso óptico transmitido conforme este passa pela fibra, aumentando a taxa de erro de bit do sistema.



Figura 6 Dispersão de Modo de Polarização

A PMD passa a ser um efeito de dispersão de maior ordem ao se trabalhar com taxas de transferências acima de 10Gbps, limitando a taxa de bit máxima do sistema.

2.2 SISTEMAS WDM

A tecnologia WDM (*Wavelength Division Multiplexing*) é considerada um grande avanço nas telecomunicações, pois é capaz de, em uma fibra já instalada, aumentar o número de canais que nela trafegam através de multiplexação de comprimentos de onda, i. e. adicionando um canal de comprimento de onda λ diferente do já existente. Isso é uma característica muito interessante, visto que já existe uma grande rede de fibras instaladas pelo mundo e seria inviável ter que instalar uma nova fibra de dezenas ou centenas de quilômetros a cada novo *link* que se deseja instalar. Hoje em dia, com o avanço da tecnologia já se pode chegar a até o extremo de 160 comprimentos de onda multiplexados em uma mesma fibra, sendo que sistemas de 8 a 16 canais são comuns em telecomunicações.

Outro aspecto importante de um sistema WDM é a sua modularidade. Este tipo de rede é projetado de tal forma que, de acordo com a necessidade do cliente, mais canais sejam adicionadas a um sistema já projetado e em funcionamento. Por exemplo, tendo um sistema com 8 canais de SDH STM-64 multiplexados e em funcionamento, é possível, se necessário, fazer a adição de novos canais sem grande alteração do sistema, sendo uma solução muito interessante para um planejamento de longo prazo, onde a demanda de taxa de transferência certamente aumentará.

A transparência a protocolos e a taxa de transferência também faz com que os sistemas WDM sejam uma solução robusta para sistemas de telecomunicação. Por se tratar de um sistema a nível físico, é possível multiplexar em uma mesma fibra diferentes protocolos com diferentes taxas de transferência, i. e. na mesma fibra podemos ter canais de STM-64 e canais de Ethernet e outros protocolos síncronos ou assíncronos, desde que o sistema WDM esteja projetado para que o link óptico funcione corretamente para a distância necessária.

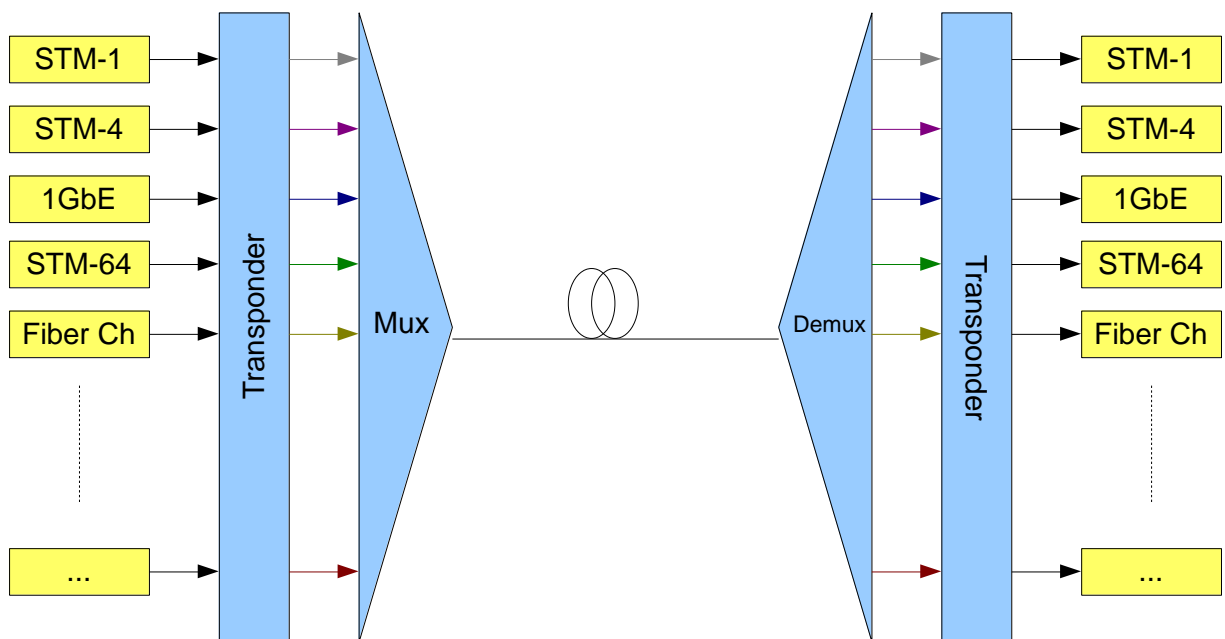


Figura 7 Sistema WDM

A Figura 7 ilustra um sistema WDM simples. Nas duas extremidades temos as interfaces de usuário, que são de diversos protocolos e taxas de dados. Essas interfaces de usuário passam por um dispositivo *transponder*, que faz uma conversão de comprimento de onda para que seja possível realizar a multiplexação dos canais. Como as interfaces de usuário trabalham em sua maioria nos comprimentos de onda de 1310 nm e 1550 nm, eles são considerados dispositivos sem “cor”. Para que possam ser multiplexados, cada um deve ser convertido a uma “cor”, um comprimento de onda, diferente e que esteja dentro das bandas de trabalho do WDM, que estão definidas pelas normas ITU-T 694.2 e ITU-T 694.1. No *transponder* estão os dispositivos ópticos que fazem a transmissão e recepção dos sinais, chamados *transceivers* ópticos.

Os *transceivers* ópticos são componentes dos mais variados cuja função básica é realizar a conversão de um sinal óptico para um sinal elétrico. Cada aplicação possui um *transceiver* óptico de especificações compatível às necessidades, logo, a cada projeto deve-se estudar o tipo de *transceiver* óptico a ser utilizado. Entre os *transceivers* mais utilizados estão os SFP (*small form-factor pluggable transceiver*), que podem chegar a uma taxa de transferência de até 4.5 Gbps, e pode ser encontrado sem “cor” (comprimentos de onda 850 nm, 1310 nm e 1510 nm), ou com uma cor definida, sendo estes aplicados em sistemas WDM. A Tabela 2 faz uma relação de alguns tipos de *transceivers* ópticos produzidos pela FINISAR. Na Figura 8 estão ilustrados estes *transceivers*.

Tabela 2 Transceivers Ópticos (FINISAR, 2012)

Transceiver	Taxa de dados (Gb/s)	Alcance (km)	Tamanho
SFP	Até 4,25	Até 160	Pequeno
SFP+	Até 14,025	Até 40	Pequeno
XFP	Até 11,3	Até 120	Médio
300 PIN	Até 44,6	Até 80	Grande
QSFP	Até 40	Até 10	Médio
CFP	De 39,8 até 103,1	Até 10	Grande

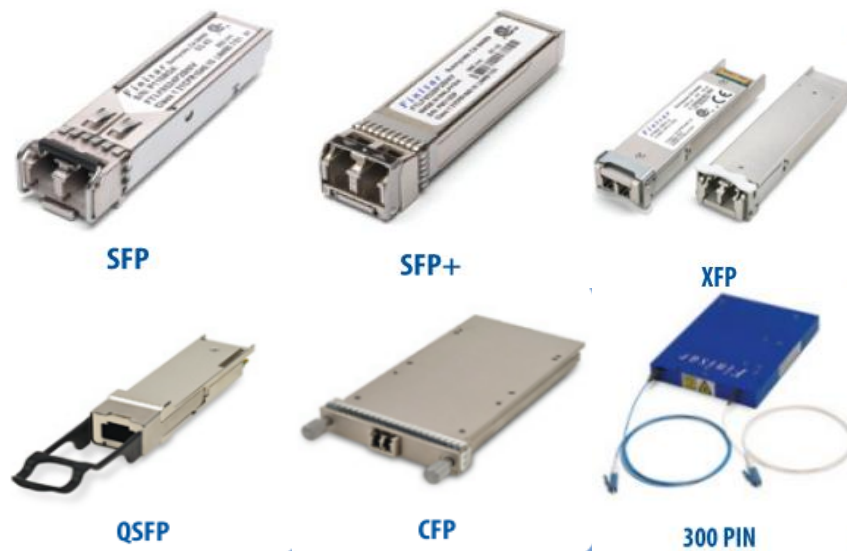


Figura 8 Transceivers Ópticos

Com os comprimentos de onda convertidos, um multiplexador óptico “junta” todos os comprimentos de onda em uma só fibra, i. e., é feita uma multiplexação no domínio frequência. Assim, cada canal estará trafegando no mesmo meio físico ao mesmo tempo, contrário a um sistema de multiplexação por faixas de tempo (TDM), porém com cada canal ocupando pequenas faixas no domínio frequência, como visto na Figura 9.

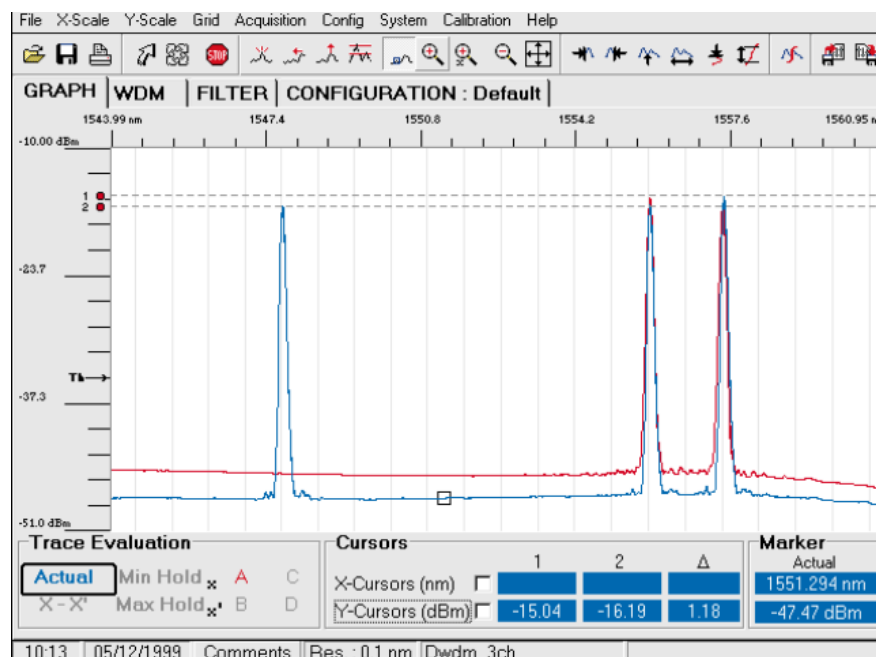


Figura 9 Multiplexação na frequência

2.3 TESTES EM SISTEMAS ÓPTICOS

A análise de erros em sistemas ópticos é um ponto crítico tanto na implementação de um sistema, quanto para validar sua instalação e depurar eventuais problemas em um sistema já instalado e para o desenvolvimento de produtos ópticos que necessitam de depuração. Os equipamentos são os mais diversos, variando do mais simples medidor de potência de sinal óptico a um analisador de padrão olho e ao teste de protocolos de comunicação mais avançados. Dentre os maiores fabricantes pode-se citar a JDSU e a Spirent. Aqui, tem-se como objetivo fazer um panorama de alguns tipos de testes mais comuns nos sistemas ópticos.

O analisador de espectro óptico (OSA) é um equipamento que faz a análise do espectro óptico da fibra, i. e. ele mede o nível potência e a relação sinal-ruído óptica (OSNR) da fibra em função do comprimento de onda, sendo um teste muito importante em sistemas WDM para verificar se o sinal chega aos receptores com um nível de potência adequado, se os multiplexadores ópticos estão com um funcionamento correto. A Figura 9 mostra um teste feito com um OSA.

O analisador de padrão olho faz uma análise mais qualitativa do sinal óptico. Observando o “olho” gerado pelo sinal, é possível obter informações sobre a relação sinal-ruído óptica (OSNR), problemas de temporização de *clock jitter* e de *skew* (BREED, 2005). Seu funcionamento é semelhante ao de um osciloscópio, fazendo diversas amostragem do sinal ao passar do tempo e os sobrepondo numa tela, sempre em sincronia de clock, gerando a representação da Figura 10. Nota-se que temos um “olho” formado no centro da figura, sendo que, quanto maior a sua área, melhor será a qualidade do sinal. Também, podem-se tirar as

informações de *jitter* observando as variações do sinal no eixo horizontal e a OSNR a partir das variações do eixo vertical.

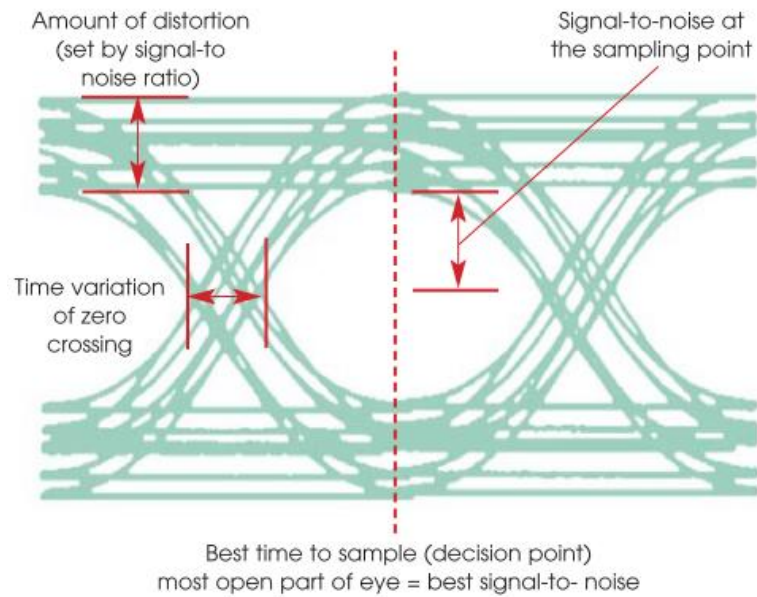


Figura 10 Análise de Padrão Olho

Outro equipamento de teste é o reflectômetro óptico no domínio do tempo (OTDR), que é utilizado para analisar atenuação em fibras ópticas. O OTDR tem a capacidade de medir a atenuação do sinal em distâncias específicas, assim como detectar falhas e emendas das fibras, e suas localizações (ABBADÉ; CAPUTO; 2002). O seu princípio de funcionamento se baseia em transmitir um pulso de luz e fazer a detecção de reflexões deste pulso geradas por imperfeições, conexões e emendas, e calcular a distância de tais eventos em função do tempo em que foi detectada a reflexão. Na Figura 11, temos uma resposta típica de um OTDR. Nota-se que os picos de reflexão estão localizados junto às conexões, fissuras, emendas e ao fim da fibra e que há descontinuidades quando há fusão ou uma curvatura acentuada na fibra.

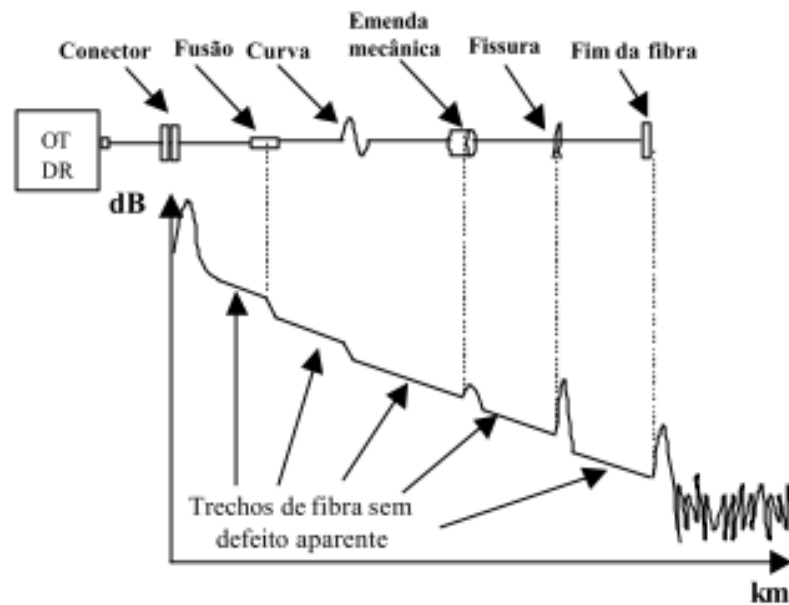


Figura 11 Curva de um OTDR

Outra classe de equipamentos de testes são os medidores de taxa de erro de bit, ou BER, que quantifica a fiabilidade de um sistema como um todo, levando em conta todo componente pelo qual passa o sinal (BREED, 2003). Para determinar a BER, estes equipamentos transmitem uma sequência de bits pseudoaleatória (PRBS), que percorre o sistema e é recuperada pelo próprio equipamento de teste. Sabendo o que foi enviado, o módulo de teste pode identificar erros no sinal recebido, e assim calcular a taxa de erro de bit (BER).

Com isto em vista, fica claro que a tecnologia de sistemas de testes para fibra óptica já é muito avançada e está sempre acompanhando o mais alto nível tecnológico já que são necessários equipamentos de teste para o desenvolvimento de novas tecnologias, porém isso faz com que o custo agregado nestes produtos seja muito grande. Por exemplo, um dispositivo MTS-8000 da JDSU, que é um dispositivo modular, podendo ter diversos *upgrades* para versões de testes diferentes pode variar de US\$60 mil a US\$200 mil. Um analisador de padrão olho pode custar cerca de US\$120 mil. Este custo agregado aos equipamentos, apesar de ser um custo justificável, pode tornar inviável para uma pequena ou média empresa a

aquisição deste tipo de equipamento. Partindo desde ponto, no Capítulo 3 será estudada a *bit error rate*, BER, e suas características, e proposta uma arquitetura para um *bit error rate* tester, BERT, simples e de baixo custo, que possa ser um ponto de partida para alguns testes em fibra óptica para velocidades acima de 622 Mbps, com foco em sistemas de transporte de dados WDM a 2.5 Gbps e para futuros desenvolvimentos de equipamentos de maior complexidade.

3 TAXA DE ERRO DE BIT

Como já mencionado anteriormente, a BER quantifica a confiabilidade de um sistema de comunicações. Fundamentalmente, a BER possui um conceito simples, definido pela Eq. (3).

$$BER = \frac{\text{Erros}}{\text{Total de Bits}} \quad (3)$$

Quanto menor for a BER, menor é a perturbação do sinal, ou seja, melhor é o laço de comunicação. Em sistemas de comunicação, a maior fonte de erro é o canal de comunicação, pois está sujeito a diversos tipos de interferência, conforme discutido. Logo está no canal de comunicação do sistema, a fibra óptica, o foco do teste. Sendo a fibra óptica um meio bem controlado, tem-se considerado que uma fibra com um BER na ordem de 10^{-12} é uma fibra adequada.

3.1 RELAÇÃO ENTRE BER E SNR

O ruído é um dos principais agentes na determinação da BER, logo se torna importante o estudo da relação sinal ruído com a BER. Aqui, será feito o estudo dessa relação num sistema digital de transmissão em banda base.

Na transmissão em banda base, os dados e o *clock* são transmitidos como formas de onda digitais, sendo que se tem uma forma de onda diferente para a transmissão do sinal 1 e 0. Dentre os esquemas de transmissão em banda base, o método comumente usado é o de codificação *non-return-to-zero clock and data recovery* (NRZ CDR), em que os sinais de dados são combinados com o clock e transmitidos, sendo recuperados e desacoplados no receptor. O fato de ser um NRZ indica que tanto o sinal 1 quanto o sinal 0 possuem energia, sendo geralmente o 1, um sinal de tensão positiva, e o sinal 0, uma tensão negativa ou uma tensão inferior ao sinal 1.

Neste tipo de sistema, o receptor deve manter a sincronização fazendo a amostragem dos bits no momento correto e devendo fazer a decisão de qual valor binário o sinal recebido representa. Assumindo que a sincronização é sempre mantida, será discutido o processo de decisão e será feita uma relação da BER para um sistema de transmissão na banda base, com um receptor possuindo um filtro binário casado. Este tipo de filtro altera o formato do sinal recebido sem perder as características necessárias para realizar o processo de decisão, de forma a aumentar a relação sinal-ruído e, em consequência, melhorando a BER do sistema. Estes filtros são utilizados extensivamente em sistemas de comunicação de baixa velocidade, mas este aumento na relação sinal-ruído (SNR) o torna interessante para o desenvolvimento de receptores na ordem de giga-hertz (SAVOJ, RAZAVI; 2001). A Figura 12 mostra a estrutura de um receptor com filtro binário casado.

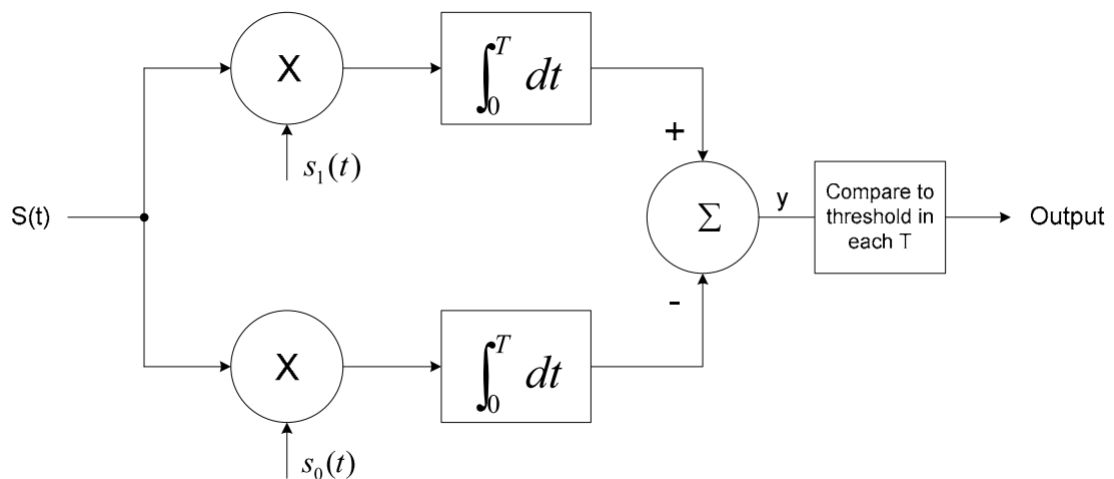


Figura 12 Receptor de Filtro Binário Casado

Este receptor possui dois filtros consistindo em um multiplicador e um integrador. O receptor compara a saída destes dois filtros, sendo um casado ao sinal $s_1(t)$, este sendo o formato de onda do bit 1, i. e. uma tensão positiva, e o outro filtro casado a $s_0(t)$, o sinal relativo ao bit 0, i. e. uma tensão negativa. Por fim, a diferença destes dois filtros gera o sinal y , que é comparado a um valor de *threshold*. No caso de o valor de *threshold* ser 0, o receptor

detecta qual saída dos filtros é a maior, e assim realiza sua decisão: se y é positivo, temos que o filtro casado ao bit 1 possui a maior saída, e teremos a decisão feita como um bit 1; se y é negativo, temos que o filtro casado ao bit 0 possui a maior saída, e teremos a decisão feita como um bit 0.

Pode-se supor que o sinal de entrada no receptor é composto pelo sinal que fora transmitido $s_i(t)$, sendo este determinístico um sinal determinístico, e por uma componente aleatória devido ao ruído branco $n(t)$ (PROAKIS; 2001). Assim, a entrada no comparado é dada pela Eq. (4).

$$y = \int_0^T s_i(t)[s_1(t) - s_0(t)]dt + \int_0^T n(t)[s_1(t) - s_0(t)]dt \quad (4)$$

O valor médio de y será a soma dos valores médios das duas integrais, sendo que a média da segunda integral é zero, devido às características do ruído branco. O valor médio de y é mostrado na Eq. (5)

$$m_y = \int_0^T s_i(t)[s_1(t) - s_0(t)]dt \quad (5)$$

A variância de y é a esperança do quadrado da diferença entre y e sua média, como mostrado na Eq. (6).

$$\sigma_y^2 = E \{ [y - m_y]^2 \} = E \left\{ \int_0^T \int_0^T n(t)n(v)[s_1(t) - s_0(t)][s_1(v) - s_0(v)]dtdv \right\} \quad (6)$$

Considerando que o ruído n é um ruído branco cuja densidade espectral é dada por $G_n(f) = N_0/2$, sua autocorrelação dada por $R_n(t) = N_0\delta(t)/2$ e que $E\{n(t)n(v)\} = R_n(t - v)$, a variância de y pode ser resumida a Eq. (7).

$$\sigma_y^2 = \frac{N_0}{2} \int_0^T [s_1(t) - s_0(t)]^2 dt \quad (7)$$

Conforme pode ser visto a variância de y independe do sinal sendo transmitido, enquanto a média de y varia ao ser enviado um bit 1 ou 0, e assim será definido como m_1 a

média quando o sinal transmitido corresponde ao bit 1 e m_0 no caso do bit 0. Com estas informações tem-se um esboço das funções densidade de probabilidade $p_0(y)$ e $p_1(y)$, dependendo o que está sendo transmitido. Ambas as funções possuem a mesma variância, porém média diferente, seguindo as curvas gaussianas da Figura 13 .

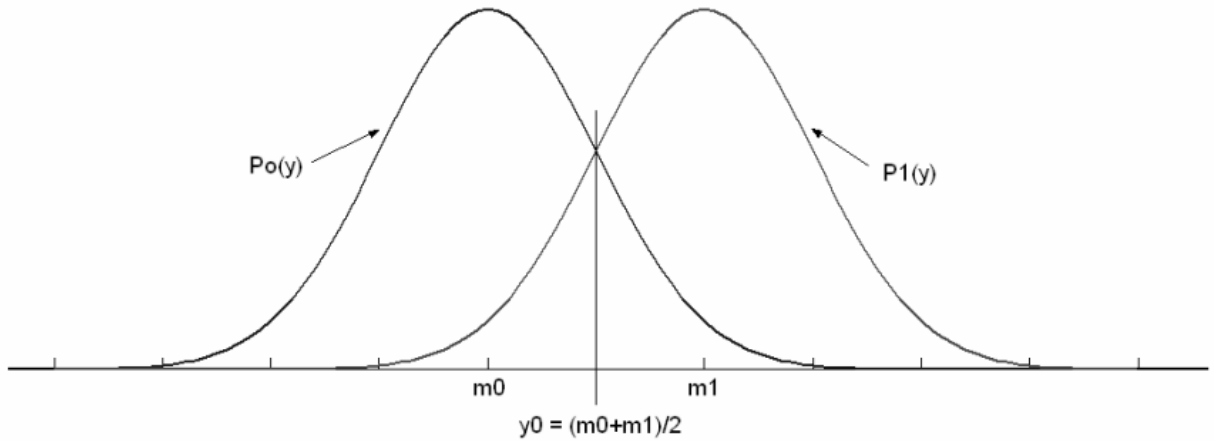


Figura 13 Funções Densidade de Probabilidade de y

O valor y_0 é o valor de y em que as duas densidades de probabilidade se cruzam, sendo que este valor será o valor de *threshold* do comparador, logo, se y for maior que y_0 , temos que $s_1(t)$ é transmitido, caso contrário, $s_0(t)$ é transmitido. As Eq. (8) e Eq. (9) mostram o desenvolvimento para obter o valor de y_0 .

$$y_0 = \frac{m_1 + m_0}{2} = \frac{1}{2} \int_0^T \{s_1(t)[s_1(t) - s_0(t)] + s_0(t)[s_1(t) - s_0(t)]\} dt \quad (8)$$

$$y_0 = \frac{1}{2} \int_0^T s_1(t)^2 - s_0(t)^2 dt = \frac{E_1 - E_0}{2} \quad (9)$$

Pela Eq. (9) chega-se a conclusão que o valor de *threshold* do comparação do receptor é definido pelas energias E_1 e E_0 dos sinais $s_1(t)$ e $s_0(t)$.

A seguir, para determinar a ligação entre a BER e a relação sinal-ruído é necessário determinar a probabilidade de um erro, i. e., a probabilidade de o receptor decidir que o sinal

transmitido é um bit 0 quando o sinal verdadeiro é um bit 1 e vice-versa, que é, por definição, a BER. Considerando que a energia de $s_1(t)$ e $s_0(t)$ são iguais, temos que a probabilidade de um erro é a integral de $p_0(y)$ no intervalo $[y_0, \infty]$, ou a integral de $p_1(y)$ no intervalo $[-\infty, y_0]$. Fazendo a integral anteriormente citada da função $p_0(y)$, que é uma função gaussiana, temos a Eq. (10).

$$P_e = \frac{1}{\sqrt{2\pi}\sigma} \int_{y_0}^{\infty} e^{-\frac{(y-m_0)^2}{2\sigma^2}} dy = Q\left(\sqrt{\frac{E(1-\rho)}{N_0}}\right) \quad (10)$$

A Eq. (10) determina a probabilidade P_e como o resultado de uma função-Q, sendo E a energia média dos dois sinais, ρ o coeficiente de correlação dos dois sinais e N_0 a energia de ruído do sinal. Em estatística, uma função-Q é uma maneira de expressar probabilidades da *right-tail* de uma variável aleatória de distribuição gaussiana (SCOTT, NOWAK, 2003).

Assim pode-se ver que a P_e , ou BER, diminui conforme se aumenta a relação sinal-ruído $\frac{E}{N_0}$ ou diminuimos a correlação dos sinais. Tendo como exemplo os casos de $\rho = 1$, $\rho = 0$ e $\rho = -1$, pode-se chegar à Figura 14.

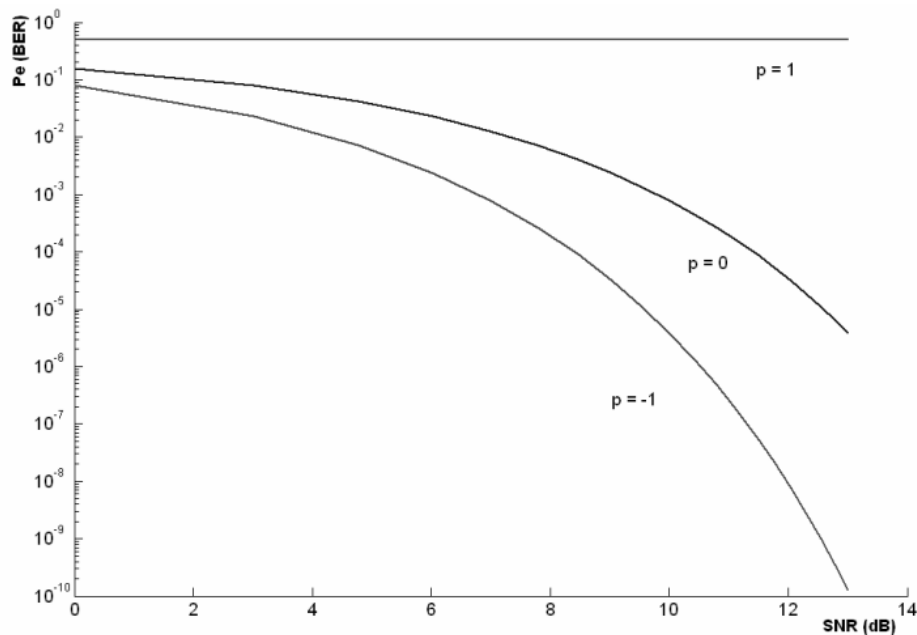


Figura 14 BER em uma transmissão na banda base

Fica claro que, conforme aumentamos a SNR, menor é a BER, ou seja, menor a probabilidade de ocorrência de erro. Também, nota-se que para $\rho = 1$, a BER é constante a 0,5, o que é facilmente compreensível, já que neste caso, $s_1(t) = s_0(t)$, então em 50% dos casos haverá erro de decisão.

3.2 MEDIÇÃO E CONFIABILIDADE DA BER

Todo tipo de BERT se baseia em um padrão de teste conhecido, por exemplo, PRBS, enviado ao *device under test*, DUT, e esses padrões são comparados bit a bit na saída do DUT. O processo de comparação é sincronizado no começo da realização da medida.

Já tendo claro qual é o conceito por trás da BER, é importante determinar qual deve ser a quantidade de bits enviados necessários para que se obtenha um resultado com um nível de confiança o mais alto possível. Assim, deve ser possível estimar o tempo de teste necessário para que seja determinada uma BER do sistema que corresponde fielmente às características deste sistema.

Normalmente, sistemas de comunicação digital tem uma especificação mínima de qual deve ser a probabilidade de erro $P(k)$ do sistema. $P(k)$ pode ser estimada através do cálculo da razão entre os erros detectados (k) e o total de bits transmitidos (n), sendo esta estimativa representada por $P'(k)$, na Eq. (11). O valor da estimativa aumenta sua precisão conforme se aumenta o número de bits transmitidos.

$$P'(k) = \frac{k}{n} \xrightarrow{n \rightarrow \infty} P(k) \quad (11)$$

Para obter-se o real valor da BER, ou seja, $P(k)$ do sistema, seria necessário um valor infinito de bits transmitidos, correspondendo a um tempo de testes infinito. Sendo isso

impossível, é necessário determinar o tempo mínimo de teste para que tenhamos um nível de confiança alto, por exemplo, 95%, para a BER que desejamos atender.

Aplicando-se os conceitos de nível de confiança estatístico na estimativa de $P(e)$, tem-se que o nível de confiança estatístico é a probabilidade, baseada em e erros detectados a partir de n bits transmitidos, que a $P(e)$ atual é melhor que um nível γ especificado, sendo este a BER que se deseja alcançar (MAXIM, 2007). Matematicamente, isso se expressa pela Eq. (12).

$$NC = P[P(e) < \gamma \mid e, n] \quad (12)$$

Uma vez que o nível de confiança NC for computado, pode ser dito que, após a realização de um teste, foi concluído que a probabilidade de erro $P(e)$ é melhor que γ com um nível de confiança NC . Também pode ser dito que, no caso de repetição de testes, espera-se que em NC por cento dos testes a probabilidade de erro $P'(e)$ será melhor que a BER γ especificada.

O cálculo do nível de confiança é baseado em uma distribuição binomial, representada pela Eq. (13).

$$P_n(k) = \binom{n}{k} p^k q^{n-k}, \text{ onde } \binom{n}{k} = \frac{n!}{k!(n-k)!} \quad (13)$$

A Eq. (13) descreve a probabilidade de que k eventos, i. e., erros de bit, ocorram em n tentativas, i. e., bits transmitidos, sendo p a probabilidade da ocorrência de um erro em uma única tentativa e q a probabilidade da não ocorrência de erro em uma única tentativa, chegando à conclusão que $p + q = 1$. A Figura 15 mostra um exemplo de distribuição binomial, onde, para termos de cálculo de nível de confiança da BER, n é o número de bits transmitidos, p é a BER e $P_n(k)$ é a probabilidade de que k erros acontecerão.

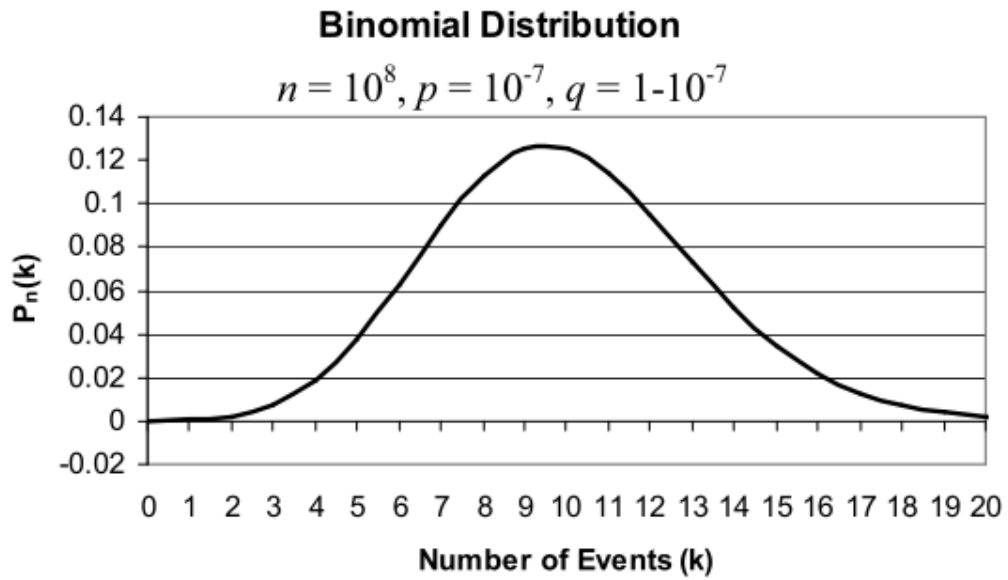


Figura 15 Distribuição Binomial

Tendo interesse na probabilidade de que ocorrerão N ou menos erros em n bits transmitidos, é necessário utilizar a distribuição binomial acumulada, descrita pela Eq. (14) e ilustrada na Figura 16.

$$P(\varepsilon < N) = \sum_{k=0}^N P_n(k) = \sum_{k=0}^N \left(\frac{n!}{k!(n-k)!} \right) p^k q^{n-k} \quad (14)$$

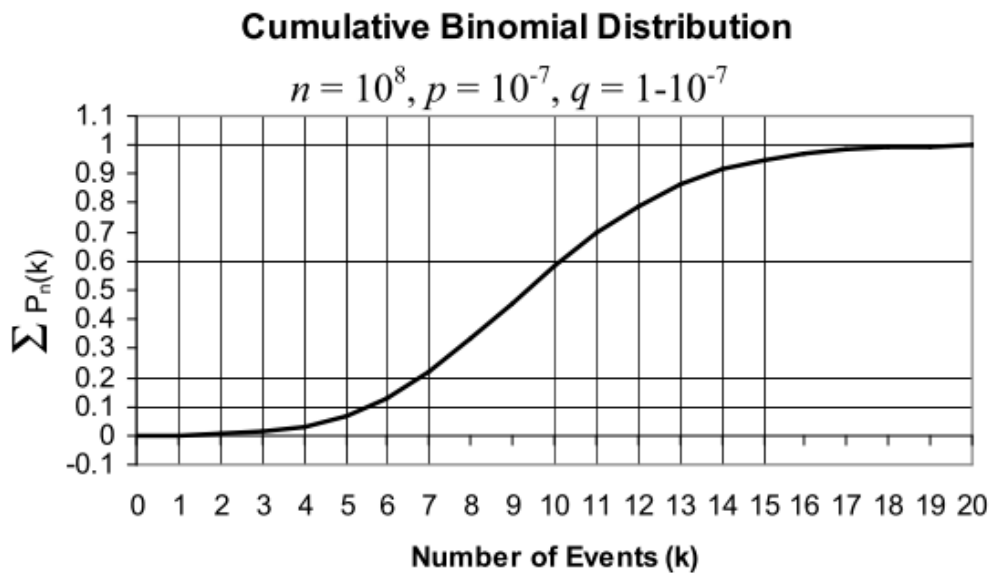


Figura 16 Distribuição Binomial Acumulada

A partir da função distribuição binomial acumulada, o cálculo do nível de confiança é definido na Eq. (15).

$$NC = 1 - \sum_{k=0}^N P_n(k) = 1 - \sum_{k=0}^N \left(\frac{n!}{k!(n-k)!} \right) p^k q^{n-k} \quad (15)$$

Tipicamente, para o cálculo do nível de confiança da BER, primeiro se faz uma hipótese para a probabilidade p de ocorrer um erro de bit na transmissão de um só bit, que será representada como p_h , e é feita a escolha do nível de confiança desejado. Geralmente, essas escolhas são feitas com base nas especificações limite, sendo que neste caso será usado como exemplo um $p_h = 10^{-12}$ e um $NC = 95\%$. Utilizando o Teorema de Poisson (PAPOULIS, 1984) da Eq. (16), é possível realizar uma simplificação da Eq. (15), e por fim chegar a uma expressão para determinar o número n de bits transmitidos necessários, representada na Eq. (17) (MAXIM, 2007).

$$P_n(k) = \left(\frac{n!}{k!(n-k)!} \right) p^k q^{n-k} \xrightarrow{n \rightarrow \infty} \frac{(np)^k}{k!} e^{-np} \quad (16)$$

$$n = -\frac{\ln(1 - NC)}{p} + \frac{\ln\left(\sum_{k=0}^N \frac{(np)^k}{k!}\right)}{p} \quad (17)$$

Agora é possível determinar a quantidade de bits transmitidos necessários e o tempo de teste em função da taxa de transmissão de bit para realizar a medida da BER no exemplo anterior. A Tabela 3 condensa os resultados para uma quantidade de erros de bit N variando de 0 a 4, sendo consideradas duas taxas de bits: 622 Mbps e 2,5 Gbps. A Figura 17 ilustra a relação entre o tempo de teste necessário em função do nível de confiança desejado, sendo que esta é uma relação proporcional a $-\ln(1 - NC)$.

Tabela 3 Estimativa de Tempo para uma BER = 10^{-12} e NC = 95%

Erros de Bit N	Bits transmitidos necessários	Tempo de teste @ 622 Mbps	Tempo de teste @ 2,5 Gbps
0	$2,99 * 10^{12}$	80 min	20 min
1	$4,74 * 10^{12}$	127 min	32 min
2	$6,30 * 10^{12}$	169 min	42 min
3	$7,80 * 10^{12}$	209 min	52 min
4	$9,15 * 10^{12}$	245 min	61 min

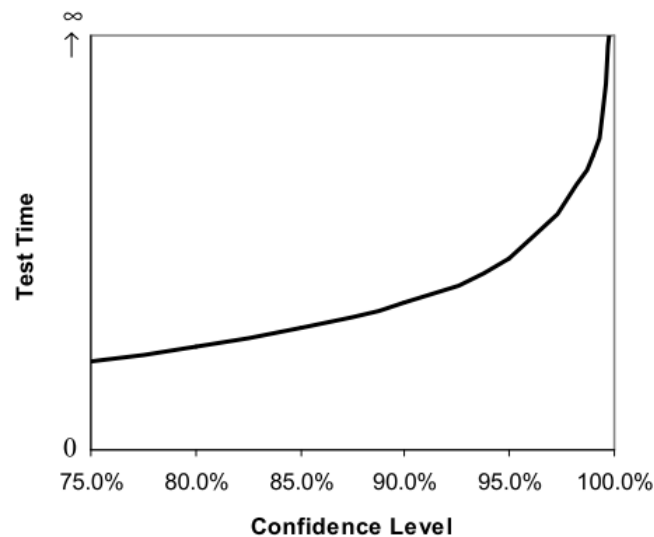


Figura 17 Tempo de Teste x Nível de Confiança

Interpretando a Tabela 3 se chega à conclusão de que, a uma taxa de bit de 2,5 Gbps, é necessário um teste sem erros por aproximadamente 20 minutos, sem contar o tempo de sincronização inicial do sistema de testes, para obter uma BER de 10^{-12} a um nível de confiança de 95%. O mesmo pode ser feito analogamente para os outros valores da Tabela 3, assim podendo estimar o tempo necessário para rodar um teste e podendo definir se este teste é confiável.

3.3 ANÁLISE DE HARDWARE E ESPECIFICAÇÃO

Já tendo discutido anteriormente a importância da realização de testes em sistemas ópticos e também tendo discutido sobre a BER, qual sua relação com a qualidade do sinal sendo transmitido e também o quão confiável pode ser esse tipo de medida, será definido o sistema de hardware a ser desenvolvido para medir a BER em fibras ópticas.

Primeiramente, é necessário determinar as limitações do hardware disponível para realização do projeto. Características como os tipos de interface de alta-velocidade, interface óptica e tipo de comunicação a ser feita com um computador devem ser analisadas. Com essas características pode ser definido o limite a que o hardware pode trabalhar, e assim serão observadas as recomendações da ITU-T, divisão da *International Telecommunication Union* responsável por padronizações, que determinam qual o padrão de sinal a ser utilizado em função da taxa de bit do teste a ser realizado.

O hardware sob o qual será desenvolvido o projeto é o kit de desenvolvimento SP605 da Xilinx, uma das grandes empresas que fabricam soluções de lógica programável. Neste kit temos um FPGA da família Spartan-6, uma interface óptica por SFP, uma interface USB, e outros periféricos e dispositivos (XILINX, 2011a) que são de menor importância para o projeto.

A família de FPGA Spartan-6 é uma linha de FPGA de baixo consumo e custo, voltada para aplicações sensíveis ao custo, possuindo até 150 células lógicas, fatias do chip voltadas para DSP e *transceivers* de até 3,2 Gbps. O FPGA do kit SP605 é o Spartan-6 XC6SLX45T-3C, cujas características estão na Tabela 4 (XILINX, 2011b).

Tabela 4 Características do XC6SLX45T

	XC6SLX45T
Células Lógicas	43661
DSP <i>Slices</i>	58
GTP <i>Transceivers</i>	4
Bancos de I/O	4
Máx. de I/O	296

No kit de desenvolvimento, a presença dos *transceivers* e da conexão de um deles a uma interface óptica do tipo SFP torna possível o desenvolvimento de um projeto que teste sistemas a até 2,5 Gbps, velocidade limitada pelos SFP disponíveis, sendo que o *transceiver* da FPGA pode trafegar além desta taxa de bit. A Figura 18 mostra o kit de desenvolvimento, sendo destacadas as interfaces óticas e USB, e a FPGA.

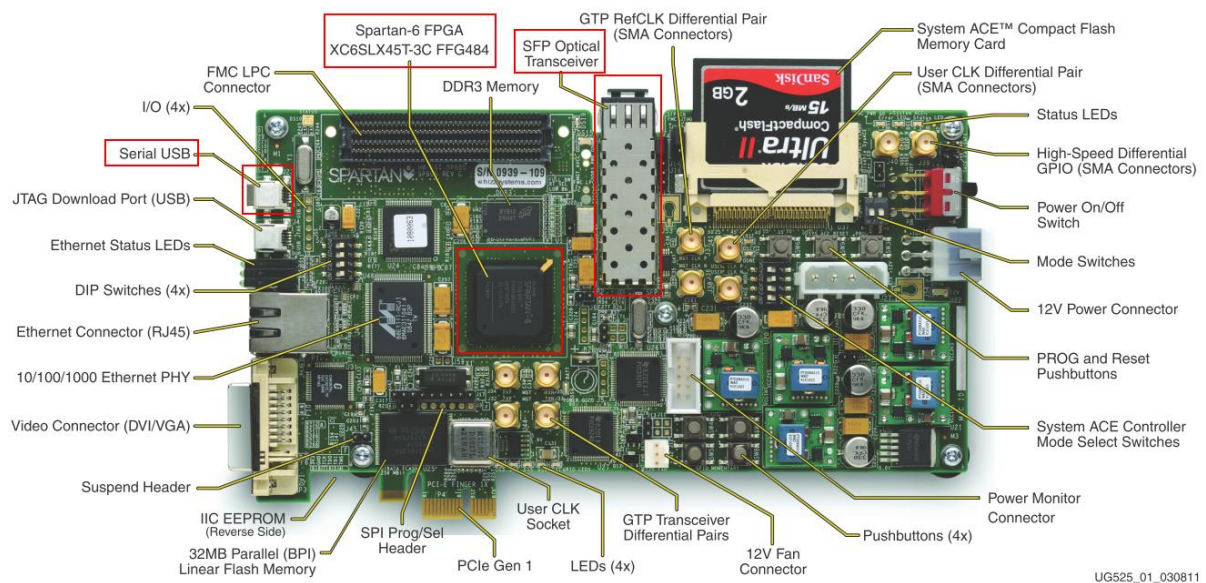


Figura 18 Kit de Desenvolvimento SP605

Os componentes de hardware acima citados serão mais bem estudados adiante conforme for sendo feita a descrição mais específica e implementação do sistema.

Além das definições e limitações de hardware, devem ser observadas as recomendações e normas definidas por órgãos especializados na área de telecomunicações e testes. A ITU é o órgão especializado em tecnologias de informação e comunicação responsável pela normatização das tecnologias de telecomunicações, trabalhando em conjunto com empresas, de grandes até novas no mercado, e com meios acadêmicos para trabalhar no desenvolvimento de tecnologias de informação e comunicação. Ela é dividida em três setores: comunicação por rádio (ITU-R), padronização (ITU-T) e desenvolvimento (ITU-D).

A ITU-T é o setor da ITU responsável pela produção da documentação relativa às padronizações de sistemas de telecomunicações. Estes documentos são chamados de Recomendações, e, apesar de não serem uma norma obrigatória, possuem uma taxa de adesão grande devido à alta qualidade dos padrões garantida pela ITU-T e seus membros, que são grandes empresas no ramo de comunicações. As recomendações da ITU-T são divididas em diversas séries, sendo a série O a que define as especificações de equipamentos de medida. As recomendações que tratam de sistemas de medida de desempenho de equipamentos de transmissão digital são as seguintes: Rec. O.150, Rec. O.151, Rec. O.152, Rec. O.153, Rec. O.172 e Rec. O.181 (ITU-T O.1, 2000).

A Tabela 5 traz uma compilação de alguns padrões recomendados em função do tipo de sistema de comunicação ou taxa de bit, sendo esses os padrões que serão implementados.

Tabela 5 Recomendações de padrões de PRBS (ITU-T O.150) (Xilinx UG386)

Padrão	Polinômio	Tamanho da Sequência	Máxima sequência de zeros	Descrição
PRBS-7	$1 + X^6 + X^7$	$2^7 - 1$ bits = 127 bits	7	Teste para canais com codificação 8B/10B de taxas baixas
PRBS-15	$1 + X^{14} + X^{15}$	$2^{15} - 1$ bits	15	Teste de erro e <i>jitter</i> para taxas de até 44736 kbps
PRBS-23	$1 + X^{18} + X^{23}$	$2^{23} - 1$ bits	23	Teste de erro e <i>jitter</i> para taxas de até 136 Mbps. Usado com frequência em canais sem codificação 8B/10B e em padrões de teste para SONET/SDH STM-N.
PRBS-31	$1 + X^{28} + X^{31}$	$2^{31} - 1$ bits	31	Teste de erro e <i>jitter</i> para taxas mais altas. Recomendado para testes de 10 Gigabit Ethernet.

Como o sistema de comunicação alvo dos testes é um sistema óptico totalmente transparente a protocolos, o foco da escolha dos padrões a serem utilizados está principalmente na taxa de bit. Vale, porém, ressaltar que para testes de sistemas com protocolo SDH, e. g. STM-16, STM-4, STM-1, são recomendados os padrões PRBS-23 e

PRBS-31 (ITU-T O.172, 2005) (ITU-T O.181, 2002), sendo que estes deveriam ser usados como *payload* da estrutura de blocos do SDH. Assim, o desenvolvimento de um sistema de testes que aplica PRBS-31 ou PRBS-23 já seria um primeiro passo no desenvolvimento de um equipamento de testes para SDH.

Assim, é possível definir a arquitetura funcional do BERT a ser desenvolvido, junto com as especificações de quais padrões serão gerados. Na Figura 19 a arquitetura funcional é proposta e representada por blocos que serão estudados no decorrer do trabalho.

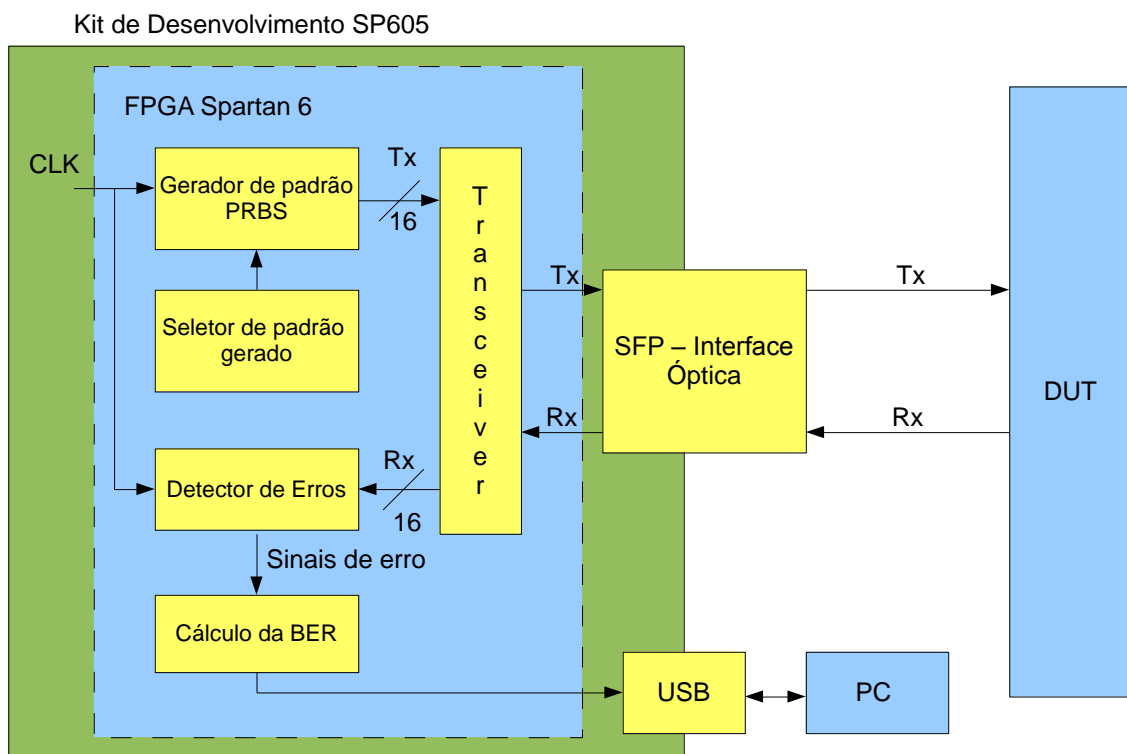


Figura 19 Arquitetura funcional do BERT

A seguir, são brevemente descritos cada um dos principais blocos presentes no diagrama da Figura 19:

- **Gerador de padrão PRBS:** estrutura que gera o sinal de testes pseudoaleatório escolhido pelo bloco “Seletor de padrão gerado”. O padrão gerado deve ser um barramento de 16 bits para fazer a interface com o bloco *Transceiver*.

- **Detector de Erros:** estrutura onde é realizado o processo de sincronização do sinal pseudoaleatório recebido e a detecção de erros e detecção de perda de sincronia. Assim como o gerador de padrão PRBS, deve ter uma interface de 16 bits como interface com o bloco *Transceiver*.
- **Cálculo da BER:** recebe sinais de detecção de erro e os computa para determinação da BER.
- **Transceiver:** interface serial de alta velocidade. No seu transmissor faz uma conversão paralelo-série e no seu receptor, uma conversão série-paralelo, fazendo uma troca de domínio de clock por meio de um PLL (*phase-locked loop*) para operar internamente a um *clock* mais alto.
- **SFP:** interface que converte sinal elétrico em óptico.
- **DUT:** *Device Under Test*. Sistema pelo qual o padrão pseudoaleatório trafega e que se deseja testar. No caso, um sistema de fibra óptica.

Outros *Test Sets* semelhantes já foram desenvolvidos e estão disponíveis inclusive para serem utilizados no kit de desenvolvimento SP605 (XILINX, 2012), porém este tipo de BERT tem como função principal a caracterização e testes dos *tranceivers* de alta velocidade do próprio FPGA, não sendo modulares e não possuindo versatilidade. Por exemplo, o único método de acesso às informações do IBERT, desenvolvido pela Xilinx, é através do *ChipScope*, uma ferramenta que permite a inserção de analisadores lógicos, analisadores de sistemas e de *IO* virtuais, e faz a visualização desses analisadores, logo se torna uma ferramenta limitada por se fazer necessário do *ChipScope* para obter os resultados. Realizando um projeto de BERT modular será possível que em um projeto de equipamento não exclusivamente dedicado a teste, mas que possua uma FPGA e saídas ópticas ligadas a ele,

este BERT poderá ser incluído em um projeto maior da FPGA e ser utilizado caso necessário fazer algum teste.

Em suma, seguem as funcionalidades que o *Test Set* deve ter:

- Geração de sequências de teste: sob um período de tempo muito grande, considera-se que a transmissão de dados é um processo randômico. Para se realizar medidas de BER, então, são usadas sequências de teste pseudoaleatórias (PRBS), já que não é possível gerar um sinal randômico através de métodos determinísticos. Deve ser possível determinar com qual PRBS irá ser feito o teste, de acordo com a Tabela 5;

- Sincronização do teste: a sequência de teste é enviada para o DUT, que introduz um *delay* até que o sinal chegue novamente ao equipamento de teste. Assim, ao começo do processo de medição da BER, é necessário que seja feito um processo de sincronização, para que o *delay* de transporte do sinal não afete as medidas;

- Detecção de *bit slip*: é possível que o sincronismo obtido no início do processo de medida seja perdido. Isso pode ser causado se houver uma repetição de bit no envio, i. e. o mesmo bit da sequência gerada é enviado duas vezes seguida, ou se houver um *bit slip*, i. e. um dos bits da sequência é pulado, sendo enviado o próximo bit em seu lugar. Em ambos os casos deve ser detectado que houve perda de sincronismo, e o teste deve ser recommençado;

- Cálculo da BER: deve ser feita a detecção de erros de bit, ou seja, o bit recebido for 0 quando deveria ser 1, e o cálculo da razão entre o número de erros de bit e o número de bits transmitidos;

- Interface de usuário: o usuário deve ser capaz de recuperar o valor da BER através de um computador, assim como definir qual o PRBS a ser utilizado, reiniciar o teste e verificar se houve perda de sincronismo.

No Capítulo 4, será abordada a implementação do *Test Set*, explorando mais as características do PRBS e das arquiteturas de cada bloco da arquitetura funcional acima apresentada.

4 IMPLEMENTAÇÃO DO *TEST SET*

Conforme discutido anteriormente, o conceito de funcionamento de um BERT é simples, entretanto, as funcionalidades necessárias para o seu funcionamento, como os processos de sincronização, detecção de *slips*, necessidades de interface com usuário e a utilização de interfaces seriais para transmissão de dados na ordem de gigabits por segundo.

Assim, após as considerações de hardware feitas anteriormente, foi decidida a estratégia de implementação do sistema. Primeiramente, foi implementado um BERT de serial, i. e. com um bit de entrada e saída, validado por simulações, onde foi feito o estudo do funcionamento do gerador e detector de PRBS desenvolvido, da máquina de estado que realiza o sincronismo do sistema e da detecção de erros e perda de sincronismo. Em seguida, foi desenvolvido um BERT paralelo genérico a partir da estrutura do BERT serial, também validada por meio de simulações, e com a largura do seu barramento podendo ser escolhida ao ser realizada a síntese do hardware. Por fim, foi feito o desenvolvimento da interface com o *transceiver* e da interface com um computador, para que a aplicação fosse testada no kit de desenvolvimento SP605.

A seguir, será feita a descrição de cada fase do desenvolvimento, apresentando os detalhes e as decisões de implementação tomadas.

4.1 BERT SERIAL

O BERT serial realiza o envio de uma sequência de *bits* padrão para um DUT e faz a comparação *bit a bit* do sinal recebido do DUT com o sinal original. A estrutura básica desenvolvida é mostrada na Figura 20.

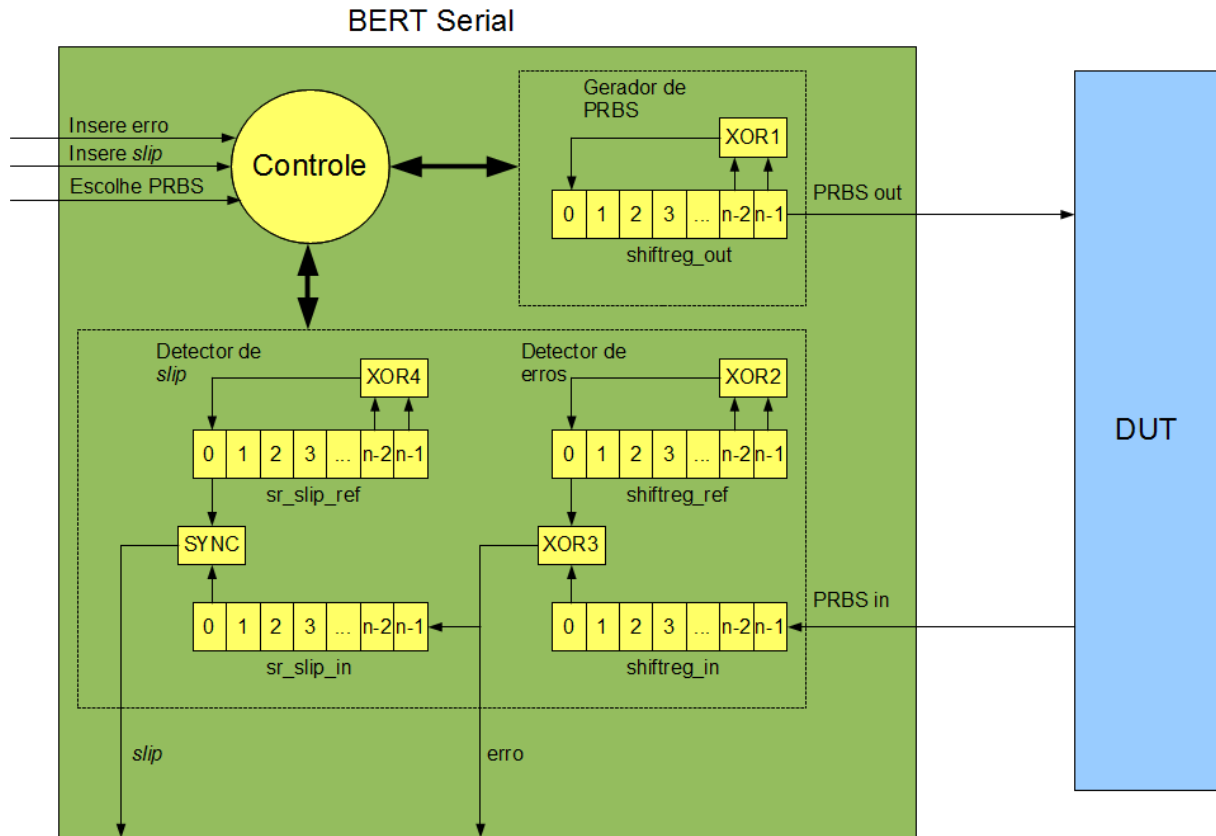


Figura 20 BERT Serial - Esquema Básico

No esquema representado é possível observar os blocos básicos de geração de PRBS, e detecção de erros e de perda de sincronismo. No gerador de PRBS, o registrador de deslocamento (*shift register*) *shiftreg_out* e a porta lógica ou exclusivo *XOR1* formam um *linear feedback shift register*, LFSR, que gera a PRBS e a envia para o DUT. No bloco de detecção de erros, o LFSR formado por *shiftref_ref* e *XOR2* gera a PRBS de referência idêntica à PRBS enviada, que é usada para comparar com o sinal recebido, este armazenado no *shiftreg_in*. A porta *XOR3* faz a comparação para gerar sinal indicativo de erro. Para detectar *slip*, temos uma estrutura praticamente idêntica à estrutura de detecção de erro, porém tendo como entrada o próprio sinal de erro. O detalhamento de cada bloco e comentado a seguir.

4.1.1 GERADOR DE PRBS

Em um link de comunicação digital, o estado do sinal transmitido varia frequentemente e de forma randômica entre zero e um. O BERT deve providenciar com que o sinal enviado seja o mais próximo possível da condição real de tráfego no sistema de comunicação. Devido a isso é necessário que se estimule o sistema com a transmissão de PRBS. Estas sequências podem ser geradas a partir de um LFSR (ALFKE,1996).

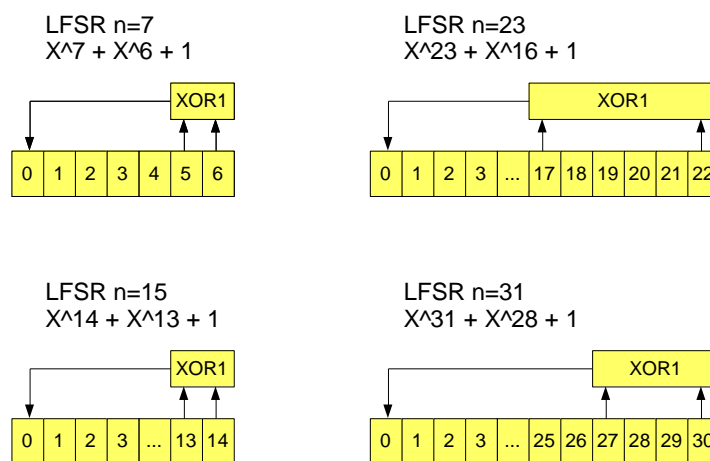


Figura 21 LFSR para diferentes PRBS

Na Figura 21 estão representados alguns LFSR, com suas respectivas ordens e equações. A ordem n representa a quantidade de bits que possui o registrador, sendo que a partir de um registrador de n bits é possível adquirir uma sequência de bits máxima igual a $2^n - 1$. Para que a sequência gerada atinja a o comprimento máximo de bits é necessário realizar uma realimentação e soma das posições corretas do registrador. Ao aplicarmos a realimentação corretas teremos que o registrador terá um ciclo com período de $2^n - 1$ ciclos de *clock*, e assumirá $2^n - 1$ valores diferentes. Ao fazer uma das posições deste registrador como saída de PRBS, teremos um PRBS de que demorará $2^n - 1$ ciclos para que a sequência se repita. A partir desta característica fica claro a necessidade de uso de um PRBS com um LFSR com maior número de estágios ao se aumentar a taxa de bit do sistema. Usando um PRBS-7, i. e. PRBS a partir de um LFSR de $n = 7$, em sistema com taxa de bit de 2.5 Gbps,

não seria obtida uma randomização suficientemente grande para que o sinal de teste representasse um fluxo de tráfego real, visto que um PRBS-7 se repete a cada $2^7 - 1 = 127$ ciclos de *clock*, ou seja, a cada $\frac{127}{2500000000} = 50,8$ nanosegundos, aproximadamente, o padrão começa a se repetir. Já com um PRBS-23 temos que o período de repetição é $\frac{8388607}{2500000000} = 3,4$ milisegundos, um período muito maior em comparação ao anterior.

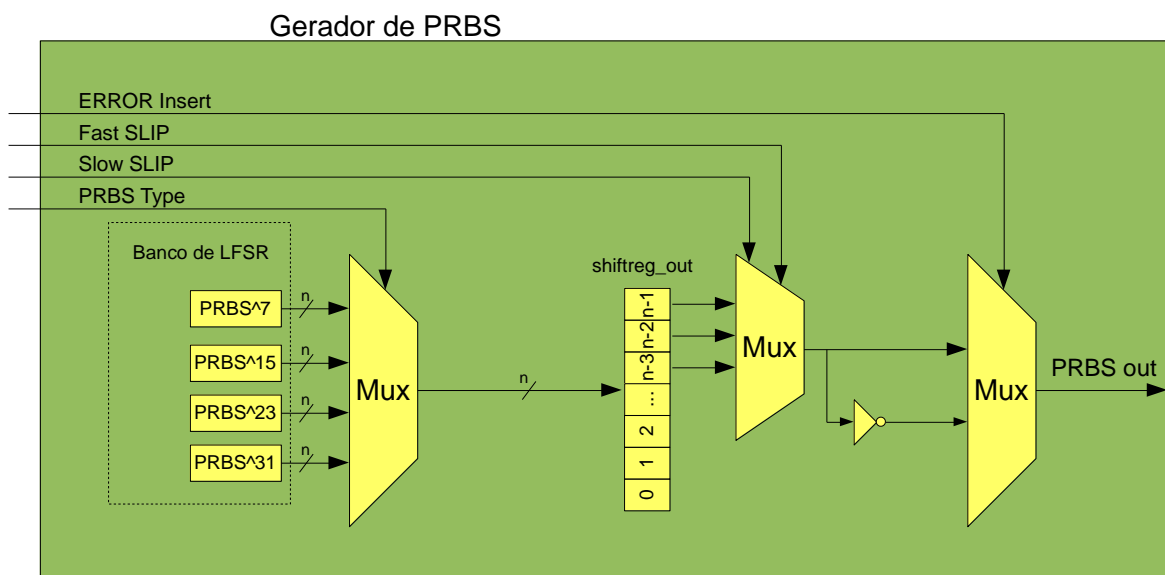


Figura 22 Esquema Gerador de PRBS com inserção de erro, *slip*, e escolha de padrão

O esquema da Figura 22 representa o gerador de PRBS conforme foi concebida a sua implementação, incluindo suas principais portas de entradas de configuração. No banco de LFSR foram implementados os quatro tipos de LFSR observados na Figura 21. O sinal de entrada *PRBS Type* determina através de um multiplexador qual o PRBS que se deseja utilizar. Ao chegar à parte de transmissão de PRBS, foram desenvolvidos dois estágios, nos quais é possível realizar a simulação de erros e de *slip* do tipo *fast*, no qual um bit da sequência é pulado, a adiantando; ou *slip* do tipo *slow*, quando um bit da sequência é repetido, a atrasando. A simulação de *slip* é realizada escolhendo através de um multiplexador qual será a posição do registrador usada para gerar o PRBS, e. g. inicialmente o PRBS e

gerado da posição $n - 2$, então para simular um *fast slip*, selecionamos a posição $n - 1$ para se tornar a saída. Para simulação de erro, simplesmente é feita a inversão do *bit* a ser transmitido.

4.1.2 SINCRONIZAÇÃO E DETECÇÃO DE ERROS

A sincronização realizada no detector de PRBS é feita, basicamente, carregando dois *shift registers*, um de referência a partir de um gerador de PRBS interno ao detector, e outro que recebe e armazena o PRBS que passou pelo DUT, conforme apresentado na Figura 23.

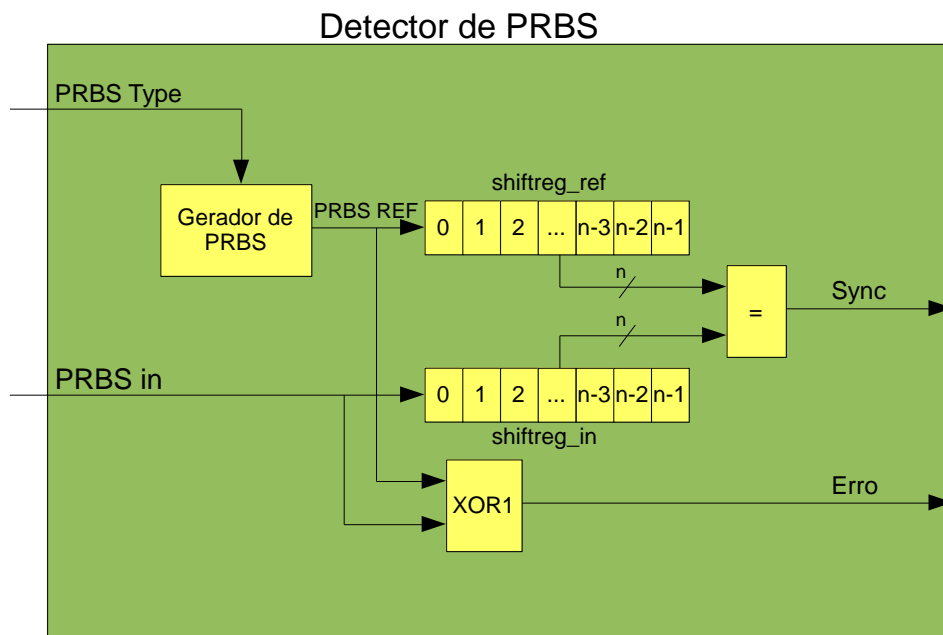


Figura 23 Detector de PRBS

As recomendações da ITU-T definem que os equipamentos de teste devem detectar a perda de sincronismo do padrão utilizado, sendo que ela deve ser considerada perdida quando (ITU-T O-150, 2000):

- A BER superar 0,20 por um intervalo de 1 segundo;
- Quando for identificado que a sequência de teste e a sequência de referência estão fora de fase, ou seja, na ocorrência de um *slip*.

Neste projeto foi inicialmente levada em consideração apenas a segunda proposta de perda de sincronismo, visto que ela que implica em um maior desenvolvimento de lógica programável, enquanto a primeira proposição pode ser inclusive realizada por *software*.

No caso desenvolvido, foi considerado que para que o sistema entre em sincronismo, é necessário que os registradores *shiftreg_ref* e *shiftreg_in* sejam exatamente iguais. Observando essa condição através das sequências que estão sendo armazenadas, isto significa que o sistema entrará em sincronismo somente quando o valor em *shiftreg_in* for realmente parte da sequência com a qual se deseja sincronizar. Isto aumentará o tempo necessário para que um sincronismo seja concretizado, mas evita qualquer tipo de falso sincronismo.

Para detecção de erros, é feita uma comparação *bit a bit* da sequência de teste recebida pelo detector e da sequência de referência do gerador de PRBS interno. A partir do momento que o sistema entra em sincronismo, a detecção de erros é ativada, computando qualquer erro que possa ocorrer.

4.1.3 DETECÇÃO DE PERDA DE SINCRONISMO

Em um sistema de comunicação temos um tipo de erro denominado *bit slip*, que resulta da perda de *bits* de uma sequência de dados ou na repetição de transmissão de alguns *bits*. Este tipo de evento pode ser causado por *overflow* em *buffers* digitais ou problemas de temporização em portas de transmissão e acabam resultando em uma diferença de fase entre a sequência transmitida e recebida do ponto de vista do BERT.

A detecção de perda de sincronismo no caso em que o equipamento está com a sequência de teste e a sequência de referência fora de fase é feito pela análise do padrão de erro gerado da comparação *bit a bit*. Se este padrão de erro tiver a mesma estrutura que a do PRBS sendo utilizado, teremos a situação de perda de fase.

Assim, teremos um detector de perda de sincronismo de estrutura semelhante ao detector de PRBS, porém, tendo como entrada o sinal de erro gerado pelo detector de PRBS, e tendo como saída um sinal de *slip*, que terá valor 1 quando o sinal de erro sincronizar com a sequência de referência do gerador de PRBS. A Figura 24 mostra o detector de perda de sincronismo.

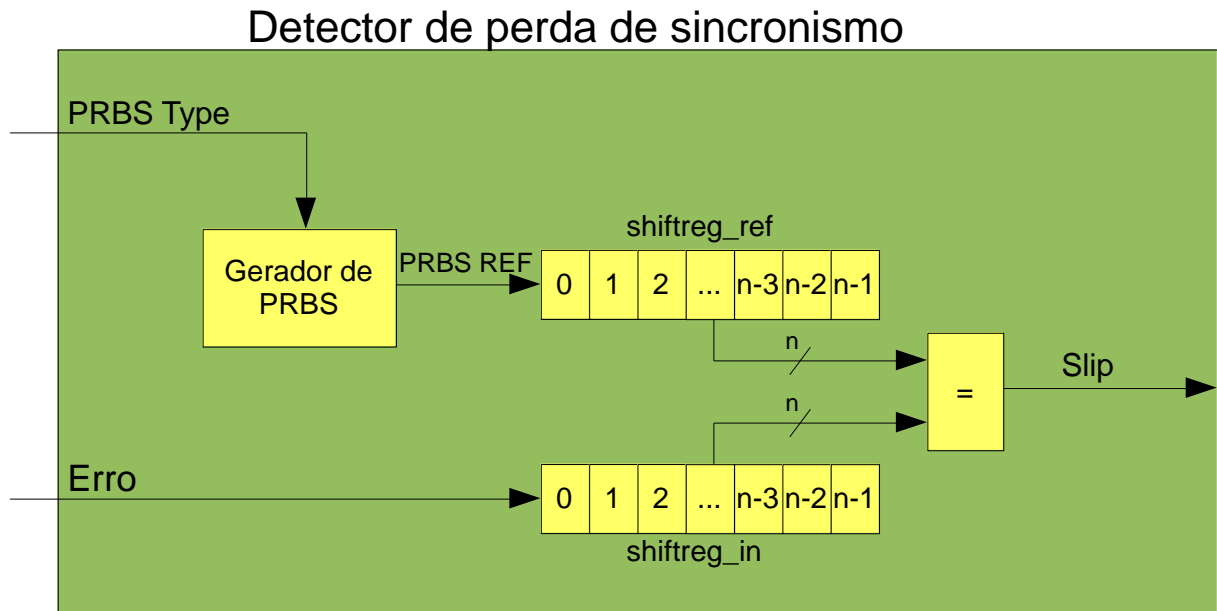


Figura 24 Detector de perda de sincronismo

4.1.4 ANÁLISE DE UM PRBS-3

De modo a ilustrar o funcionamento do gerador desenvolvido, será usado um PRBS com um *shift register* de três posições, que repete sua sequência a cada sete ciclos de *clock*. O BERT com este PRBS é representado na Figura 25.

LFSR $n=3$
 $X^3 + X^2 + 1$

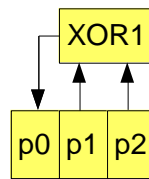


Figura 25 LFSR com $n=3$

Considerando a posição $p2$ do *shift register* como a saída de PRBS, e que ele se inicia com o valor “111”, é gerada a sequência da Tabela 6.

Tabela 6 Geração do PRBS-3

Ciclo de Clock	1	2	3	4	5	6	7	8	9	10	11	12	13
P0	1	0	0	1	0	1	1	1	0	0	1	0	1
P1	1	1	0	0	1	0	1	1	1	0	0	1	0
P2 (PRBS out)	1	1	1	0	0	1	0	1	1	1	0	0	1
XOR1	0	0	1	0	1	1	1	0	0	1	0	1	1

Nota-se que a partir do sétimo ciclo de *clock* a sequência passa a se repetir. O sinal PRBS *out* passará pelo dispositivo a ser testado e chegará ao bloco de detecção de PRBS.

4.1.5 RESULTADOS DE SIMULAÇÃO

A validação do gerador e detector de PRBS serial foi realizado através de simulações, fazendo os seguintes testes:

- Verificação da sequência gerada;
- Verificação de sincronismo do sistema;
- Teste de inserção e detecção de erros;
- Teste de inserção de *slip*.

Após as verificações para os quatro tipos de PRBS implementados, foi concluído o bom funcionamento do sistema. A Figura 26 mostra uma simulação para teste do sincronismo do sistema mostrando os três estados (*INITst*, *WAIT_SYNCst* e *SYNCst*) da máquina de

estados que realiza a sincronização. No estado *INITst*, o registrador de referência é carregado para que no momento de comparação ele não esteja com o valor 0, e sim já possua um valor de sequência de PRBS. No estado *WAIT_SYNCst* o PRBS de referência é posto em espera, para que seja feito o sincronismo com a sequência (*PRBS_in*) que chega do DUT. Assim que os registradores de referência e de entrada estão em sincronismo (estado *SYNCst*), começa a ser feita a detecção de erros.

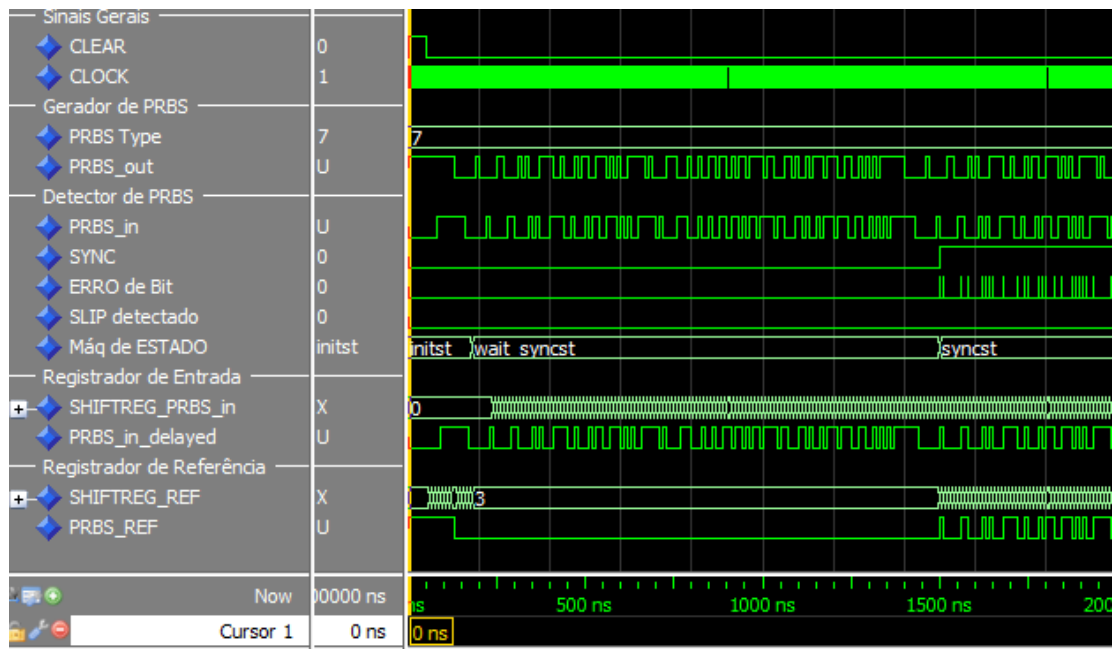


Figura 26 Simulação de um PRBS-7

A Figura 27 mostra os testes de inserção de simulação de erro e *slip*. No caso, o sistema já está sincronizado, e é inserido um erro e após é inserido um *slip* do tipo *fast*, obtendo um pulso sinalizando uma detecção de erro, e perdendo sincronismo, levando o *bit* indicador de sincronismo para 0 e o *bit* indicador de *slip* para 1.

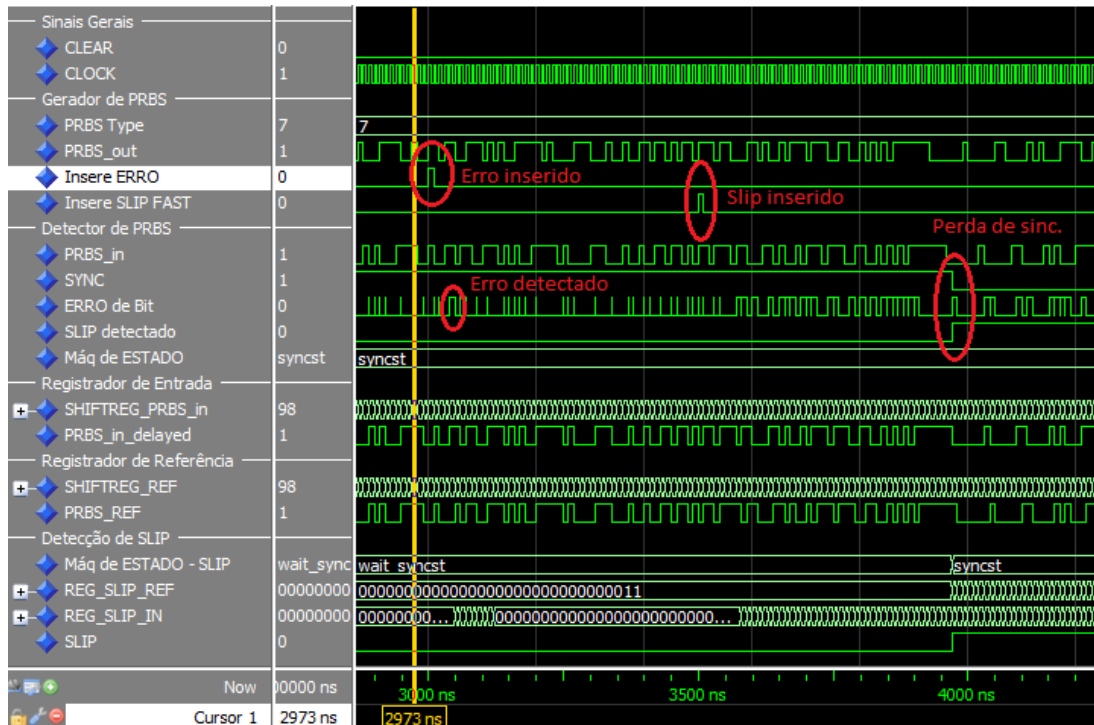


Figura 27 Inserção de erro e *slip*

Estes testes foram realizados para os quatro tipos de PRBS gerados, obtendo os resultados esperados. Também foi feita a verificação dos PRBS gerados, através de comparações com tabelas das LFSR utilizadas.

4.2 BERT PARALELO

Com o aumento das taxas de transferência nos sistemas de comunicação, simples portas de entrada e saída (I/O) seriais não possuem a capacidade de atender a tais velocidades, assim interfaces paralelas vinham sendo utilizadas para obter maior desempenho. Entretanto, para simplificar o design de sistemas, reduzir custos e fornecer a escalabilidade necessária para as necessidades de banda que ainda surgem, ocorreu uma mudança de paradigma na indústria eletrônica: uma mudança de interfaces de I/O paralelas para interfaces de I/O seriais de alta velocidade (ATHAVELE, CHRISTENSEN, 2005). Estas seriais de alta velocidade funcionam como serializadores de dados paralelos, ou seja, os dados internamente no FPGA

são tratados como um barramento paralelo de n -bits em um domínio de *clock* aceito pelo chip em que se trabalha, mas a interface desses dados com dispositivos externos é feita serialmente, sendo a conversão feita por um *multi-gigabit transceivers* (MGT).

Devido a estas interfaces, é necessário o desenvolvimento de um BERT paralelo, que gere uma sequência paralela que depois de serializada, forme um PRBS que trafegará na fibra óptica, chegará ao receptor e será convertido de série para paralelo, tendo que então, ser feita a sincronização de detecção de erro.

A Figura 28 ilustra um *transceiver* com uma interface paralela de 10 bits com um PRBS de ordem 3 na sua interface serial. Foi considerado que o PRBS-3 gera a sequência $x_0 x_1 x_2 x_3 x_4 x_5 x_6 x_0 x_1 x_2 x_3 x_4 \dots$ de modo a ilustrar como deve ser gerada cada linha da interface paralela.

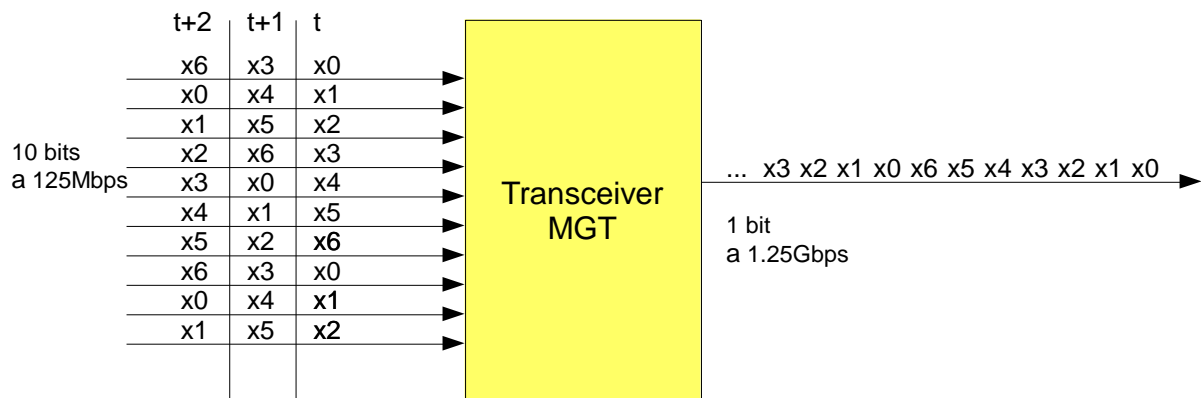


Figura 28 Transceiver com sequência para gerar PRBS-3

A partir dessa informação, foi proposto como solução o desenvolvimento de um gerador de PRBS serial que tivesse passo a largura de *bits* da interface paralela a ser utilizada, por exemplo, na interface de 10 *bits* é gerado um PRBS que envia o primeiro valor da sequência, pula os próximos nove valores, e envia o décimo valor da sequência, e assim sucessivamente.

A seguir serão descritas as entidades desenvolvidas para que fosse possível a obtenção de um PRBS na saída de um *transceiver* cujo topo do *design* é representado na Figura 29.

Sendo as implementações uma adaptação do *design* que foi introduzido no BERT serial, será feita uma abordagem mais sucinta e direta.

PRBS PARALLEL TOP

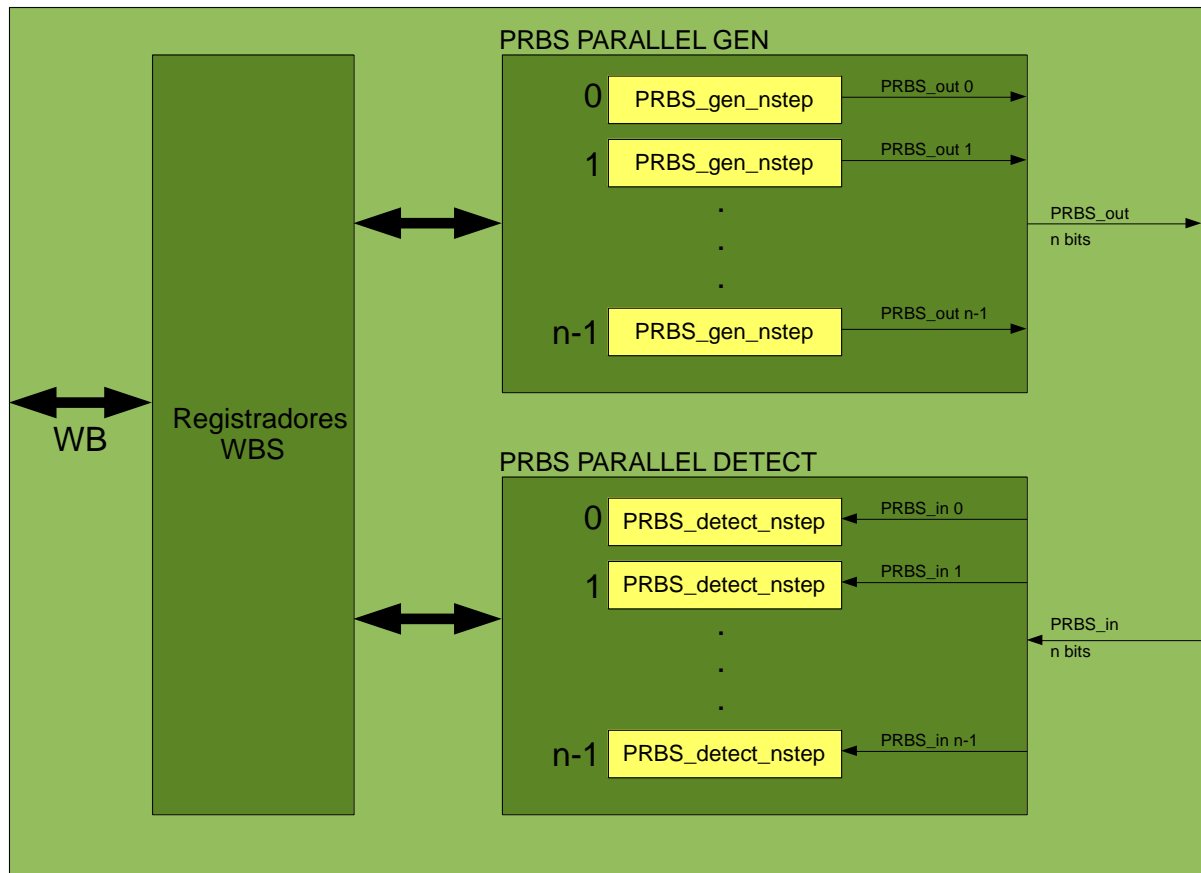


Figura 29 Topo de *design* da entidade PRBS paralelo

4.2.1 ENTIDADE PRBS_PARALLEL_GEN

A entidade PRBS_PARALLEL_GEN instancia diversos geradores de PRBS seriais (PRBS_gen_nstep) para a obtenção de uma interface paralela a ser transmitida ao MGT.

Os parâmetros de maior importância desta entidade são:

- WIDTH_g: Determina qual é a largura do barramento a ser utilizado;
- STEP_g: Determina o passo da sequência dos PRBS seriais instanciados. Para a utilização com *transceivers* de alta velocidade o STEP_g deve ser igual ao WIDTH_g.

A entidade PRBS_GEN_NSTEP é um gerador de PRBS baseado no gerador apresentado no BERT serial que pode ter um passo de sequência, pulando um valor determinado de dados dela, e também possui uma seleção de qual valor da sequência ele deve ser o inicial. Os parâmetros mais importantes são:

- LINE_g: Determina qual é o ponto da sequência na qual o gerador inicializa;
- STEP_g: Determina o passo da sequência utilizado. Para a utilização com *transceivers* de alta velocidade o STEP_g deve ser igual ao WIDTH_g.

Assim como o gerador de PRBS simples, a entidade PRBS_GEN_NSTEP possui a capacidade de inserção de erros, *slip*, e a seleção de quatro tipos de PRBS.

Com este gerador de PRBS paralelo, é possível gerar uma sequência de acordo com a Figura 28.

4.2.2 ENTIDADE PRBS_PARALLEL_DETECT

A entidade PRBS_PARALLEL_DETECT instancia detectores de PRBS para que seja feito o sincronismo do barramento paralelo recebido do MGT. Seus parâmetros de configuração são os mesmos da entidade PRBS_PARALLEL_GEN.

A entidade PRBS_DETECT_NSTEP que forma o detector paralelo é um detector de PRBS semelhante ao serial, exceto que o PRBS de referência é gerado pela entidade PRBS_GEN_NSTEP e, sendo assim, sincronizará com sequências com passo.

A detecção de *slip* no detector paralelo é realizada somente no primeiro detector serial instanciado, já que ao ocorrer um *slip* no teste, cada linha do barramento estará fora de fase, bastando então analisar uma delas.

4.2.3 REGISTRADORES WBS

O bloco de registradores *wishbone slave* (WBS) é onde é feita a contagem e armazenamento das ocorrências de erro. Nele estão instanciados contadores e registradores de

32 bits, assim como estão previstos registradores para configuração de *test set*. Estes registradores ficam mapeados em memória e possuem uma interface de escravo *wishbone* que possibilita o seu acesso através de uma conexão serial com um PC. Para isto também é necessária a criação de um bloco mestre de *wishbone*, conforme será mostrado mais a frente.

4.2.4 RESULTADO DE SIMULAÇÃO

Para validar a o BERT paralelo foi feita uma bateria de simulações semelhante as realizadas para o BERT serial.

Na Figura 30 é mostrado um gerador de PRBS-7 em um barramento de 16 *bits*. A verificação da geração em paralelo foi feita por uma comparação da sequência paralela com uma sequência serial.

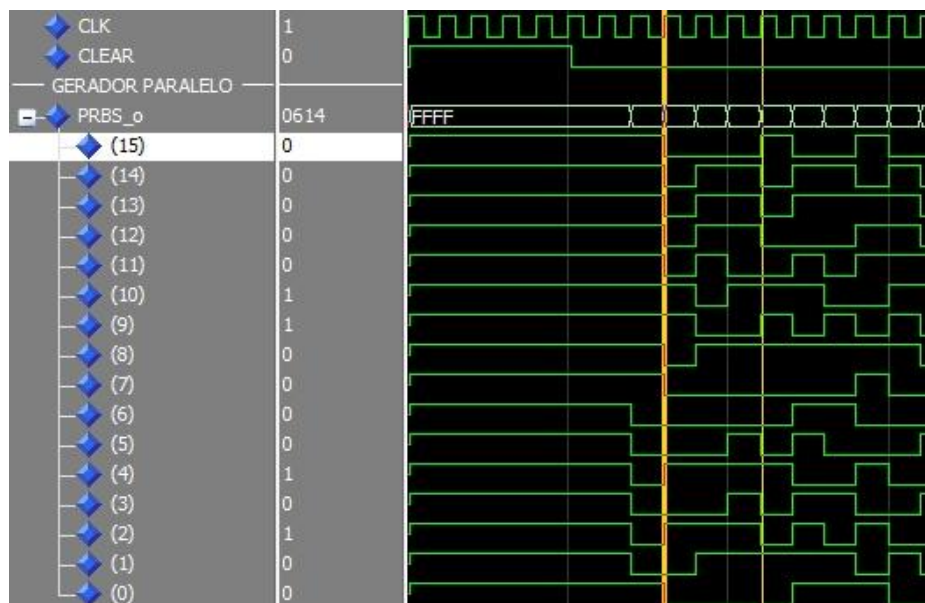


Figura 30 PRBS-7 paralelo

As simulações de inserção de erro e *slip* também foram realizadas, sendo obtidos os resultados desejados.

4.3 INTERFACE DE ALTA VELOCIDADE

A interface de alta velocidade disponível nos FPGA Spartan-6 é o *GTP Transceiver*. Ele é altamente configurável e fortemente integrado com os recursos de lógica programável do FPGA. O Spartan-6 possui quatro *transceivers*, sendo que no kit que é utilizado, um deles está conectado à interface óptica SFP.

Dentre as diversas características que fazem possível um *multi-gigabit transceiver* operar a altas taxas de dados estão:

- **Sinais diferenciais:** É um método de transmissão que os dados são compostos eletricamente por dois sinais, um positivo e outro negativo, denominado um par diferencial. Desta forma, o nível de tensão necessário para chavear de 0 para um é diminuído pela metade, permitindo um chaveamento mais rápido;
- **Current Mode Logic (CML):** Lógica de transistores MOS que serve de *driver* e receptor para as portas dos sinais diferenciais utilizados;
- **Estágio de ênfase:** Devido a altas taxas de transmissão, as linhas seriais de dados tendem a se comportar como filtros passa-baixas, distorcendo o sinal e causando interferência inter-simbólica. Estágios de *preemphasis* no transmissor e *deemphasis* no receptor podem ser utilizados para reduzir tais problemas;
- **Equalização:** é uma alternativa aos processos de ênfase, fazendo uma equalização no receptor, amplificando as altas frequências para compensar o comportamento de passa-baixas da linha;
- **Phase-locked Loops (PLL):** são usados para gerar o *clock* serial do MGT, que deve ser um múltiplo da interface paralela para se atingir a taxa de dados desejada;
- **Clock Data Recovery (CDR):** Como em uma transmissão serial em alta velocidade não é prático possuir uma linha dedicada para o *clock*, o MGT recupera o *clock* no seu receptor a partir de um CDR.

No *design* desenvolvido, foi desejado simplificar o projeto do *transceiver* ao máximo, assim não foram exploradas todas as configurações possíveis, e sim, ele foi usado apenas para sua característica principal, que é a serialização de dados. Características como codificação 8B/10B, funções de alinhamento, ajustes de fase, equalização e *preemphasis/deemphasis* não foram exploradas, se utilizando a configuração padrão destas características.

Para o *design* do *core* do *transceiver* foi utilizada a ferramenta *Core Generator* da Xilinx. Esta ferramenta gera o código em VHDL do *transceiver* de acordo com os parâmetros definido, através de uma interface gráfica simples de fácil utilização. As configurações utilizadas e o processo de geração do *core* são mostrados a seguir.

4.3.1 CONFIGURAÇÕES DO *GTP TRANSCEIVER*

A configuração do *GTP Transceiver* foi feita no momento do *design* do seu *core*, utilizando o *Core Generator*. As seguintes fases são realizadas no *Core Generator*:

- *GTP Placement and Clocking*: É escolhido qual dos *transceivers* do FPGA será usado, e qual será a fonte de *clock* deste;
- *Line Rate and Protocol Template*: É definida qual a taxa de dados que se deseja, qual será o *clock* de referência, a largura do barramento de dados paralelo e se haverá algum tipo de codificação. Foi utilizada uma taxa de dados de 2.5 Gbps, com um *clock* de referência de 125 MHz e um barramento de dados de 16 *bits*, como mostra a Figura 31.
- *Synchronization and Clocking*: Definição *buffers* internos e quais suas fontes de *clock*;
- *RX Comma Alignment*: Define se será usado algum tipo de alinhamento na recepção e conversão série-paralelo;

- *Preemphasis, Termination, and Equalization*: Definição de características da interface analógica do *transceiver* na transmissão e recepção;
- Outras opções: Além do acima citado, também foi habilitada uma porta de *Loopback*, para ser possível utilizar *loops* internos do *transceiver* para realização de testes intermediários do sistema.

Protocol Template
Start from scratch
Select optional protocol template above

Common Settings
Target Line Rate 2.5 Gbps
Reference Clock 125.00 MHz

TX Settings
Line Rate 2.5 Gbps
Encoding None
Data Path Width 16 Bits

RX Settings
Line Rate 2.5 Gbps
Decoding None
Data Path Width 16 Bits

GTP1

Figura 31 Configuração da interface do *transceiver*

Um sumário das configurações do *transceiver* gerador pode ser vista na Figura 32.

Transmitter Settings		GTP1	
GTP0		Reference Clock:	125.00 MHz
Reference Clock:	125.00 MHz	PLL Clock:	1.25 GHz
PLL Clock:	1.25 GHz	Data width / Ck div / Line rate:	16 / 1 / 2.5
Data width / Ck div / Line rate:	16 / 1 / 2.5	Encoding:	None
Encoding:	None	Tx Buffer:	Selected
Tx Buffer:	Selected	PRBS:	Not Enabled
PRBS:	Not Enabled		
Receiver Settings		GTP1	
GTP0		Data width / Ck div / Line rate:	16 / 1 / 2.5
Data width / Ck div / Line rate:	16 / 1 / 2.5	Decoding:	None
Decoding:	None	Rx Buffer:	Selected
Rx Buffer:	Selected	OOB:	Selected
OOB:	Selected	PRBS:	Not Enabled
PRBS:	Not Enabled	Comma detect:	Not Enabled
Comma detect:	Not Enabled	Channel Bonding:	Not Enabled
Channel Bonding:	Not Enabled	Clock Correction:	Not Enabled
Clock Correction:	Not Enabled	PCI Express mode:	Not Selected
PCI Express mode:	Not Selected		

Figura 32 Resumo das configurações do *transceiver*

4.3.2 ESTRUTURA DE *CLOCK*

Um dos pontos de maior importância do desenvolvimento de uma interface serial de alta velocidade é de como serão distribuídos e gerados os relógios requisitados pelo *transceiver*. Com informações obtidas do guia de usuário do *GTP Transceiver* (XILINX, 2010) foi concluído que a arquitetura da Figura 33 seria adequada para um *test set* com *clock* de referência de 125MHz e barramento de dados paralelo de 16 *bits*.

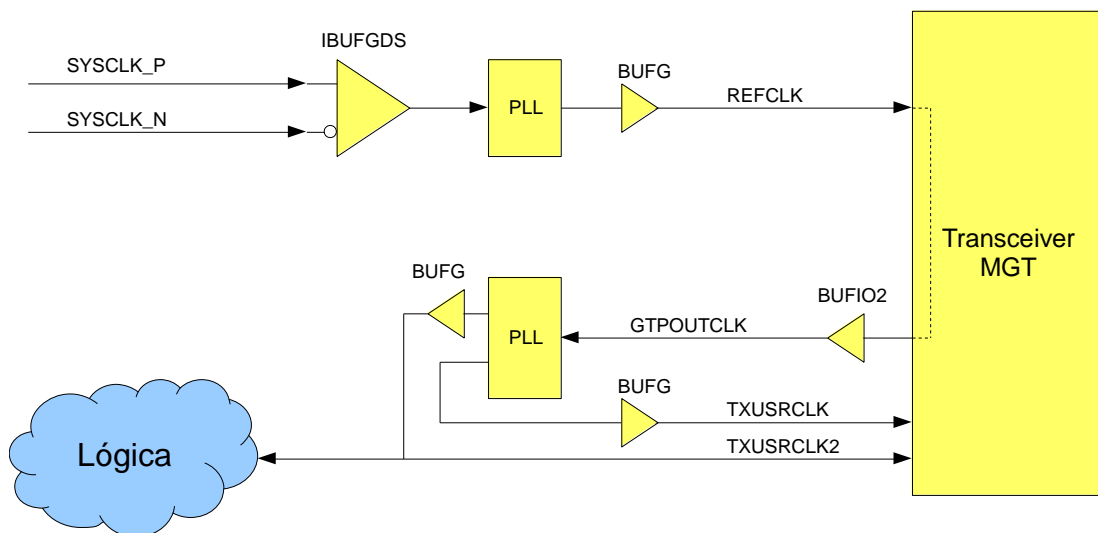


Figura 33 Estrutura de *clocks*

A descrição de cada sinal de relógio segue abaixo:

- **SYSCLK_N** e **SYSCLK_P**: *Clock* diferencial de 200MHz do kit de desenvolvimento. Serve de entrada para o PLL que sintetiza o REFCLK;
- **REFCLK**: *Clock* de referência de 125MHz do *transceiver*;
- **GTPOUTCLK**: *Clock* de referência retirado do *transceiver*. Usado como relógio de base para sintetizar o TXUSRCLK e TXUSRCLK2;
- **TXUSRCLK**: O TXUSRCLK é um dos relógios internos do *transceiver*, porém deve ser fornecido por uma fonte de *clock*. A frequência do TXUSRCLK depende de características internas do *GTP Transceiver* e da taxa de bit do sistema. Para um sistema a 2,5 Gbps, ele deverá ter uma frequência de $\frac{2,5 \cdot 10^9}{8} = 312,5\text{MHz}$;

- TXUSRCLK2: É o *clock* em que deve trabalhar o barramento paralelo externo ao *transceiver*. Para uma interface de 16 *bits*, sua frequência é de $\frac{312,5}{2} = 156,25\text{MHz}$.

4.4 INTERPRETADOR LUA

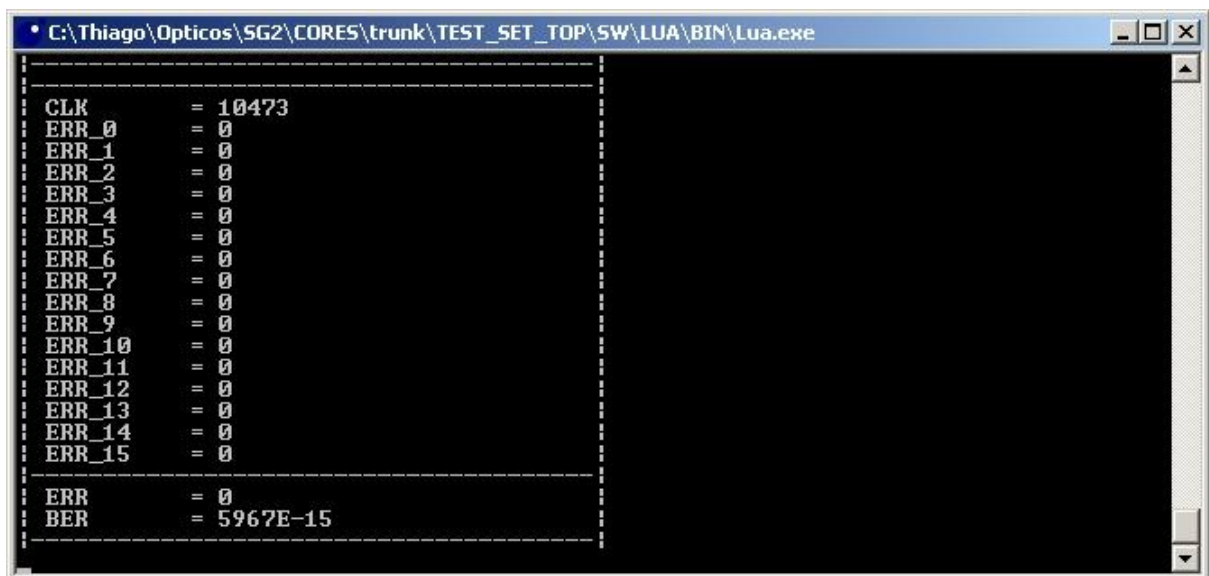
Como interface entre o usuário e o *Test Set* foi utilizada a linguagem LUA que funciona utilizando *scripts* para fazer aquisição de valores dos registradores WBS mapeados em memória. Nestes *scripts* também é realizado o cálculo da BER, a partir dos registradores de contagem de erros e contagem de *clock*.

Foram desenvolvidas duas principais funções em LUA:

- *test_set.reset()* – reinicia o cálculo da BER;
- *test_set.run()* – inicia o processo de cálculo de BER .

Outras funções foram desenvolvidas que servem de base para as funções acima mencionadas.

Na Figura 34 é mostrada a interface desenvolvida realizando um cálculo de BER em um *loop* de fibra óptica em bom funcionamento.



The screenshot shows a terminal window titled "C:\Thiago\Opticos\SG2\CORES\trunk\TEST_SET_TOP\SW\LUA\BIN\Lua.exe". The output of the script is as follows:

```

-----
CLK           = 10473
ERR_0         = 0
ERR_1         = 0
ERR_2         = 0
ERR_3         = 0
ERR_4         = 0
ERR_5         = 0
ERR_6         = 0
ERR_7         = 0
ERR_8         = 0
ERR_9         = 0
ERR_10        = 0
ERR_11        = 0
ERR_12        = 0
ERR_13        = 0
ERR_14        = 0
ERR_15        = 0
-----
ERR           = 0
BER           = 5967E-15
-----

```

Figura 34 Interface LUA

4.5 TOPO DO *DESIGN DO TEST SET*

Com todos os blocos desenvolvidos foi possível a finalização da estrutura completa do BERT desenvolvido, sendo ela representada na Figura 35. Nela estão representados os sinais de relógio de relógio em vermelho e outros sinais em preto. Outros sinais não representados no diagrama são:

- CLR_i e RST_i: Sinais conectados à botões do kit de desenvolvimento usados para reiniciar e limpa os registradores do sistema;
- ERR_INS_i: Sinal conectado a um botão que força a inserção de um erro ;
- SLIP_FAST_i e SLIP_SLOW_i: Sinais conectados a uma *DIP Switch* para forçar *slips*;
- PRBS_TYPE_i: *DIP switch* para seleção de PRBS a se utilizar;
- SYNC_o: Led que indica se o sistema está sincronizado;
- SLIP_o: Led indicando se o sistema está fora de fase;
- SFP_LOS_o: Led que indica se a interface óptica SFP está sem sinal (*loss of signal*);
- UART_RX_i e UART_TX_o: Sinais de transmissão e recepção da interface serial (UART WBM) para acesso aos registradores.

Pode-se notar que a arquitetura final é muito próxima da arquitetura prevista ao final do capítulo 2, divergindo apenas no cálculo da BER, que é feito no computador e não na placa.

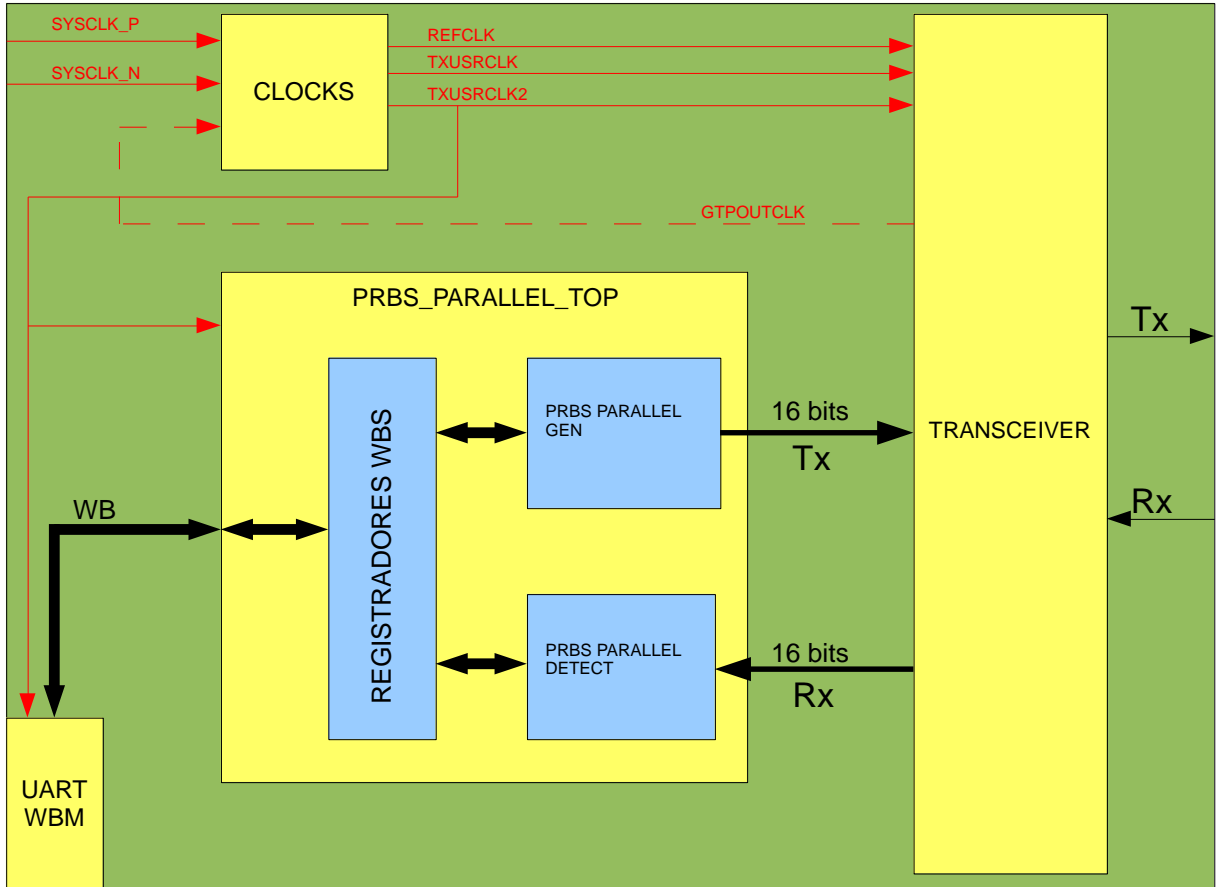


Figura 35 Topo do *design* do *Test Set*

A figura mostra o topo da entidade *Test Set* desenvolvida, descrita em VHDL, mostrando todas as portas de entrada e saída utilizadas pelo FPGA.

```

entity test_set_top is
  port (
    -----
    -- Interface de dados do SFP
    -----
    -- line --
    SFP_TX_P_o      : out std_logic;
    SFP_TX_N_o      : out std_logic;
    SFP_RX_P_i      : in  std_logic;
    SFP_RX_N_i      : in  std_logic;
    -- ctrl --
    SFP_LOS_i       : in  std_logic;
    -----
    -- Botões e Leds
    -----
    CLR_i           : in  std_logic;
    RST_i           : in  std_logic;
    ERR_INS_i       : in  std_logic;

    SLIP_FAST_i    : in  std_logic;
    SLIP_SLOW_i    : in  std_logic;
    PRBS_TYPE_i    : in  std_logic_vector(1 downto 0);

    SYNC_o         : out std_logic;
    SLIP_o         : out std_logic;
    SFP_LOS_o      : out std_logic;
    -----
    -- Entrada de clock SYSTEM
    -----
    SYSCLK_P_i     : in  std_logic;
    SYSCLK_N_i     : in  std_logic;
    -----
    -- Configuracao - UART
    -----
    UART_RX_i      : in  std_logic;
    UART_TX_o      : out std_logic;
  );

```

Figura 36 Entidade *Test Set*

5 RESULTADOS

Neste capítulo serão mostrados os resultados do projeto, contendo informação sobre os testes realizados, uma comparação entre um *test set* comercial e o desenvolvido e os próximos passos a serem realizados a fim de obter melhores resultados.

5.1 TESTES REALIZADOS

Inicialmente os testes realizados focaram na validação do sistema em *hardware*, confirmando os resultados de simulação, verificando o funcionamento do *transceiver*. Em seguida foram realizados alguns testes em fibra óptica, trabalhando com um atenuador variável para realizar testes com a fibra no limite da sensibilidade da interface óptica SFP.

A Figura 37 apresenta os testes realizados sem fibra óptica, a fim de confirmar os resultados de simulação obtidos.

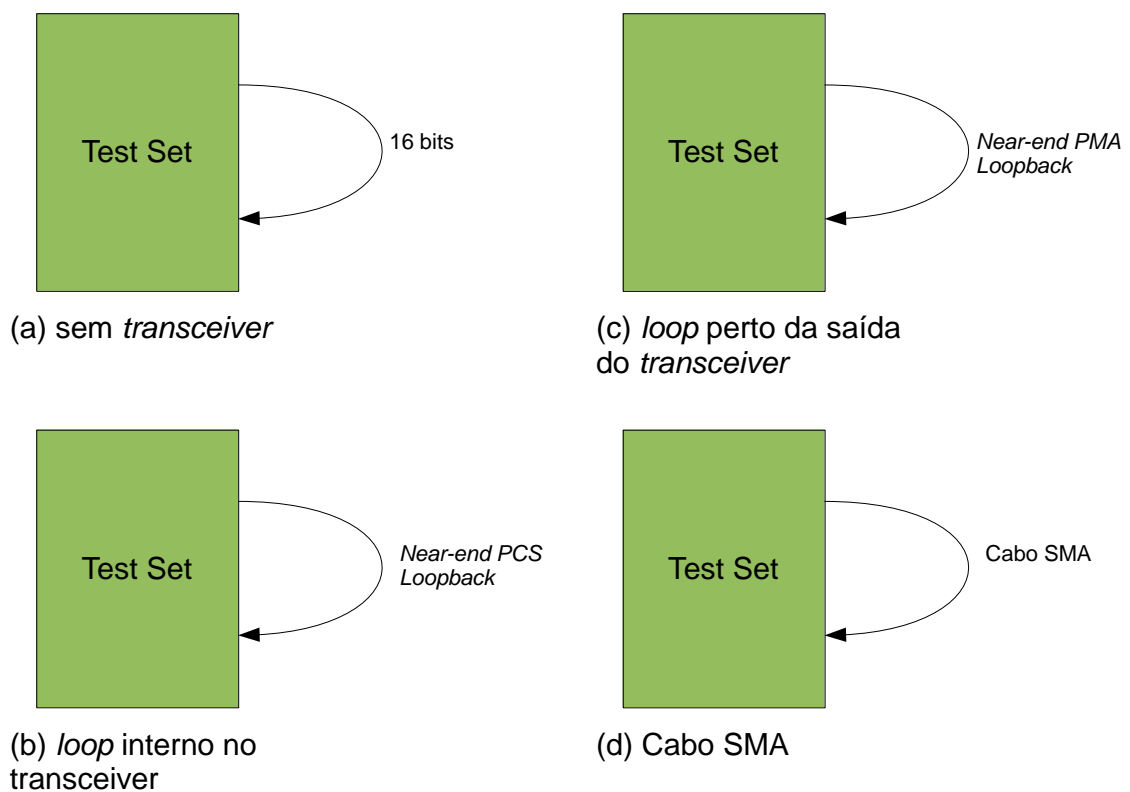


Figura 37 Testes sem fibra óptica

O teste da Figura 37 (a) representa um teste interno do FPGA da interface paralela sem passar pela interface de alta velocidade, utilizando um *loop* no barramento de 10 *bits*. A Figura 37 (b) mostra um teste com um *loop* interno o *transceivers*, chamado de *Near-end PCS Loopback*, que é feito antes de ser feita a serialização. Na Figura 37 (c) é feito o *Near-end PMA Loopback*, também interno ao *transceiver*, mas após a serialização. Por fim, a Figura 37 (d), representa um teste usando um cabo SMA como meio, de tal forma a testar o sistema sem passar pela interface óptica. Todos estes testes foram realizados com sucesso, não ocorrendo erros, exceto quando feita uma inserção de erro ou forçado um *slip* através do próprio *test set*.

Os testes com fibra óptica foram realizados com o auxílio de um atenuador variável e tiveram uma duração de aproximadamente 20 minutos cada teste. Também foi utilizado para parâmetro comparativo o IBERT, um *test set* simples desenvolvido pela Xilinx, fazendo testes sob mesmas condições com o BERT desenvolvido, ambos gerando um PRBS-31.

Tabela 7 Tabela de testes

Atenuação (dB)	IBERT	BERT desenvolvido
0	$6,98 \cdot 10^{-13}$	$7,12 \cdot 10^{-13}$
-10	$6,75 \cdot 10^{-13}$	$6,80 \cdot 10^{-13}$
-20	$6,66 \cdot 10^{-13}$	$6,93 \cdot 10^{-13}$
-22,5	$3,01 \cdot 10^{-10}$	$2,675 \cdot 10^{-10}$
-23	Não entra em sincronismo	Não entra em sincronismo

5.2 PRÓXIMOS PASSOS

Como próximos passos à curto prazo do projeto estaria a realização de uma bateria de testes mais completa, não só testando uma fibra com níveis diferentes de atenuação, mas sim de um sistema WDM completo, onde efeitos como distorção de amplificadores ópticos e efeitos de dispersão entrariam em jogo, para obter dados suficientes para uma comparação estatística entre os dois BERT que se tem a disposição. Também importante é o

desenvolvimento de uma interface gráfica para o projeto, de onde será possível fazer todas configurações do equipamento via o computador.

Para um planejamento em médio prazo, seria interessante fazer um estudo mais profundo da interface de alta velocidade, de modo a poder otimizar o funcionamento desta interface.

5.3 ANÁLISE DE CUSTOS

Um dos objetivos do trabalho era de desenvolver um BERT de 2,5 Gbps de baixo custo. Assim, na tabela é demonstrada esta análise.

Comparação entre <i>Test Sets</i> comercial e do projeto		
	<i>Test Set</i> Comercial	<i>Test Set</i> do projeto
Custo unitário aproximado (US\$)	100000	700 (kit) + 100 (SFP)
Nº de Interfaces	4 @ 2,5Gbps	1 @ 2,5Gbps
Portabilidade	Possui bateria, é de fácil transporte e não necessita de computador.	Necessita de fonte de alimentação e de um computador com interface USB;
Expansões	Passível de aumento de número de interfaces e da taxa de bit através de módulos de <i>hardware</i> e <i>software</i> .	Limitado aos recursos do <i>kit</i> de desenvolvimento. Transição simples para aumentar taxa de bit e nº de interfaces, dependendo de <i>hardware</i> .

6 CONCLUSÃO

Deste projeto foi possível concluir que o desenvolvimento de um equipamento de teste de baixo custo, voltado para o auxílio do desenvolvimento de sistemas ópticos é possível, chegando assim ao objetivo principal do projeto. O *hardware* foi desenvolvido de forma modular e validado através de simulações e testes em *hardware* de forma a verificar que as funcionalidades implementadas estavam de acordo com o desejado.

Também foi desenvolvida uma interface, sendo ela uma combinação entre componentes disponíveis na placa do kit em que foi desenvolvido o sistema e uma interface usado através de um computador, com a qual é possível que o usuário obtenha a BER e faça todas as configurações necessárias para realizar um teste.

Além disso, foram feitos os estudos sobre a BER, sobre fibra óptica e sistemas WDM de maneira a compreender o porquê deve ser feita a medição de taxa de erro de *bit* e quais são os fatores de influência nestes testes.

De qualquer forma, melhorias no projeto se fazem necessárias, como uma interface gráfica mais completa e de mais simples uso, assim como a realização de uma bateria de testes mais representativa, montando um sistema WDM por completo e fazendo uma grande quantidade de testes, para realizar uma melhor comparação entre o *test set* desenvolvido e um *test set* comercial. Devido a restrição de tempo, estas melhorias não puderam ser feitas e ficam como os próximos passos imediatos do projeto. Ainda assim, o sistema desenvolvido já é suficiente para realizar os testes ao qual ele foi proposto, e para a adição de novas funcionalidades, por exemplo, teste de interfaces de 10Gbps para testes de SDH.

Com o desenvolvimento deste projeto se pode concluir que toda a base de conhecimento adquiridos durante o curso de engenharia elétrica, tanto da vivência em sala de aula, como em laboratórios, estágios e outras experiências, formam um conjunto de

conhecimentos e experiências, propiciados pelo curso de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul, que são de grande importância para a realização de um projeto de engenharia. Mesmo sendo este um projeto fortemente focado na parte técnica de desenvolvimento de lógica programável, conhecimentos de diversas outras áreas foram necessários para que se pudesse ter a visão de um sistema completo e a partir deste, poder tomar as decisões de especificação para atender o sistema.

REFERÊNCIAS

ABADDE, A. L. da R.; CAPUTO, M. R. C. **Aplicação do OTDR na Análise de Problemas de Atenuação em Fibras Ópticas: Estudo de Casos.** Instituto Nacional de Telecomunicações, Revista Científica Periódica, Telecomunicações – Volume 05 – Número 02 – Dezembro de 2002. ISSN 1516-2338.

ALFKE, P. **Efficient Shift Registers, LFSR Counters, and Long Pseudo-Random Sequence Generators.** XAPP052 – XILINX. 1996. Disponível em: : < http://www.xilinx.com/support/documentation/application_notes/xapp052.pdf>.

ATHAVELE, A.; CHRISTENSEN, C. **High Speed Serial I/O Made Simple.** A Designer's Guide, with FPGA Applications. Connectivity Solutions – Edition 1.0. 2005

BREED, G. **Analyzing Signals Using the Eye Diagram.** High Frequency Electronics, Summit Technical Media, Abril 2005.

BREED, G. **Bit Error Rate : Fundamental Concepts and Measurement Issues.** High Frequency Electronics, Summit Technical Media, 2003.

COSTA, A. **Características de Transmissão: Atenuação e Dispersão.** FEUP – Faculdade de Engenharia da Universidade do Porto.

FAN, Y. **A Versatile FPGA-based High Speed Bit Error Rate Testing Scheme.** 2003. 110 p. Department of Electrical and Computer Engineering – McGill University, Montreal, 2003.

FINISAR. **Product Guide. Transceivers, Transponders, and Active Cables for Datacom and Telecom Applications.** 2012. Disponível em : <http://www.finisar.com/sites/default/files/pdf/Transceiver%20guide_2_2012%20-%20FINAL.pdf>.

ITU-T O.1 - Series O: Specifications of Measuring Equipment – **Scope and Application of Measurement Specifications Covered in the O-Series Recommendations.** 2000.

ITU-T O.150 - Series O: Specifications of Measuring Equipment – **General requirements for instrumentation for performance measurements on digital transmission equipment.** 2000.

ITU-T O.172 - Series O: Specifications of Measuring Equipment – **Jitter and wander measuring equipment dor digital systems which are based on the synchronous digital hierarchy (SDH).** 2005.

ITU-T O.181 - Series O: Specifications of Measuring Equipment – **Equipment to assess error performance on STM-N interfaces.** 2002.

JDSU. **T-BERD/MTS-8000 Scalable Multitest Platform**. 2012. Disponível em : < <http://www.jdsu.com/ProductLiterature/T-BERD-MTS-8000-ds-fop-tm-ae.pdf>>.

LAFERRIÈRE, J. et al.. **Reference Guide to Fiber Optic Testing: Volume 1 – Second Edition**, França, JDSU, 2011. 172 p.

MAXIM. **Statistical Confidence Levels for Estimating Error Probability**. Rev.2. 2007. Disponível em: <<http://www.math.ist.utl.pt/~apires/pe/AN1095.pdf>>. Acesso em: 1 mai. 2012.

PAPOULIS, A. **Probability, Random Variables and Stochastic Processes**. New York: McGraw-Hill, 1984.

PROAKIS, J. G. **Digital Communications – 4th Edition**, McGraw-Hill, Estados Unidos, 2000. 1024 p.

SAVOJ, J.; RAZAVI, B. **High-Speed CMOS Circuits for Optical Receivers**. Kluwer Academic Publishers, Estados Unidos, 2001. 124 p.

SCHAEFFER, B. **Equipamento de Teste E1 em Redes PDH**. UFRGS, 2008.

SCOTT, C.; NOWAK R. **The Q-function**. Connexions. 2007. Disponível em: <<http://cnx.org/content/m11537/latest/>>. Acesso em: 1 mai. 2012.

XILINX. **Getting Started with the Xilinx Spartan-6 FPGA SP605 Evaluation Kit**. UG525 (v1.3). 2011a. Disponível em: <www.xilinx.com/support/documentation/boards_and_kits/ug525.pdf>.

XILINX. **SP605 GTP IBERT Design Creation**. XTP066. 2012. Disponível em: : < http://www.xilinx.com/support/documentation/sp605_13-4.htm>.

XILINX. **Spartan-6 Family Overview – Product Overview**. DS160 (v2.0). 2011b. Disponível em: < http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf>.

XILINX. **Spartan-6 FPGA GTP Transceivers – Advance Product Specifications**. UG386(v2.2). 2010. Disponível em: < http://www.xilinx.com/support/documentation/user_guides/ug386.pdf>.