

050**REDUÇÃO DE "CLOCK SKEW" NA DISTRIBUIÇÃO DE SINAL DE RELÓGIO COM A UTILIZAÇÃO DE "MESH".** *Cecilia Maggioni Mezzomo, Gustavo Reis Wilke, Ricardo Augusto da Luz Reis (orient.) (UFRGS).*

A distribuição de sinal de relógio sempre foi uma etapa fundamental no projeto de microprocessadores. Atualmente é um problema que afeta não apenas a esses, mas também ao projeto de ASICs (Application Specific Integrated Circuits). A questão da distribuição é fazer com que todos os módulos recebam o relógio exatamente ao mesmo tempo, isto é, distribuir o sinal de relógio com um reduzido clock skew. Esse é somado diretamente ao tempo de ciclo do sinal de relógio, sendo assim um limitante para a frequência de operação. Uma solução para reduzir consideravelmente os problemas na distribuição é a utilização de meshes. Um mesh é uma grade composta por fios nos quais elementos seqüenciais são diretamente conectados. Um mesh é composto por linhas, colunas e nodos. As linhas são fios na direção horizontal enquanto que colunas são fios perpendiculares as linhas. Cada nodo é definido como o ponto de cruzamento entre uma linha e uma coluna. Em cada um deles é ligada a saída de um buffer, pelo qual se propaga o sinal de relógio. Nesse trabalho foi utilizado o modelo 3-PI para a modelagem elétrica dos fios. O modelo 1-PI para um fio entre os pontos A e B é composto por uma capacitância conectada entre o nodo A e o ground. Essa é conectada a uma resistência e uma indutância em série que se conecta ao nodo B. Nesse está conectado mais uma capacitância ligada ao ground. O modelo 3-PI consiste, então, em 3 modelos de 1-PI ligados em série. Uma ferramenta para rápida prototipação de clock meshes foi implementada. Os circuitos são descritos no nível elétrico e simulados através da ferramenta HSpice. Através dessa simulação é possível avaliar qual configuração é capaz de atender melhor os requisitos do sistema.