

**UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**MAURÍCIO CAGLIARI TOSIN**

**PROJETO EM NÍVEL DE TRANSISTORES DE UM CONVERSOR A/D DO  
TIPO REDISTRIBUIÇÃO DE CARGA E AVALIAÇÃO DE SUA FREQUÊNCIA  
MÁXIMA DE OPERAÇÃO**

**Porto Alegre**

**2013**

**MAURÍCIO CAGLIARI TOSIN**

**PROJETO EM NÍVEL DE TRANSISTORES DE UM CONVERSOR A/D DO  
TIPO REDISTRIBUIÇÃO DE CARGA E AVALIAÇÃO DE SUA FREQUÊNCIA  
MÁXIMA DE OPERAÇÃO**

Trabalho de Conclusão de Curso,  
apresentado como requisito parcial para a  
Graduação em Engenharia Elétrica pelo  
Departamento de Engenharia Elétrica da  
Universidade Federal do Rio Grande do  
Sul – DELET/UFRGS.

Orientador: Prof. Dr. Tiago Roberto Balen

Porto Alegre

2013

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

ESCOLA DE ENGENHARIA

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

MAURÍCIO CAGLIARI TOSIN

**PROJETO EM NÍVEL DE TRANSISTORES DE UM CONVERSOR A/D DO  
TIPO REDISTRIBUIÇÃO DE CARGA E AVALIAÇÃO DE SUA FREQUÊNCIA  
MÁXIMA DE OPERAÇÃO**

Este projeto foi julgado adequado para fazer jus aos créditos da Disciplina de “Projeto de Diplomação” do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: \_\_\_\_\_

Prof. Dr. Tiago Roberto Balen, UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul –

Porto Alegre, Brasil

Banca Examinadora:

Prof. Dr. Tiago Roberto Balen, UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Prof. Dr. Éric Ericson Fabris, UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Prof. Dr. Hamilton Duarte Klimach, UFRGS

Doutor pela Universidade Federal de Santa Catarina – Florianópolis, Brasil

**Porto Alegre**

**2013**

## **AGRADECIMENTOS**

Gostaria de agradecer e dedicar esse trabalho aos meus pais, Moacir e Cleide, e aos meus irmãos Roberta, Márcio e Manoela por todo o apoio e suporte. A minha namorada Juliana pelo companheirismo e compreensão. As minhas avós Ires e Ilda e em memória aos meus avôs Fidêncio e Victorino. A todos os meus amigos que de alguma forma foram importantes na realização deste trabalho. Por fim, ao professor Tiago Roberto Balen por estar sempre disponível para sanar minhas dúvidas e se mostrar sempre disposto a me ajudar e contribuir para que o trabalho decorresse da melhor forma.

## RESUMO

Tendo em vista a importância de conversores A/D e a necessidade crescente de melhores desempenhos dos mesmos, viu-se uma razão para o estudo de um tipo específico de conversor: o de redistribuição de carga. O objetivo deste trabalho é o de realizar a descrição do sistema digital de controle do referido conversor (projetado pelo Engenheiro Eletricista Max Feldman em seu Trabalho de Conclusão de Curso) a partir de componentes reais (transistores MOSFET) e uma posterior análise da sua máxima frequência de amostragem. Por fim, com os resultados levantados da análise, realizar um estudo e propor mudanças no projeto que possam vir a melhorar o desempenho do conversor.

Palavras chave: conversor A/D, transistor MOSFET, portas lógicas, sistema digital.

## **ABSTRACT**

Given the importance of A/D converters and the growing need for better performances of this kind of block, it was seen one reason for the study of a specific converter type: the charge redistribution. The goal of this work is to carry out the description of the digital control of such converter (designed by the Electrical Engineer Max Feldman in his Final Course Work) from real components (MOSFETs) and a subsequent analysis of its maximum sampling frequency. Finally, with the results gathered from the analysis, a second goal is to conduct a study and to propose changes in the design in order to improve the performance of the converter.

Keywords: A/D converter, MOSFET transistors, logic gates, digital system.

## LISTA DE FIGURAS

Figura 1: Fluxograma de conversão para um conversor de 3 bits.....	16
Figura 2: Esquemático do conversor.....	17
Figura 3: Diagrama de blocos do conversor.....	21
Figura 4: Diagrama de estados da máquina principal .....	22
Figura 5: Transistor nMOS .....	26
Figura 6: Transistor pMOS .....	26
Figura 7: Desenho do esquemático de uma porta inversora.....	29
Figura 8: Desenho do esquemático de uma porta NAND .....	30
Figura 9: Esquemático de uma porta NAND de 3 entradas. ....	31
Figura 10: Esquemático de uma porta NOR de duas entradas.....	32
Figura 11: Esquemático de uma NOR de três entradas.....	33
Figura 12: Uma rede de <i>pull-down</i> utilizando transistores do tipo pMOS e nMOS.....	34
Figura 13: Uma rede de <i>pull-up</i> utilizando transistores do tipo pMOS e nMOS	35
Figura 14: Desenho de uma porta não inversora, não implementável. ....	35
Figura 15: Modelo RC de uma porta <i>nand</i> de duas entradas.....	38
Figura 16: Modelo RC de uma porta <i>nor</i> de duas entradas. ....	41
Figura 17: Modelo RC de uma porta <i>nand</i> de 4 entradas. ....	42
Figura 18: Desenho do esquemático de um Flip-Flop do tipo JK.....	47
Figura 19: Esquemático de um contador de 3 bits. ....	47
Figura 20: Esquemático de um demultiplexador. ....	48
Figura 21: Cálculo do tempo de atraso de uma transição <i>low to high</i> e <i>high to low</i> .....	49

Figura 22: Esquemático da simulação de uma porta nand de duas entradas com um inversor na saída. ....	50
Figura 23: Simulação de uma porta nand de duas entradas com um inversor na saída. ....	50
Figura 24: Desenho do circuito do caminho crítico do sistema digital. ....	55
Figura 25: Gráfico do atraso do caminho crítico do sistema digital. ....	56
Figura 26: Modelo de chave utilizada. ....	58
Figura 27: Simulação carga dos capacitores. ....	60
Figura 28: Simulação carga dos capacitores C7 e C6. ....	61
Figura 29: Simulação carga dos capacitores C5 e C4. ....	62
Figura 30: Simulação carga dos capacitores C3 e C2. ....	62
Figura 31: Simulação carga dos capacitores C1 e C0/CT. ....	63
Figura 32: Circuito equivalente da Fase de Redistribuição de Carga. ....	64
Figura 33: Simulação da redistribuição de carga dos capacitores. ....	65
Figura 34: Desenho do circuito do caminho crítico. ....	68
Figura 35: Atraso na propagação do sinal que controla o acionamento da chave $S_A$ . ....	69
Figura 36: Resolução e taxa de conversão para diferentes tipos de conversores. ....	72



## LISTA DE TABELAS

Tabela 1: Tabela verdade do Inversor.....	29
Tabela 2: Tabela verdade de uma NAND de duas entradas.....	31
Tabela 3: Tabela verdade de uma NAND de duas entradas.....	33
Tabela 4: Tempo de atrasos das portas lógicas do sistema digital. ....	52
Tabela 5: Tabela verdade da chave. ....	59
Tabela 6: Comparação entre diferentes tipos de conversores. ....	73

# SUMÁRIO

1. INTRODUÇÃO .....	12
1.1. Motivação.....	12
1.2. Objetivo .....	13
1.3. Organização do trabalho .....	13
2. CONVERSOR A/D DO TIPO REDISTRIBUIÇÃO DE CARGA .....	15
2.1 Descrição do funcionamento do conversor .....	17
2.1.1. Fase de Amostragem .....	18
2.1.2. Fase de Retenção .....	18
2.1.3. Fase de Redistribuição de Carga .....	19
2.2. Sistema de Controle Digital.....	20
2.2.1. A Máquina de Estados.....	21
2.2.2. O Contador .....	23
2.2.3. O Demultiplexador .....	23
2.2.4. Circuito de entrada dos registradores.....	23
2.2.5. Circuito Reset/Start.....	23
3. UM ESTUDO SOBRE DESCRIÇÃO DE PORTAS LÓGICAS A NÍVEL DE TRANSISTORES E DO ATRASO GERADO.....	25
3.1. O transistor MOSFET.....	25
3.2. Descrição de portas lógicas a partir de transistores MOSFET .....	28
3.2.1. O Inversor .....	28
3.2.2. A porta NAND .....	30
3.2.3. A porta NOR .....	32

3.3. Atraso gerado por uma porta lógica .....	36
4. DETERMINAÇÃO DO ATRASO GERADO PELAS PORTAS LÓGICAS DO SISTEMA DIGITAL DE CONTROLE E DO CAMINHO CRÍTICO.....	44
4.1. Determinação do atraso gerado por cada porta lógica do sistema digital de controle .....	45
4.2. Cálculo do atraso gerado pelo caminho crítico do sistema digital de controle.....	53
5. DETERMINAÇÃO E ANÁLISE DA FREQUÊNCIA MÁXIMA DE AMOSTRAGEM DO CONVERSOR .....	57
5.1. Determinação da Frequência máxima de amostragem do conversor .	58
5.2. Análise da frequência de amostragem e das possíveis aplicações para o conversor .....	71
6. CONCLUSÕES .....	75
7. REFERÊNCIAS.....	76
APÊNDICE 1 - CIRCUITO DO SISTEMA DIGITAL DE CONTROLE .....	77
APÊNDICE 2 - NETLIST SPICE .....	79
APÊNDICE 3 - SCRIPT PARA SIMULAÇÃO EM MATLAB .....	87

# 1. INTRODUÇÃO

## 1.1. Motivação

Nos dias atuais, é crescente a necessidade de velocidade na transmissão e processamento de sinais. Seja em telecomunicações, onde o usuário exige cada vez mais velocidade em suas transações de dados na internet, ou até mesmo em processamento de vídeo, conversores A/D cada vez mais velozes são requeridos. Por outro lado, em aplicações onde há a disponibilidade de pouca energia, como por exemplo em aplicações em satélites, conversores mais "econômicos", ou seja, que requerem uma menor quantidade de energia, são preferíveis aos mais "rápidos" porém de potência considerável. Logo, estudos no sentido de desenvolvimento de conversores A/D mais velozes ou mais "econômicos" são de grande valia.

Considerando o que foi dito acima, viu-se a importância de um estudo de um tipo específico de conversor A/D: o do tipo redistribuição de carga. Portanto, a motivação deste trabalho consiste no estudo de uma topologia já projetada de tal tipo de conversor. Dessa maneira, a proposta do presente trabalho é o de dar seguimento ao trabalho realizado pelo Engenheiro Eletricista Max Feldman em seu trabalho de conclusão de curso, onde foi realizado o projeto de uma topologia para o sistema digital de controle de um conversor A/D do tipo redistribuição de carga. O foco principal deste trabalho será a descrição em nível de transistores de tal sistema, projetado inicialmente a partir de portas lógicas ideais, para uma posterior caracterização dos atrasos gerados pelas referidas portas lógicas a partir de simulações. Também será realizada, porém de um modo mais superficial, uma análise do atraso gerado pelo tempo de carga do banco de capacitores de modo a se ter uma estimativa da frequência máxima de amostragem do conversor com o intuito de possibilitar uma posterior análise de injeção de falhas. Portanto o foco do

trabalho será o de realizar apenas um estudo de um conversor, e não o projeto do mesmo.

## **1.2. Objetivo**

Este trabalho visa dar seguimento ao projeto de um conversor A/D do tipo redistribuição de carga. Ele consiste na descrição do sistema digital de controle projetado em nível de transistores. Após, o circuito obtido será submetido a uma análise do atraso propagado pelas portas lógicas através de simulações. Assim, com a determinação do atraso gerado pelas portas lógicas do circuito, e a partir também de uma análise superficial do atraso gerado pelo banco de capacitores, torna-se possível a realização de uma estimativa de sua frequência máxima de operação, também descrita nesse trabalho.

Portanto, o objetivo do presente trabalho é o de realizar um estudo do atraso gerado pelas portas lógicas que constituem o sistema digital de controle de um conversor A/D. Tal estudo juntamente com a análise simplificada do banco de capacitores terá a finalidade de estimar a sua frequência máxima de operação e possibilitar uma posterior análise de injeção de falhas. Esse estudo será realizado a partir de simulações do sistema digital de controle e do banco de capacitores que o constituem. Todas as simulações serão feitas através do software simulador HSpice.

## **1.3. Organização do trabalho**

O trabalho foi dividido em 5 capítulos e estruturado da seguinte maneira:

- *Capítulo 2:* apresenta a descrição do projeto do conversor A/D que será foco do estudo realizado no decorrer dos capítulos subsequentes;
- *Capítulo 3:* apresenta um estudo sobre descrição de portas lógicas a partir de transistores MOSFET e métodos analíticos de determinação do atraso das mesmas;
- *Capítulo 4:* apresenta a descrição dos resultados obtidos das simulações das portas lógicas presentes no circuito do sistema digital de controle do conversor descrito no capítulo 2, bem como a determinação do seu caminho crítico;
- *Capítulo 5:* apresenta a descrição das simulações realizadas do banco de capacitores e estimativa da frequência máxima de amostragem do conversor;
- *Capítulo 6:* apresenta as conclusões dos resultados obtidos a partir do estudo descrito nos capítulos anteriores.

## 2. CONVERSOR A/D DO TIPO REDISTRIBUIÇÃO DE CARGA

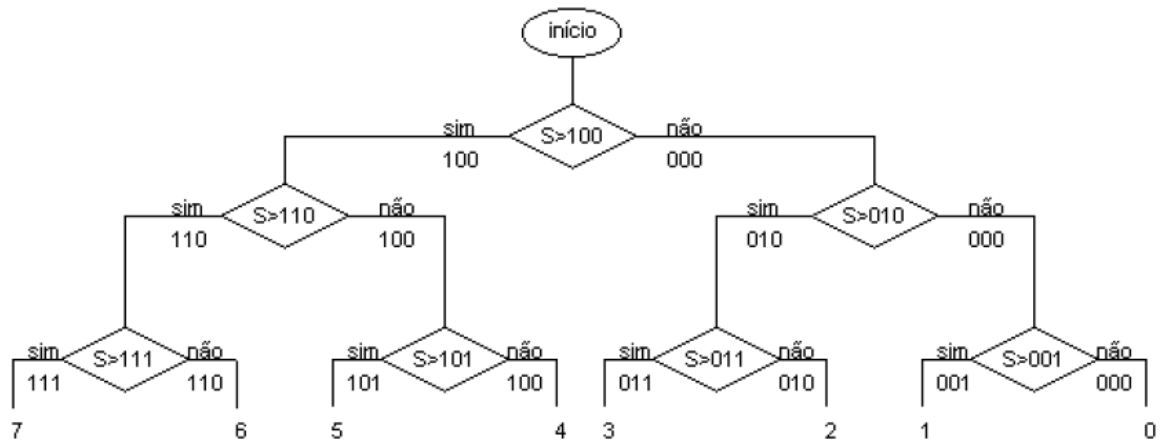
Antes de iniciar a descrição da implementação e, posteriormente, da análise do circuito de controle do conversor foco deste estudo, convém primeiramente o entendimento do funcionamento do sistema.

Um conversor A/D é um circuito eletrônico capaz de representar uma grandeza analógica na forma de uma representação digital. Eles são muito usados em transmissão e processamento de sinais, leitura de sensores, captação de áudio e vídeo, dentre outros. Em nosso cotidiano nos deparamos frequentemente com eles, e por isso pode-se dizer que eles são de uma importância fundamental. Nas próximas linhas será realizada a descrição e análise de um tipo em especial de conversor: o do tipo redistribuição de carga.

Para o funcionamento deste tipo de conversor são necessários um banco de capacitores, chaves controladas e um sistema digital de controle. Para um conversor de  $n$  bits, são requeridos  $(n + 1)$  capacitores e  $(2(n + 2))$  chaves. Estas últimas, são acionadas de acordo com instruções vindas do circuito digital de controle.

A conversão é realizada bit a bit, a partir de comparações sucessivas entre a carga presente nos capacitores e uma tensão de referência. O resultado dessa comparação indica se o bit em questão é sinal baixo (0) ou sinal alto (1). A sequência de formação da palavra digital final, ou seja, do valor da tensão convertida, se dá do bit mais significativo para o menos. Para uma melhor visualização do processo de conversão, segue o fluxograma para um conversor de 3 bits.

**Figura 1:** Fluxograma de conversão para um conversor de 3 bits.



FONTE: (Trabalho de Conclusão de Curso, MAX FELDMAN)

Como dito anteriormente e ilustrado no fluxograma da Figura 1, a conversão se dá do bit mais significativo para o menos. Primeiramente ele testa se o valor de tensão, o qual se deseja converter, é maior do que o valor correspondido ao primeiro bit igual a 1 e todos os outros (os menos significativos) iguais a zero. Isso seria o mesmo do que comparar o valor da tensão a ser convertida com a metade do valor de referência do conversor. A partir dessa comparação, é possível determinar o valor do bit mais significativo da saída: se o resultado for maior, então o bit é 1, ao passo que se for menor ele é 0.

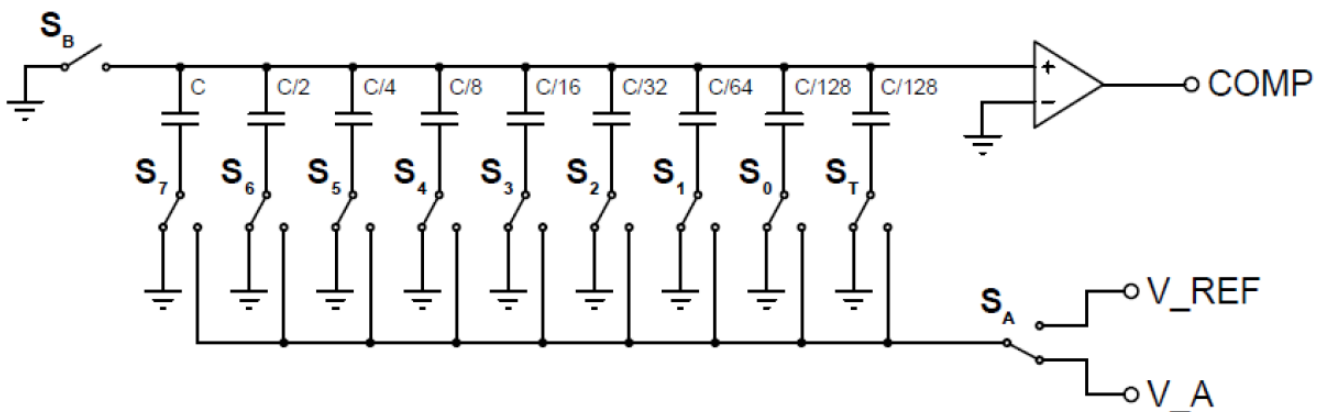
A seguir será explicado mais detalhadamente o funcionamento do conversor, com a descrição do comportamento de cada componente em cada etapa da conversão.



## 2.1 Descrição do funcionamento do conversor

A Figura 2 ilustra o esquemático do conversor. As nomenclaturas que ali estão representadas serão usadas posteriormente na explicação do seu funcionamento.

Figura 2: Esquemático do conversor



FONTE: (Trabalho de Conclusão de Curso, MAX FELDMAN)

Como pode ser notado no desenho do circuito, o mesmo se trata de um conversor de 8 bits, uma vez que ele é composto por 9 capacitores. A capacitância equivalente deste arranjo é de  $2C$ .

Para melhor compreender o processo de funcionamento deste tipo de conversor, pode-se dividi-lo em três etapas: Fase de Amostragem, Fase de Retenção e Fase de Redistribuição de Carga. A seguir encontra-se uma descrição sobre cada uma dessas etapas.

### 2.1.1. Fase de Amostragem

Nesta etapa do processo de conversão, a chave  $S_B$  é fechada, conectando o "barramento superior" ao referencial 0 (*ground* do circuito), enquanto que a chave  $S_A$  é conectada a  $V_A$ , que é a tensão que se quer realizar a conversão. Quando isso ocorre, temos todos os capacitores conectados em paralelo e sendo alimentados pela tensão  $V_A$ . Desse modo a carga total armazenada será de:

$$Q_{TOTAL} = V_A \cdot 2C \quad (1)$$

Assim, cada capacitor armazena um valor proporcional a sua capacitância e à tensão amostrada.

### 2.1.2. Fase de Retenção

Nesta etapa, a chave  $S_B$  é aberta e as chaves  $S_1$  até  $S_T$  são conectadas ao terra do circuito. Desse modo, os capacitores são desconectados do barramento de tensão  $V_A$  e um nível de tensão igual a  $-V_A$  surge no "barramento superior". Após, a chave  $S_A$  conecta os capacitores à tensão de referência do conversor  $V_{REF}$ , preparando-se assim para a etapa de redistribuição de carga.

### 2.1.3. Fase de Redistribuição de Carga

É durante essa etapa que a conversão acontece de fato. Nela é que são realizadas as comparações sucessivas, descritas na seção 2, e determinados os valores dos bits da palavra digital da saída.

Primeiramente, a chave S7 é desconectada do terra e ligada a  $V_{REF}$ . Dessa maneira, o capacitor conectado à chave referida anteriormente passa a estar em série com o paralelo dos demais capacitores. Quando isso ocorre, a tensão no "barramento superior" sofre um acréscimo de metade da tensão de referência ( $V_{REF}$ ). Isso se dá pelo fato do capacitor ligado à chave S7 possuir capacitância  $C$  que é o mesmo valor da capacitância equivalente dos demais capacitores em paralelo e metade da capacitância total do circuito. Deste modo, a tensão de referência divide-se proporcionalmente entre os dois valores de capacitância em série, ou seja, cada um deles receberá metade de  $V_{REF}$ .

Com base no que foi explicado anteriormente, chega-se à seguinte equação para a tensão do "barramento superior".

$$V_{sup} = -V_A + \frac{V_{REF}}{2} \quad (2)$$

Como o "barramento superior" está ligado na entrada não inversora de um amplificador operacional cuja entrada inversora está aterrada (funcionando como um comparador), sempre que a sua tensão for negativa se observará na saída, considerando a mesma como um sinal digital, um nível lógico baixo (0). Por outro lado, sempre que ela for positiva aparecerá um nível lógico alto (1) na saída. Quando o resultado da comparação der 0, significa que  $V_A$  é maior que a metade do valor da tensão de referência  $V_{REF}$ . Logo o valor do bit mais significativo da palavra digital da saída deverá ser 1. Desse modo a chave S7 deverá se manter conectada à  $V_A$ . Já quando  $V_A$  for menor do que a metade de

$V_{REF}$ , deverá aparecer 1 na saída do comparador e, conseqüentemente, o valor do bit mais significativo da palavra digital da saída será 0. Desse modo a chave S7 deverá voltar para o terra.

Após a definição do bit mais significativo, é a vez da chave S6 se conectar à  $V_{REF}$ . Desse modo obtém-se a seguinte equação para a tensão do "barramento superior".

$$V_{sup} = -V_A + bit7 \cdot \frac{V_{REF}}{2} + \frac{V_{REF}}{4} \quad (3)$$

Onde *bit7* representa o valor do bit mais significativo encontrado na etapa descrita anteriormente. Da mesma maneira da determinação do bit mais significativo, para o bit 6 ser 1 o resultado da comparação deverá ser 0 e para ser 0, o resultado da comparação deverá ser 1.

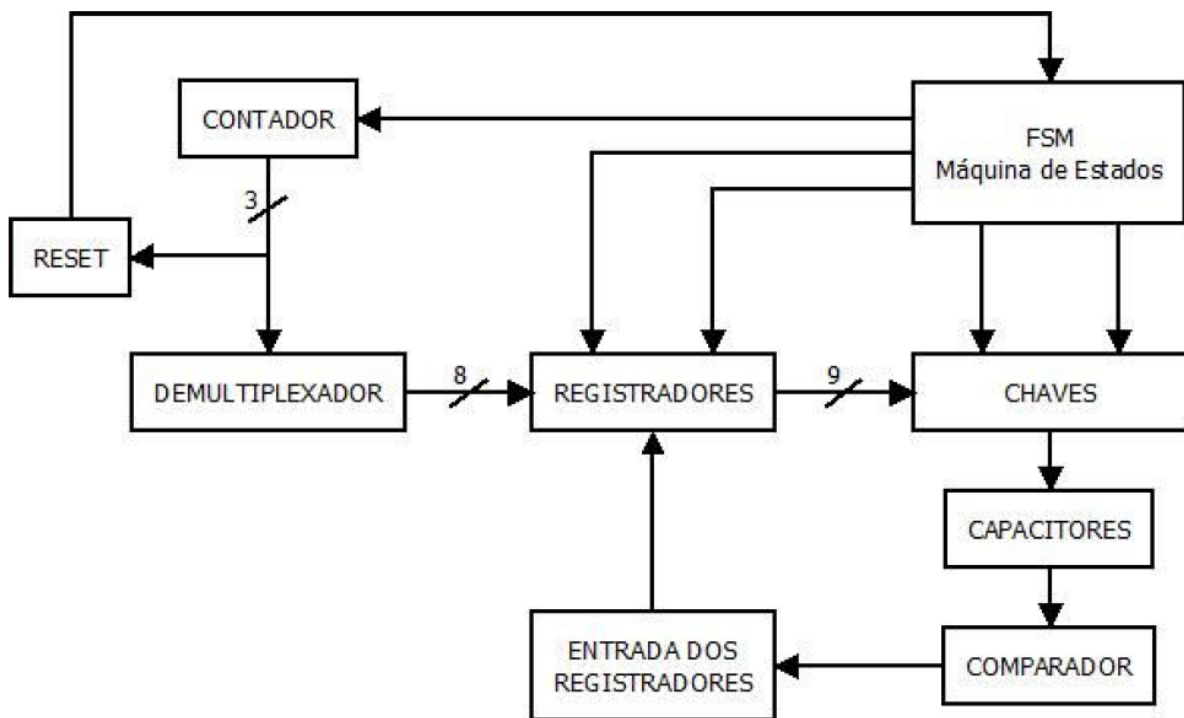
Para a determinação dos demais bits a lógica segue a mesma. O processo se repetirá até que a chave S0 se conecte à  $V_A$  e o bit 0 seja encontrado. Quando isso ocorrer, a palavra digital estará completa e a conversão completada. Um novo processo de conversão será portanto iniciada.

## 2.2. Sistema de Controle Digital

Nesta seção será descrito o sistema de controle digital projetado para este conversor pelo Engenheiro Eletricista Max Feldman em seu trabalho de conclusão de curso. Sistema este que é o foco deste trabalho. Sua descrição em nível de transistores bem como um estudo da otimização do conversor através do projeto das portas lógicas, serão tratados mais detalhadamente nos próximos capítulos desta monografia.

O sistema de controle digital projetado para este conversor consiste basicamente numa máquina de estados, um demultiplexador, um contador, um banco de flip-flops. A Figura 3 mostra o diagrama de blocos do sistema.

**Figura 3:** Diagrama de blocos do conversor



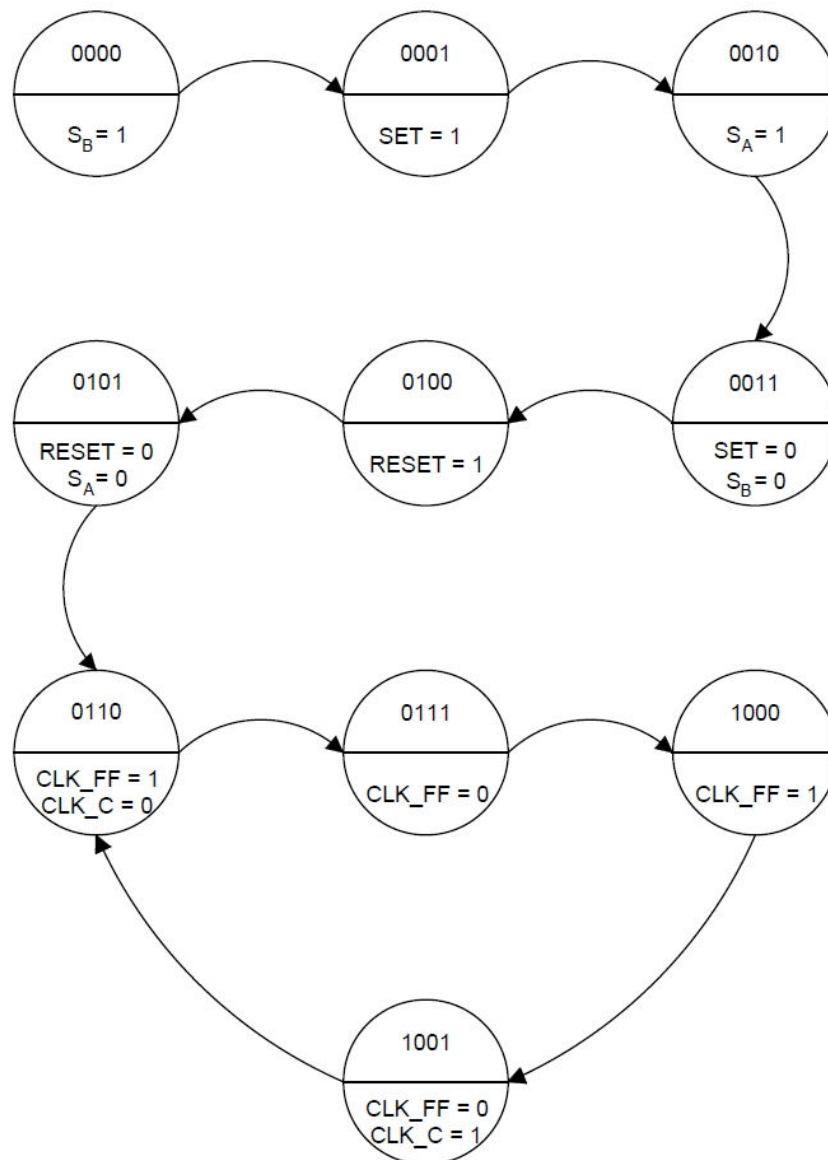
FONTE: (Trabalho de Conclusão de Curso, MAX FELDMAN)

A seguir será explicado o funcionamento de cada parte do sistema, conforme sua descrição no diagrama de blocos acima.

### 2.2.1. A Máquina de Estados

Para o projeto desta etapa do sistema de controle, primeiramente foi desenhado um diagrama de estados. A Figura 4 ilustra este diagrama

**Figura 4:** Diagrama de estados da máquina principal



FONTE: (Trabalho de Conclusão de Curso, MAX FELDMAN)

Este bloco é o mais importante de todo o sistema. Como pode ser visto no diagrama da Figura 4, ele é o responsável pela determinação do sinal de controle das chaves A e B, pelo sinais de clock, de SET e de RESET de um banco de 9 *flip-flops*, além do sinal de clock do contador.

Com base neste diagrama de estados, foi determinada uma tabela verdade e a partir dessa tabela foi projetado o circuito combinacional deste bloco do sistema.

### **2.2.2. O Contador**

O contador tem como principal função determinar qual bit está sendo determinado através do chaveamento de um dos capacitores. Para isso, sua saída está conectada ao endereçamento do demultiplexador. A função do demultiplexador será descrita mais detalhadamente na próxima seção. Outra função do contador é a de indicar quando uma conversão chegou ao final através do seus bits de saída.

### **2.2.3. O Demultiplexador**

A função do demultiplexador é a de fazer a seleção do capacitor que deve ser chaveado. Como dito anteriormente, o endereçamento do demultiplexador é conectado na saída do contador ao passo que a sua saída é responsável pelo clock dos *flip-flops* responsáveis por acionar as chaves dos capacitores.

### **2.2.4. Circuito de entrada dos registradores**

Este bloco do sistema controla o valor de entrada dos *flip-flops* que alimentam as chaves dos capacitores. Ele consiste num *flip-flop*, e numa porta lógica do tipo OU.

### **2.2.5. Circuito Reset/Start**

Este circuito é o responsável por reiniciar o processo quando uma conversão termina. Sua entrada consiste na saída de uma porta lógica do tipo

E. As entradas desta porta lógica são as saídas do contador descrito anteriormente. Este circuito possui uma outra entrada, a entrada de RESET, que é a responsável por reiniciar o processo.



### **3. UM ESTUDO SOBRE DESCRIÇÃO DE PORTAS LÓGICAS A NÍVEL DE TRANSISTORES E DO ATRASO GERADO**

Como já dito, o foco principal deste trabalho é o estudo do sistema digital de controle projetado para o conversor descrito no capítulo anterior. Portanto, este e o próximo capítulo serão totalmente focados em tal estudo.

Este capítulo do presente trabalho versará sobre a descrição do sistema de controle digital do conversor explicado anteriormente em nível de transistores. Primeiramente cada porta lógica que compunha o sistema foi desenhada em nível de transistores. Para isso, foram utilizados transistores do tipo MOSFET (*Metal Oxide Semiconductor Field Effect Transistors*) de tecnologia 130nm. Tendo o desenho de cada porta, foi realizada simulações das mesmas através da ferramenta computacional HSpice. A partir dos resultados obtidos das simulações, foi possível determinar o atraso correspondente a cada porta e, conseqüentemente, a frequência máxima de operação do conversor.

Nas seções subsequentes, será descrita detalhadamente cada etapa do projeto. A teoria necessária para se chegar ao desenho final, os resultados obtidos e a descrição dos materiais utilizados, também serão tema dos próximos subcapítulos.

#### **3.1. O transistor MOSFET**

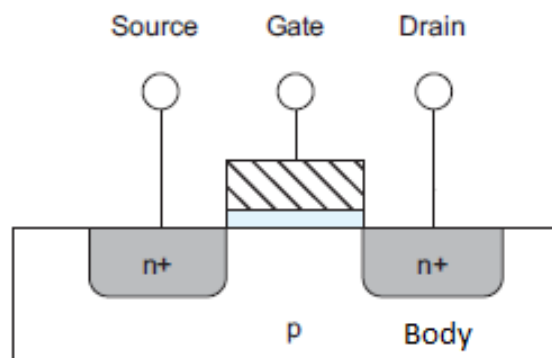
Antes de se iniciar a teoria do projeto de portas lógicas a partir de transistores MOSFET, faz-se necessário um estudo deste tipo transistor para um melhor entendimento de seu funcionamento.

Um transistor MOSFET é composto por camadas de silício. Este tipo de material é um semicondutor, isto é, possui condutividade intermediária,

entre condutores e isolantes. Os semicondutores podem ser do tipo n ou do tipo p. Os do tipo n possuem elétrons livres e os do tipo p possuem lacunas livres. Lacunas são os espaços deixados pelos elétrons que partem de um átomo para se recombinar com uma lacuna livre de um outro átomo.

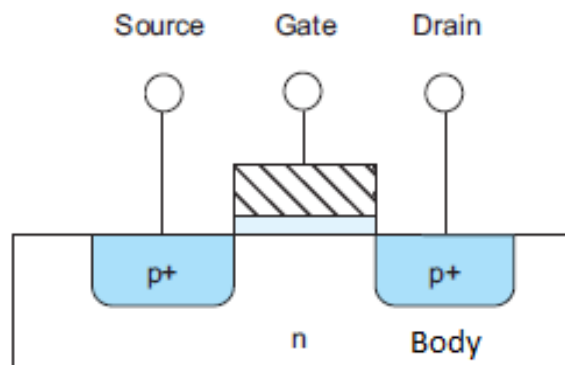
Este tipo de transistor é formado pela porta (*gate*), dreno (*drain*), fonte (*source*), substrato (*body*) e uma camada de óxido. As figuras 5 e 6 ilustram um transistor nMOS e um pMOS, respectivamente.

**Figura 5:** Transistor nMOS



FONTE: (WESTE & HARRIS, 2011)

**Figura 6:** Transistor pMOS



FONTE: (WESTE & HARRIS, 2011)

Observando os dois desenhos, pode-se notar que os transistores do tipo nMOS possuem a fonte e o dreno constituídos por materiais semicondutores do tipo n e o substrato do tipo p. Ao passo que os do tipo pMOS possuem a fonte e o dreno constituídos por materiais semicondutores do tipo p e o substrato do tipo n.

Para melhor entender o funcionamento deste componente, primeiramente será considerado um transistor nMOS. Ao se aplicar uma tensão positiva no terminal da porta, os poucos elétrons livres presentes no substrato (que é composto por um material semicondutor do tipo p) serão atraídos para a superfície de contato com o óxido. Este último por sua vez, não deixará que esses elétrons o ultrapassem e formem uma corrente em direção à porta. Logo eles ficarão concentrados na parte superior do substrato, fazendo um canal de material tipo n ligando a fonte e o dreno. Dessa forma, ao inserir uma diferença de potencial entre os terminais de fonte e dreno, uma corrente elétrica se observará passando pelo canal tipo n formado. Porém, para que haja a formação de tal canal, é necessário que se tenha uma diferença de potencial entre os terminais de porta e o de fonte superior a um valor denominado tensão de limiar (tensão de *threshold*). A equação 4 mostra essa condição.

$$V_{GS} > V_{threshold} \quad (4)$$

Onde  $V_{GS}$  é a tensão entre os terminais de porta e de fonte e  $V_{threshold}$  é a tensão de *threshold*.

Para os transistores do tipo pMOS o funcionamento é similar. A única diferença é que em vez de uma tensão positiva, é necessária uma tensão negativa no terminal de porta para que haja a formação de um canal tipo p entre os terminais de dreno e fonte. Porém, para que haja a formação de tal canal, é necessário que se tenha uma diferença de potencial entre os terminais de porta e o de fonte menor do que o valor da tensão de *threshold*. A equação 5 mostra essa condição.

$$V_{GS} < V_{threshold} \quad (5)$$

Deste modo, esse tipo de transistor pode funcionar como chave controlada, deixando passar um sinal quando é aplicado um nível alto (1) ou baixo (0) de tensão em seu terminal de porta. Considerando um nMOS, ele só deixará passar um sinal se um valor alto for aplicado em seu terminal de porta. Em contrapartida, para um pMOS deixar passar um sinal, um valor baixo de tensão deve ser aplicado em seu terminal de porta.

## **3.2. Descrição de portas lógicas a partir de transistores MOSFET**

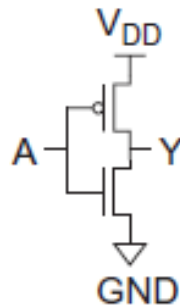
Como visto na seção anterior, os transistores MOSFET podem funcionar como chaves controladas. Os do tipo nMOS acionam-se com um nível lógico alto, enquanto que os do tipo pMOS acionam-se com um nível lógico baixo. Com base nessa característica é que são desenvolvidas as portas lógicas E negado (*nand*), OU negado (*nor*) e o inversor (*inverter*).

A seguir será explicado mais detalhadamente como é feita a descrição de cada uma dessas portas lógicas.

### **3.2.1. O Inversor**

Um inversor é constituído de um par de transistores. Um do tipo nMOS e outro pMOS. A figura 7 ilustra o esquemático desta porta lógica.

**Figura 7:** Desenho do esquemático de uma porta inversora



FONTE: (WESTE & HARRIS, 2011)

Quando é aplicado um nível lógico 1 nos terminais de porta dos dois transistores, isto é, quando A for 1, o transistor do tipo nMOS irá conduzir e o do tipo pMOS irá ficar em aberto. Como o dreno do transistor nMOS está conectado no *ground*, um nível lógico baixo será conduzido por deste terminal até a fonte, que está conectada à saída. Deste modo, se obtém na saída um nível lógico 0. Já quando A for 0, observa-se o transistor pMOS em condução e o nMOS cortado. Uma vez que o terminal de fonte do transistor pMOS está conectado à fonte de tensão  $V_{DD}$ , um nível lógico alto será conduzido por este terminal até o dreno, que está conectado à saída.

Com base na descrição acima, obtém-se a seguinte tabela verdade para o inversor.

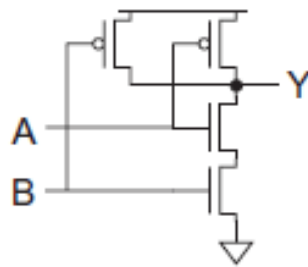
Tabela 1: Tabela verdade do Inversor

A	Y
0	1
1	0

### 3.2.2. A porta NAND

Dando seqüência ao estudo da descrição de portas lógicas a nível de transistores, tem-se a porta lógica *nand* (E negado). Ela é constituída por dois transistores pMOS (no caso de uma porta com apenas duas entradas) conectados em paralelo, ou seja, com seus terminais de fonte e dreno ligados, e dois transistores do tipo nMOS conectados em série, ou seja, com o terminal de fonte de um deles conectado com o terminal de dreno do outro. A figura 8 ilustra o esquemático de uma *nand*.

**Figura 8:** Desenho do esquemático de uma porta NAND



FONTE: (WESTE & HARRIS, 2011)

Como pode ser visto na figura 8, quando o sinal A ou o sinal B for 0, um dos transistores pMOS irá conduzir e a saída Y terá o valor de  $V_{DD}$ , isso é, se observará um sinal 1 na saída. Isso se dá pelo fato dos dois transistores pMOS estarem conectados em paralelo. Desse modo, basta que um deles esteja conduzindo para que a tensão  $V_{DD}$  seja conduzida à saída Y. Por outro lado, analisando os transistores nMOS nota-se que apenas quando ambos os sinais A e B forem 1 consegue-se que o *ground* seja conectado à saída. Isso é explicado pelo fato dos transistores estarem ligados em série. Logo, para que se tenha um sinal 0 na saída Y é necessário que os dois transistores nMOS estejam conduzindo simultaneamente.

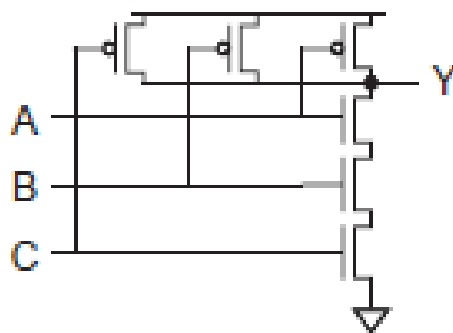
Com base na descrição acima, obtém-se a seguinte tabela verdade para uma porta *nand*.

Tabela 2: Tabela verdade de uma NAND de duas entradas

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Analisando o funcionamento e o desenho do circuito de uma porta *nand*, nota-se claramente que o número de entradas da porta está diretamente relacionado ao número de transistores pMOS e nMOS. Para a construção de uma porta *nand* de três entradas, por exemplo, são necessários três transistores nMOS conectados em série e três pMOS conectados em paralelo. A figura 9 mostra o circuito de uma porta *nand* de três entradas.

Figura 9: Esquemático de uma porta NAND de 3 entradas.



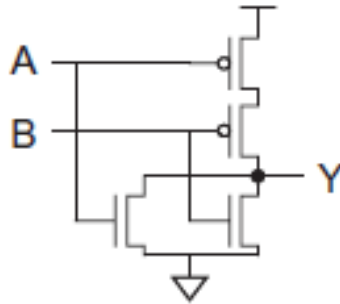
FONTE: (WESTE & HARRIS, 2011)

Deste modo, conclui-se que a relação número de entradas por número de transistores é tal que para a construção de uma *nand* de N entradas é necessário 2N transistores (N transistores pMOS e N transistores nMOS).

### 3.2.3. A porta NOR

Após a realização do estudo das portas lógicas *nand* e inversor resta apenas a da *nor* (OU negado). Da mesma maneira da *nand*, será considerado uma porta *nor* de duas entradas. Sua descrição em nível de transistores é bem similar a da *nand*. O número de transistores é o mesmo. A única diferença é que, no seu caso, os transistores pMOS são conectados em série e os nMOS são conectados em paralelo. Lembrando que no caso de uma porta *nand* a conexão é inversa: os transistores pMOS são conectados em paralelo e os nMOS em série. A figura 10 ilustra o esquemático de uma porta *nor* de duas entradas.

**Figura 10:** Esquemático de uma porta NOR de duas entradas



FONTE: (WESTE & HARRIS, 2011)

Analisando o circuito da figura 10, vê-se que para se obter um valor 1 na saída Y é necessário que ambas as entradas A e B tenham valor 0, dado que os transistores pMOS estão conectados em série. Em contrapartida, para que a saída receba um valor 0 é preciso que apenas um dos transistores nMOS ou ambos estejam conduzindo, ou seja, que A ou B ou ambos simultaneamente tenham valor 1. Com base nisso, obtém-se a seguinte tabela verdade para essa porta lógica.

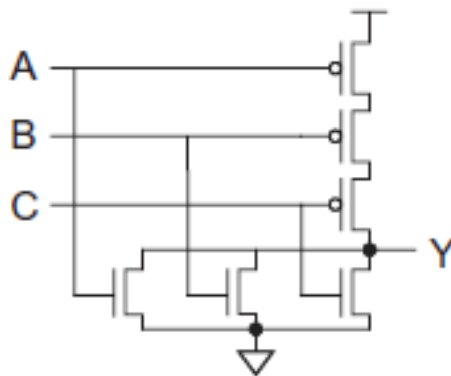


Tabela 3: Tabela verdade de uma NAND de duas entradas

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Igualmente ao que ocorre com a porta *nand*, observa-se que o número de transistores presentes numa porta *nor* está diretamente relacionada com o seu número de entradas. Para o caso da referida porta lógica com duas entradas vista anteriormente, foi necessário o uso de dois transistores de cada tipo (nMOS e pMOS). Consequentemente, para a construção de uma *nor* de três entradas será requerida a utilização de três transistores pMOS e três nMOS. A figura 11 mostra o circuito de uma *nor* de três entradas.

Figura 11: Esquemático de uma NOR de três entradas



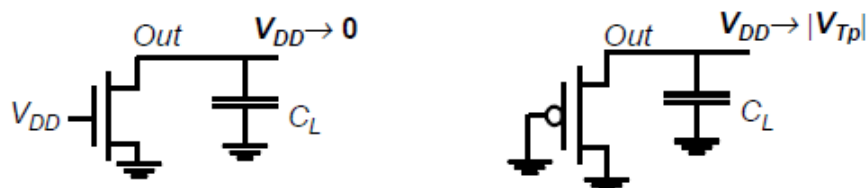
FONTE: (WESTE & HARRIS, 2011)

Logo, conclui-se que a relação número de entradas por número de transistores é tal que para a construção de uma *nor* de N entradas é necessário 2N transistores (N transistores pmos e N transistores nMOS).

Analisando o funcionamento das portas lógicas descritas anteriormente, vê-se que os transistores pMOS são responsáveis por

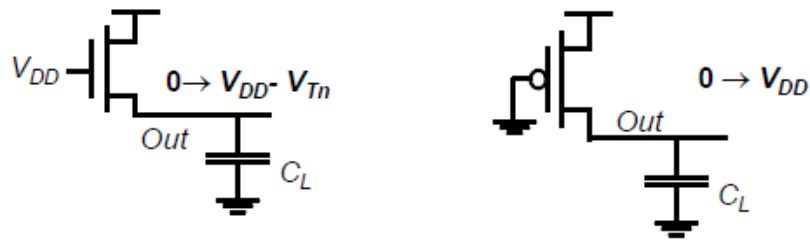
conduzirem um sinal 1 para a saída, ao passo que os transistores nMOS são responsáveis pela condução do sinal 0 à saída. Neste caso, diz-se que os transistores pmos formam uma rede de *pull-up*, e os transistores nMOS formam uma rede de *pull-down*. Transistores nMOS não conseguem conduzir o sinal de  $V_{DD}$  de maneira satisfatória. Eles conduzem um valor de tensão um pouco menor do que  $V_{DD}$ . Por outro lado, transistores pMOS são imperfeitos conduzindo sinal 0. Deste modo diz-se que transistores nMOS conduzem um sinal "0 mais forte" e os transistores pMOS, em contrapartida, conduzem um sinal "1 mais forte". Para ilustrar isso, considera-se os exemplos ilustrados nas figuras 12 e 13. Na figura 12, os capacitores conectados na saída dos transistores estão carregados com  $V_{DD}$ . Deste modo, observa-se que no caso do transistor nMOS o capacitor consegue se descarregar totalmente. Em contrapartida no caso do transistor do tipo pMOS, o capacitor não consegue se descarregar totalmente. Ele se descarrega até uma tensão igual a tensão de *threshold* do transistor, uma vez que a diferença de potencial entre seus terminais de porta e da fonte precisa ser menor do que tal tensão para que haja a formação do canal. Já na figura 13, o capacitor está inicialmente descarregado e se carrega por meio dos transistores. Nesse caso, observa-se que para o transistor pMOS o capacitor se carrega totalmente com  $V_{DD}$ . Por outro lado, no circuito do transistor nMOS o capacitor não consegue se carregar com uma tensão maior do que  $V_{DD} - V_{th}$ , uma vez que a diferença de potencial entre seus terminais de porta e da fonte precisa ser maior do que a tensão de *threshold* para que haja a formação do canal (RABAEY, CHANDRAKAZAN & NIKOLIC, 2002).

**Figura 12:** Uma rede de *pull-down* utilizando transistores do tipo pMOS e nMOS.



FONTE: (RABAEY, CHANDRAKAZAN & NIKOLIC, 2002)

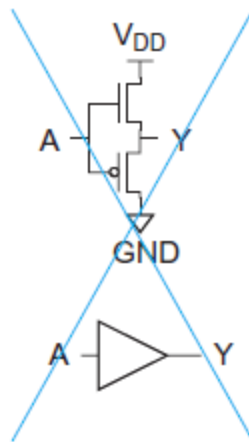
**Figura 13:** Uma rede de *pull-up* utilizando transistores do tipo pMOS e nMOS



FONTE: (RABAEY, CHANDRAKAZAN & NIKOLIC, 2002)

Por essa razão que transistores pMOS são utilizados somente em redes de *pull-up* e transistores nMOS somente em redes de *pull-down*. Deste modo, jamais será visto um *buffer* não inversor como o ilustrado na figura 14.

**Figura 14:** Desenho de uma porta não inversora, não implementável.



FONTE: (WESTE & HARRIS, 2011)

Como foi visto anteriormente, só se consegue sinais 1 na saída de uma porta lógica qualquer a partir de transistores pMOS, que são acionados com um sinal 0 em seu terminal de *gate*, e só se consegue sinais 0 na saída a partir de transistores nMOS, que são acionados com um sinal 1 em seu terminal de *gate*. Considerando esse fato, nota-se que as portas lógicas tradicionais (AND e OR) desenvolvidas com transistores MOSFET, só são executáveis com a sua

lógica invertida. Deste modo, só é possível a construção das portas NAND, NOR e inversor utilizando esse tipo de transistor.

Por isso, no desenvolvimento da descrição do sistema digital de controle do conversor AD tema deste trabalho, todas as portas lógicas *and* e *or* serão substituídas por *nand* e *nor* com um inversor em suas saídas.

### 3.3. Atraso gerado por uma porta lógica

Considerando que este trabalho está tratando da descrição do sistema digital de controle em componentes reais (transistores MOSFET), faz-se necessária uma análise do atraso que cada porta lógica pode acrescentar ao sinal que está sendo transmitido. Essa análise é muito importante uma vez que é através dela que é determinada a frequência máxima que se poderá utilizar para o sinal de clock. Conseqüentemente, se obterá a frequência máxima de operação do sistema. Logo, a taxa máxima de amostragem do conversor poderá ser encontrada e, a partir desse valor, é possível determinar as possíveis aplicações para o conversor.

A frequência máxima de operação de um sistema é calculado a partir da equação 6 (CARRO, 2001).

$$f_{m\acute{a}x} = \frac{1}{t_{pFF} + t_{pFS} + t_{pFPE} + t_{setFF} + t_{pPO}} \quad (6)$$

Onde:

$t_{pFF}$  é o atraso gerado pela propagação do sinal nos flip-flops da máquina de estados;

$t_{pFS}$  é o atraso gerado pelo circuito de determinação das saídas da máquina de estados;

$t_{pFPE}$  é o atraso gerado pelo circuito de determinação do próximo estado da máquina de estados;

$t_{setFF}$  é o tempo de set dos flip-flops da máquina de estados;

$t_{pPO}$  é o atraso gerado pelos componentes do caminho crítico da parte operativa do sistema.

Como visto na equação, os quatro primeiros termos do denominador dizem respeito a parte de controle do sistema (atraso gerado pela máquina de estados). O último termo refere-se à parte operativa (atraso gerado pelo caminho crítico). Logo, quando se quer determinar a frequência máxima em que o clock poderá operar sem prejudicar o desempenho do circuito, é preciso que seja encontrado o atraso máximo em que é acrescido ao sinal em um único período do clock. Para tanto, é necessário que seja encontrado o caminho crítico do sistema. O caminho crítico de qualquer sistema digital, é aquele em que o sinal leva o maior tempo para percorrer todas as portas lógicas relacionadas em um único ciclo de clock. É comum de se pensar que esse caminho é o que o sinal percorre um maior número de portas, porém, como será visto mais detalhadamente a seguir, cada tipo de porta contribui com um valor de atraso diferente. Por exemplo, um inversor contribui com um valor menor de atraso do que uma porta *nand* ou *nor*. Esse valor também varia quando se tem mais de um componente conectado à saída da porta lógica. Quanto mais componentes existir na saída, maior será o tempo em que o sinal levará para passar pela referida porta lógica.

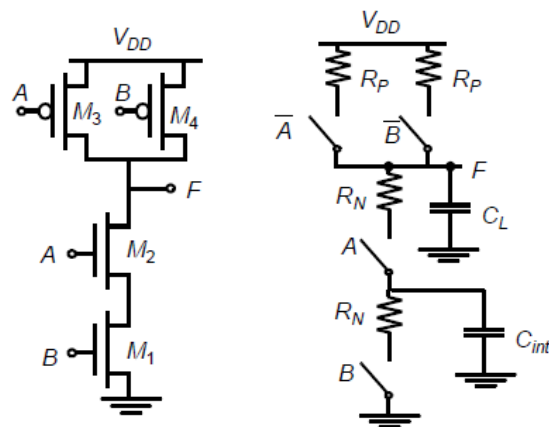
Esta seção do capítulo versará sobre métodos analíticos de se determinar o atraso de propagação de uma porta lógica. Para isso, as características internas do componente serão modeladas a partir de resistores, capacitores e chaves ideais, ficando assim mais fácil de se compreender a causa raiz do atraso observado nessas portas e, conseqüentemente, o porquê de existirem diferenças de atrasos entre as diferentes portas. Outra análise que será feita é do porquê que para uma porta lógica existe diferença do tempo de

propagação do sinal para diferentes FAN-IN (número de entradas). Isso tudo será explicado nas linhas abaixo.

Primeiramente, para uma análise do atraso de propagação de uma porta lógica, deve-se considerar cada transistor como um resistor conectado em série com uma chave ideal. O valor desse resistor depende da tensão da fonte de alimentação e das características dimensionais do transistor, ou seja, da relação entre a largura e o comprimento do canal do componente. Deve-se notar a presença do capacitor  $C_{in}$  que representa as capacitâncias nodais internas dos transistores M1 e M2 devido a sobreposição das regiões de dreno e fonte com a região da porta. Somando-se a isso, uma capacitância  $C_L$  é inserida na saída da porta lógica de modo a simular uma carga (uma outra porta lógica), formando assim uma rede equivalente RC (RABAEY, CHANDRAKAZAN & NIKOLIC, 2002). Numa primeira análise as capacitâncias internas dos transistores serão desconsideradas.

A figura 15 ilustra uma porta *nand* de duas entradas com esse modelamento.

**Figura 15:** Modelo RC de uma porta *nand* de duas entradas.



FONTE: (RABAEY, CHANDRAKAZAN & NIKOLIC, 2002)

Analisando a figura 15, nota-se que o tempo de atraso depende do padrão de entradas da porta. Considerando o caso de uma transição 0 para 1,

observa-se três possibilidades de padrões de entradas. Para o caso em que as duas entradas passam de 1 para 0 simultaneamente, obtém-se o seguinte tempo de atraso:

$$t_a = 0,69 \cdot \frac{R_p}{2} \cdot C_L \quad (7)$$

Onde:

$t_a$  é o tempo que a saída leva para ir de 0 para 1 (tempo de carga do capacitor  $C_L$ );

$R_p$  é o valor do resistor o qual modela os transistores pMOS;

$C_L$  é a capacitância de carga (uma outra porta lógica por exemplo).

Neste padrão de entradas, a resistência equivalente dos transistores aparece dividida por 2 na equação devido ao fato das duas estarem conectadas em paralelo.

Já para o caso em que apenas A ou B transitem de 1 para 0, observa-se o seguinte tempo de atraso:

$$t_a = 0,69 \cdot R_p \cdot C_L \quad (8)$$

Analisando as duas equações, vê-se que o pior caso ocorre quando apenas um dispositivo é acionado, uma vez que nesse caso o valor da resistência equivalente é maior.

Analisando agora o momento em que é executada uma transição 1 para 0 na saída da porta, nota-se que a saída é descarregada apenas se os

dois transistores nMOS são acionados. Deste modo, obtém-se o seguinte tempo de atraso.

$$t_a = 0,69 \cdot 2R_N \cdot C_L \quad (9)$$

Onde:

$R_N$  é a resistência equivalente dos transistores nMOS.

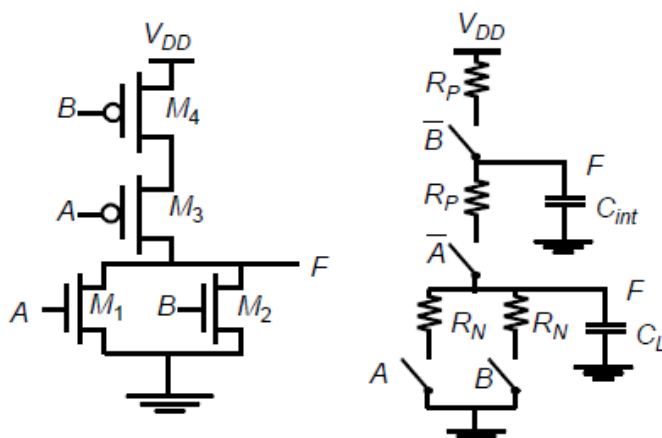
Observa-se que a resistência equivalente nesse caso é 2 vezes a resistência de um transistor. Isso é explicado pelo fato dos dois transistores estarem em série.

Analisando a discussão acima conclui-se que, ao se desejar um atraso máximo para uma porta *nand* igual ao de uma porta inversora, os transistores tipo nMOS devem ser redimensionados de modo a compensar o valor de sua resistência equivalente. Por exemplo, no caso da figura 15 os transistores nMOS deveriam ser redimensionados de tal forma que suas resistências internas caíssem pela metade. Deste modo, o valor da resistência equivalente na equação 9 seria apenas  $R_N$ , igual à resistência equivalente considerada na expressão do atraso em um *pull-down* para um inversor cujo transistor nMOS foi dimensionado de tal maneira que sua resistência interna é igual a  $R_N$ . Isto é conseguido ao se dobrar a largura do transistor mantendo o comprimento constante, por exemplo. Para os transistores pMOS esse redimensionamento não se faz necessário, uma vez que a resistência equivalente máxima encontrada é igual a observada no *pull-up* de um inversor com um transistor pMOS semelhante.

Será realizada agora uma análise de uma porta *nor* de duas entradas. A figura 16 ilustra o esquemático do modelamento desta porta.



**Figura 16:** Modelo RC de uma porta *nor* de duas entradas.



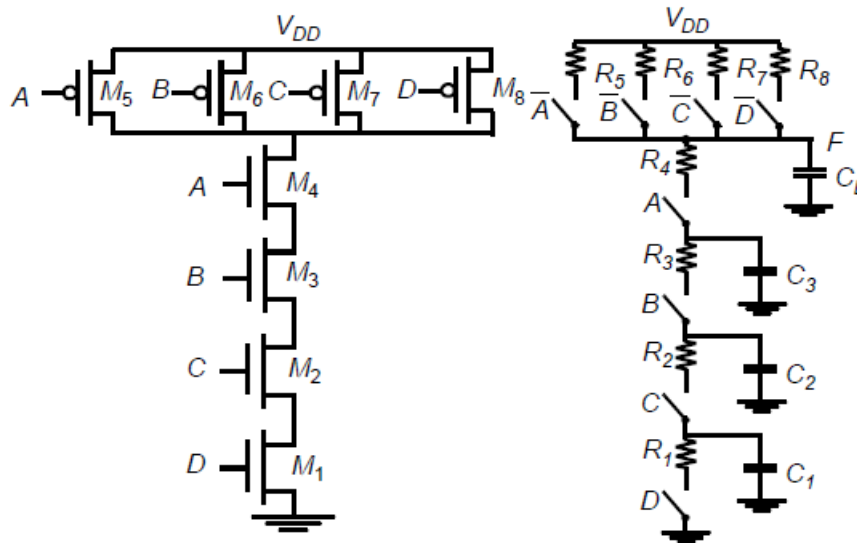
FONTE: (RABAEY, CHANDRAKAZAN & NIKOLIC, 2002)

Neste caso, conclui-se que os transistores nMOS não precisam ser redimensionados para se obter um atraso máximo igual ao de um inversor numa transição 1 para 0. Já os do tipo pMOS devem, ou ter seu comprimento diminuído ou a sua largura aumentada para se obter um atraso máximo igual ao de um inversor numa transição 0 para 1.

Levando em conta que transistores do tipo pMOS possuem uma menor mobilidade de portadores em relação aos do tipo nMOS, conectar esses dispositivos em série deve ser evitado tanto quanto for possível. É por isso que a implementação de portas *nand* são preferíveis a de portas *nor* em uma configuração de lógica similar (RABAEY, CHANDRAKAZAN & NIKOLIC, 2002). É também devido a essa diferença na mobilidade que, comumente, se usa um valor de largura para os transistores pMOS de 2 a 2,5 vezes maiores do que o comprimento dos nMOS em uma configuração de porta lógica.

Até esse momento as capacitâncias internas dos transistores ( $C_{in}$ ) não foram consideradas nas equações. Isso se deve ao fato de que, para os casos simulados (portas lógicas com apenas duas entradas), essa capacitância não é significativa. Porém para maiores FAN-IN, ela pode ser significativa. A figura 17 ilustra o esquemático de uma porta *nand* de 4 entradas.

**Figura 17:** Modelo RC de uma porta *nand* de 4 entradas.



FONTE: (RABAEY, CHANDRAKAZAN & NIKOLIC, 2002)

Onde as capacitâncias  $C_3$ ,  $C_2$  e  $C_1$  representam a combinação das capacitâncias internas (capacitância de dreno-porta e fonte-porta) dos respectivos transistores. A última foi anexada à capacitância da saída através da equivalência de Miller. Primeiramente será considerada a transição da saída de 1 para 0. Nesse caso, para que a saída seja descarregada todos os transistores nMOS devem ser acionados. A condição inicial para que isso ocorra é que todos capacitores internos sejam carregados com  $V_{DD} - V_{\text{threshold}}$ . Somente depois de satisfeita essa condição é que os transistores nMOS serão acionados (RABAEY, CHANDRAKAZAN & NIKOLIC, 2002).

Deste modo, o atraso de propagação pode ser calculado através do modelo de atraso de Elmore, que é aproximado por:

$$t_{pHL} = 0,69 \cdot (R_1 \cdot C_1 + (R_1 + R_2) \cdot C_2 + (R_1 + R_2 + R_3) \cdot C_3 + (R_1 + R_2 + R_3 + R_4) \cdot C_L) \quad (10)$$

Pode-se notar que a resistência equivalente do transistor M1 aparece em todos os termos da equação. Logo, ele é o transistor mais importante no que diz respeito à propagação de atraso sendo o que deve receber uma atenção especial no seu dimensionamento.

Considerando que todos os transistores nMOS possuem igual dimensionamento, a equação 10 pode ser simplificada através da equação 11.

$$t_{pHL} = 0,69 \cdot R_N \cdot (C1 + 2 \cdot C2 + 3 \cdot C3 + 4 \cdot C_L) \quad (11)$$

Na seção a seguir, será realizada uma análise, através de simulações, do atraso gerado por cada porta lógica presente no circuito do sistema digital de controle do conversor tema deste trabalho.

## 4. DETERMINAÇÃO DO ATRASO GERADO PELAS PORTAS LÓGICAS DO SISTEMA DIGITAL DE CONTROLE E DO CAMINHO CRÍTICO

Como já dito, o objetivo deste trabalho é a realização de um estudo de uma topologia de conversor e não do projeto do mesmo. Portanto nesse capítulo será realizado a caracterização do atraso das portas lógicas presentes no circuito do sistema digital de controle e também a posterior determinação do caminho crítico do mesmo.

Para a determinação do atraso gerado por cada porta lógica presente no circuito, primeiramente foi determinada a variedade de portas lógicas do mesmo. Analisando o circuito, constatou-se que havia a presença de: *nand* de 2, 3 e 4 entradas, *nor* de 2, 3 e 4 entradas, e inversores. Após verificou-se os diferentes casos de FAN-OUT aos quais as referidas portas lógicas estavam submetidas. Esta análise se fez importante uma vez que, como visto na seção anterior, o valor de atraso propagado em uma porta lógica muda para diferentes FAN-IN e FAN-OUT.

Então, tendo encontrado todas essas possibilidades, cada uma dessas configurações foi simulada a fim de se determinar o atraso gerado em uma transição 0 para 1 (*low to high*) e de 1 para 0 (*high to low*) para cada uma delas.

Depois, com cada porta lógica do circuito caracterizada quanto ao tempo de atraso na transição do sinal, pode ser determinado o caminho crítico do sistema digital, e, conseqüentemente, foi possível de se determinar o atraso máximo gerado pelo mesmo em um ciclo de clock.

As duas subseções a seguir descrevem essas simulações e a determinação do caminho crítico do sistema digital de controle.

#### 4.1. Determinação do atraso gerado por cada porta lógica do sistema digital de controle

Em um primeiro momento, para a escolha dos transistores que formariam as portas lógicas, foi utilizado um modelo de tecnologia 130 nm. A partir desse modelo, foram determinados os seguintes valores para as dimensões de largura e comprimento dos transistores do tipo nMOS para as simulações realizadas:

$$l_{nmos} = 250 \text{ nm} \quad (12)$$

$$w_{nmos} = 500 \text{ nm} \quad (13)$$

Onde:

$l_{nmos}$  é o comprimento do transistor nMOS;

$w_{nmos}$  é a largura do transistor nMOS.

Observa-se que para o comprimento dos transistores nMOS foi utilizado 120 nm a mais do que o limite (130 nm). Essa escolha foi feita por apresentar melhores resultados nas simulações realizadas do que para valores mais próximos de 130 nm. Por outro lado, nota-se que para a largura do transistor foi determinado um valor não muito elevado e também não muito próximo ao limite mínimo. Isso se deve ao fato dessa dimensão do transistor influenciar diretamente o valor da capacitância interna equivalente do mesmo (combinação das capacitâncias de dreno-porta e fonte-porta). Conforme mencionado na seção anterior, essa capacitância está diretamente relacionada com o valor do atraso de propagação da porta lógica. Em contrapartida, um aumento na largura do canal indica uma maior capacidade de condução do mesmo. Portanto, optou-se por um valor intermediário para esta dimensão (500 nm).

Para os transistores do tipo pMOS foram utilizados os seguintes valores de largura e comprimento:

$$l_{pmos} = 250 \text{ nm} \quad (14)$$

$$w_{pmos} = 1 \text{ } \mu\text{m} \quad (15)$$

Onde:

$l_{pmos}$  é o comprimento do transistor pMOS;

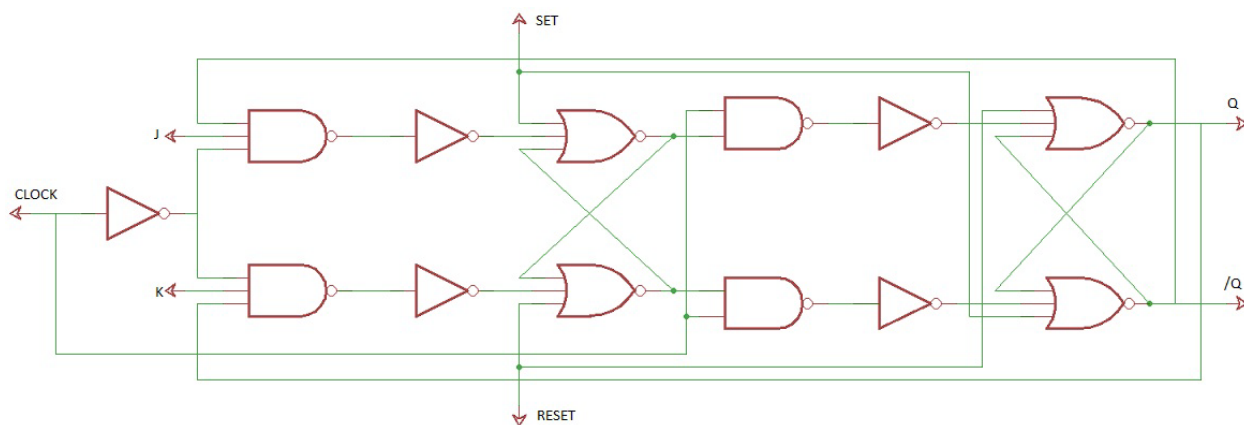
$w_{pmos}$  é a largura do transistor pMOS.

Nota-se que foi determinado um valor para a largura dos transistores pMOS igual ao dobro dos nMOS. Isso é explicado pelo fato dos transistores pMOS possuírem uma menor mobilidade do que os nMOS, conforme explicado na seção anterior.

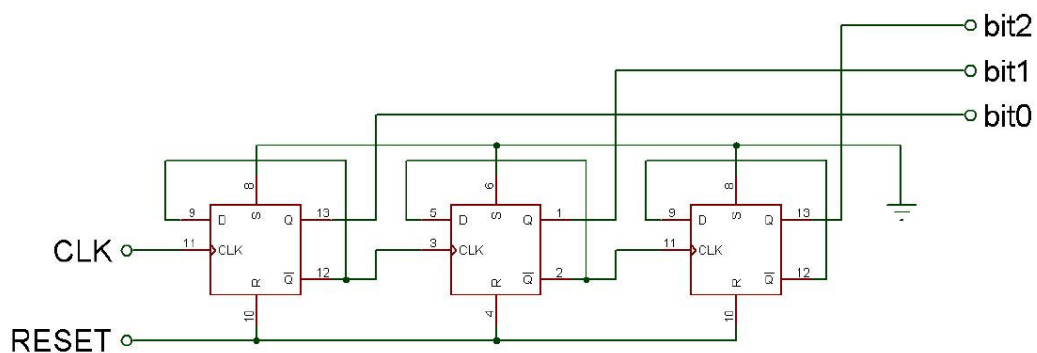
Uma vez dimensionados os transistores, cada configuração de porta lógica foi simulada através da ferramenta computacional Spice (*Simulation Program with Integrated Circuit Emphasis*). O simulador Spice utilizado neste trabalho foi o HSpice. Seu funcionamento é baseado na leitura de arquivos de texto que contém a descrição do circuito e as condições do teste. Após a leitura, ele gera arquivos com os resultados da simulação. Para a exibição dos resultados obtidos através de uma interface gráfica, foi feito uso do software Matlab. Através de uma toolbox específica para a manipulação de resultados oriundos do simulador HSpice, a *Hspice Toolbox for Matlab and Octave*, a geração dos gráficos que serão exibidos na sequência deste trabalho tornou-se possível.

Para ser possível de se visualizar o circuito digital em nível das portas lógicas que o compõem, os flip-flops, o contador e o demultiplexador foram descritos a partir de tais componentes. As figuras 18, 19 e 20 representam o esquemático do flip-flop, demultiplexador e do contador, respectivamente.

**Figura 18:** Desenho do esquemático de um Flip-Flop do tipo JK.

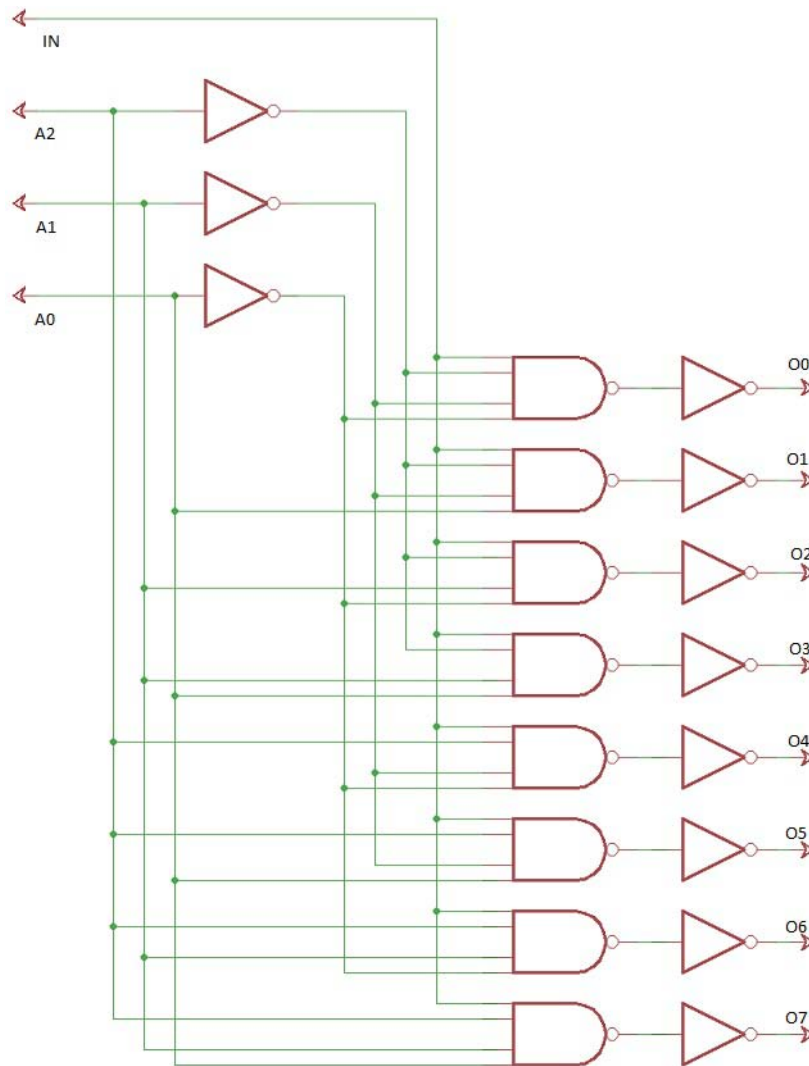


**Figura 19:** Esquemático de um contador de 3 bits.



FONTE: (Trabalho de Conclusão de Curso, MAX FELDMAN)

**Figura 20:** Esquemático de um demultiplexador.



Vê-se que o flip-flop descrito na figura 19 consiste em um do tipo JK. Vale lembrar que o utilizado no circuito do sistema digital, é um do tipo D, porém o mesmo foi desenvolvido a partir de um flip-flop JK através de a inserção de um inversor entre as entradas J e K. Deste modo, o sinal D é ligado diretamente à entrada J e o seu valor negado é ligado à entrada K.

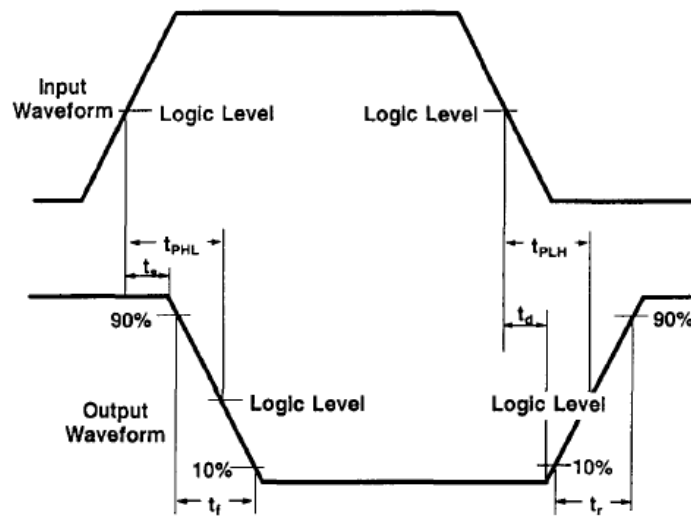
Considerando as configurações ilustradas anteriormente, foram realizadas as simulações de cada porta lógica, de modo a ser determinado o atraso de propagação para uma transição *low to high* e para *high to low*. Para tanto, foram considerados todos os diferentes FAN-IN e FAN-OUT de todas as



portas lógicas com o intuito de se obter uma caracterização completa do circuito digital.

Para cada simulação, ondas quadradas de amplitude igual a 1,2V (valor de tensão a qual o conversor foi projetado) com diferentes frequências e larguras de pulso, foram ligadas às entradas da porta lógica em questão. Como resultado, serão expostas as curvas de tensão das entradas e da saída, com o instante de tempo em que as transições das entradas e da saída ocorrem. Assim, será claro o valor do atraso propagado na porta. Tal valor será calculado como a diferença entre o instante de tempo no qual a saída atinge 50% do valor máximo de tensão (0,6V), seja para uma transição *low to high* ou *high to low*, e o instante de tempo em que a entrada atinge 0,6V. Esse tempo fica mais compreensível através na figura 21.

**Figura 21:** Cálculo do tempo de atraso de uma transição *low to high* e *high to low*.

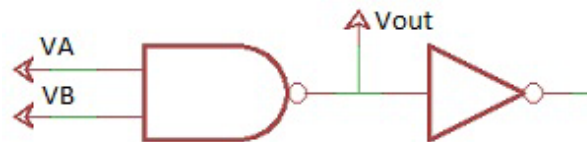


FONTE: (LEWIS & AWKWARD, 1990 )

Onde os atrasos numa transição *low to high* e *high to low* estão identificados como  $t_{PLH}$  e  $t_{PHL}$ , respectivamente.

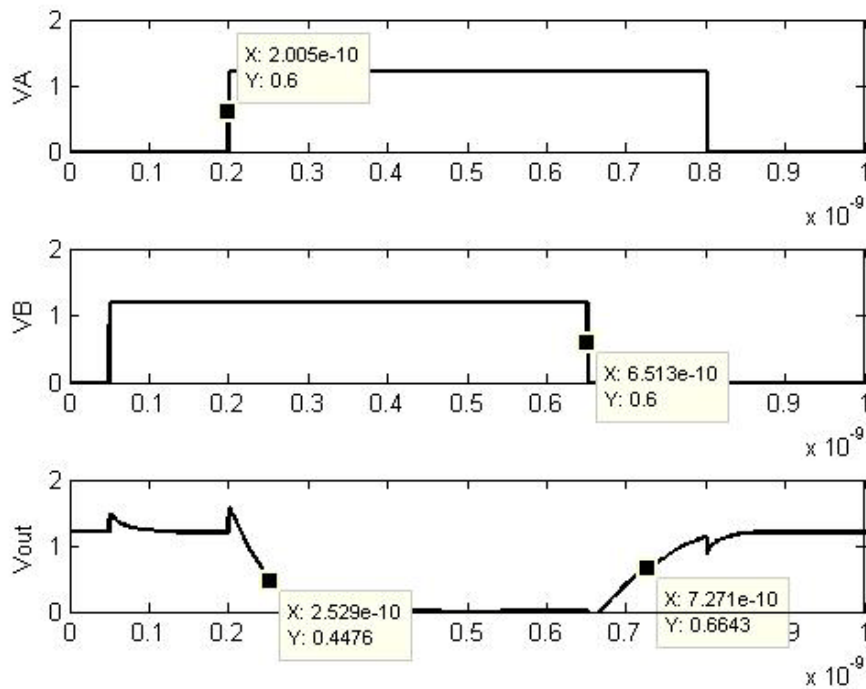
A seguir está exposto o resultado da simulação de uma simples porta nand de duas entradas com um inversor conectado à sua saída. A figura 22 ilustra o esquemático dessa configuração.

**Figura 22:** Esquemático da simulação de uma porta nand de duas entradas com um inversor na saída.



Após a realização da simulação observou-se a seguinte curva das tensões de entrada ( $V_A$  e  $V_B$ ) e de saída ( $V_{out}$ ).

**Figura 23:** Simulação de uma porta nand de duas entradas com um inversor na saída.



O netlist desenvolvido para a simulação no HSpice contendo a descrição das portas lógicas em nível de transistores e do modelo utilizado

para os mesmos, bem como o script do Matlab para a geração do gráfico da figura 23 estão descritos nos Apêndices 2 e 3 respectivamente.

Observando o gráfico da figura 23 e baseando-se no da figura 21, conclui-se que o atraso referente a essa configuração é tal conforme indicado pelas equações 16 e 17.

$$t_{PHL} = 45,7 \text{ ps} \quad (16)$$

$$t_{PLH} = 16,9 \text{ ps} \quad (17)$$

Seguindo o mesmo padrão de simulação, todas as outras configurações de portas lógicas foram simuladas. O atraso relativo a cada uma delas está ilustrado na tabela 4, onde cada linha corresponde a um tipo de porta lógica e cada coluna representa a quantidade de portas lógicas que está conectada na sua saída. Deste modo, em cada uma das linhas estão indicados os valores de atraso para todas as configurações de FAN-OUT nas quais o referente componente digital está submetido no circuito.

Tabela 4: Tempo de atrasos das portas lógicas do sistema digital.

	2in-NAND	3in-NAND	4in-NAND	2in-NOR	3in-NOR	4in-NOR	Inversor	t (H-L) [ps]	t (L-H) [ps]
2in-NAND	-	-	-	1	-	-	-	47	59,3
3in-NAND	-	-	-	-	-	-	1	77,3	60,1
3in-NAND	2	-	-	-	-	-	1	124,5	87,7
4in-NAND	-	-	-	-	-	-	1	107,1	36,3
2in-NOR	-	-	-	-	-	-	1	25	119,6
2in-NOR	1	-	-	-	-	-	-	23	112,2
3in-NOR	4	-	-	-	1	-	-	79,3	469,1
3in-NOR	-	1	1	-	1	-	-	58,9	317
3in-NOR	2	4	-	-	1	-	-	94,5	615,2
3in-NOR	1	3	1	-	1	-	-	92,7	560
3in-NOR	2	2	1	-	1	-	-	90,1	562
3in-NOR	3	2	1	-	1	-	-	98,3	633
3in-NOR	4	5	-	-	1	-	1	131	950
3in-NOR	-	1	4	-	1	-	1	73,7	638
3in-NOR	-	1	-	1	-	-	1	57,2	393
3in-NOR	-	-	-	-	11	-	-	122,4	381
3in-NOR	1	-	-	-	1	-	-	46,4	219,4
3in-NOR	2	1	-	-	1	-	2	90,2	607
4in-NOR	-	-	-	-	-	-	1	33,2	292,9
Inversor	1	-	-	-	-	-	-	18,9	67,3
Inversor	-	-	-	1	-	-	-	22	53
Inversor	-	-	-	-	1	-	-	24	54,4
Inversor	-	-	-	-	-	-	1	18,9	50,9
Inversor	2	-	-	-	-	-	1	36,6	97,5
Inversor	-	-	-	-	18	-	-	205,8	490,8
Inversor	2	-	8	-	-	-	1	93,7	306
Inversor	-	1	-	-	-	-	1	29	77,5
Inversor	-	-	4	-	-	-	-	42,8	130
Inversor	-	2	-	-	-	-	-	27,1	74,5

Analisando os dados da tabela 4, nota-se que para as portas nor o valor do atraso para uma transição *low to high* foi maior do que o observado para uma transição *high to low*. Em contrapartida, para portas nand nota-se o contrário: o atraso foi maior para uma transição *high to low* do que para uma *low to high*. Essa diferença está de acordo com a teoria explicada no capítulo anterior, uma vez que nas portas nor tem-se transistores pMOS em série e portas nand são constituídas por transistores nMOS em série. Portanto, em portas nor se observa uma maior resistência equivalente dos transistores pMOS e em portas nand nota-se uma maior resistência equivalente dos do tipo nMOS, acarretando assim num maior atraso na propagação do sinal.

## 4.2. Cálculo do atraso gerado pelo caminho crítico do sistema digital de controle

Uma vez determinado o atraso gerado por cada tipo de porta lógica presente no sistema e também considerando os diferentes FAN-OUT's existentes em cada uma delas, faz-se necessário a determinação do caminho crítico do sistema. O caminho crítico de um sistema digital é aquele em que o sinal sofre o maior atraso de propagação em um ciclo de clock. Geralmente, esse caminho é o que o sinal percorre um maior número de portas lógicas. Porém, como visto anteriormente, cada porta lógica acrescenta um valor diferente de atraso na propagação do sinal. Esse valor muda em função da porta lógica que está conectada na saída do componente estudado e também dos diferentes FAN-OUT's que o mesmo pode possuir. Por isso a importância de se obter separadamente o atraso de cada uma das possibilidades de conexão encontradas no circuito do sistema.

Antes de se determinar o caminho crítico, convém a determinação do atraso de propagação do sinal pelos flip-flops. Através do estudo realizado na subseção anterior e considerando o pior caso, que ocorre quando o mesmo possui um maior FAN-OUT (4 nands de duas entradas, 5 nands de três entradas, 1 nor de três entradas e 1 inversor), chega-se a conclusão que tal atraso é equivalente ao mostrado pela equação 18.

$$t_{pFF} = 1,43 \text{ ns} \quad (18)$$

Como já mencionado neste trabalho, a determinação do caminho crítico é de fundamental importância para o projeto de qualquer sistema digital. É através dele que se obtém o maior atraso gerado na propagação do sinal, e, conseqüentemente, o menor período possível que o sinal de clock deve ter para que o sinal se estabilize antes que um novo ciclo se inicie. Esta é a

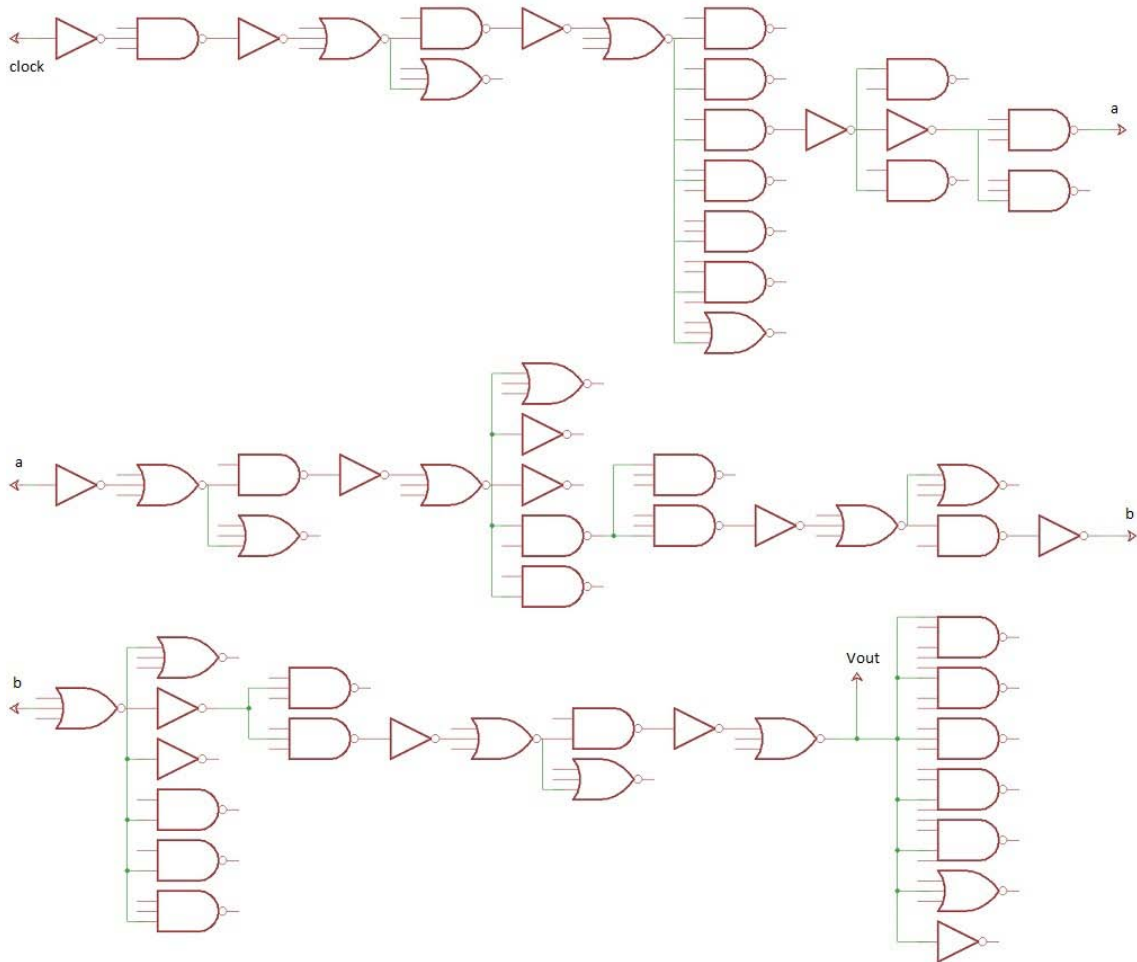
condição mínima para que o sistema funcione adequadamente. Logo, tendo o valor do mínimo período de clock requerido, obtém-se a frequência máxima de operação do sistema digital.

Analisando o desenho do circuito digital do sistema estudado nesse trabalho, pode ser visto que o caminho crítico ocorre quando o contador chega ao valor 4 (100 em binário). Isso ocorre na transição dos estados 1000 e 1001, quando o sinal do clock do contador (CLK\_C) passa de 0 para 1. Nesse caminho o sinal aciona o contador, incrementando-o. Logo, ao final desse ciclo de clock, o valor do contador deve estar estabilizado com o novo valor. Nesse caso, só se poderá iniciar um novo ciclo quando o contador tiver o valor 4 (100) em sua saída. De acordo com o estudo realizado anteriormente onde caracterizou-se o atraso gerado por cada porta lógica individualmente, foi constatado que em uma porta nor observa-se um maior atraso na propagação do sinal quando a saída passa de sinal baixo para sinal alto (*low to high*). Por isso que o caminho crítico considerado foi o de passagem da contagem de três para quatro. Nesse caso, o bit mais significativo, e o que é gerado pelo flip-flop mais "distante" do contador, passa de 0 para 1 enquanto que os outros dois bits vão de 1 para 0. Considerando o caminho apenas formado por portas lógicas, ou seja, descrevendo o contador e o flip-flop da máquina de estados a partir de portas lógicas, observa-se que esse caminho é formado por: 5 nands de 2 entradas, 4 nands de 3 entradas, 8 portas nor de 3 entradas e 13 inversores.

Nota-se que o circuito combinacional de próximo estado é um caminho paralelo ao de saída e, conseqüentemente, ao acionamento do contador. Logo, o circuito combinacional de próximo estado é irrelevante para o cálculo do atraso do caminho crítico.

A figura 24 ilustra o circuito total desse caminho.

**Figura 24:** Desenho do circuito do caminho crítico do sistema digital.



Baseando-se nos valores de atraso associado a cada porta lógica para os diferentes FAN-OUT's existentes, o valor total encontrado para o atraso gerado pelo caminho crítico foi de 4,7971ns.

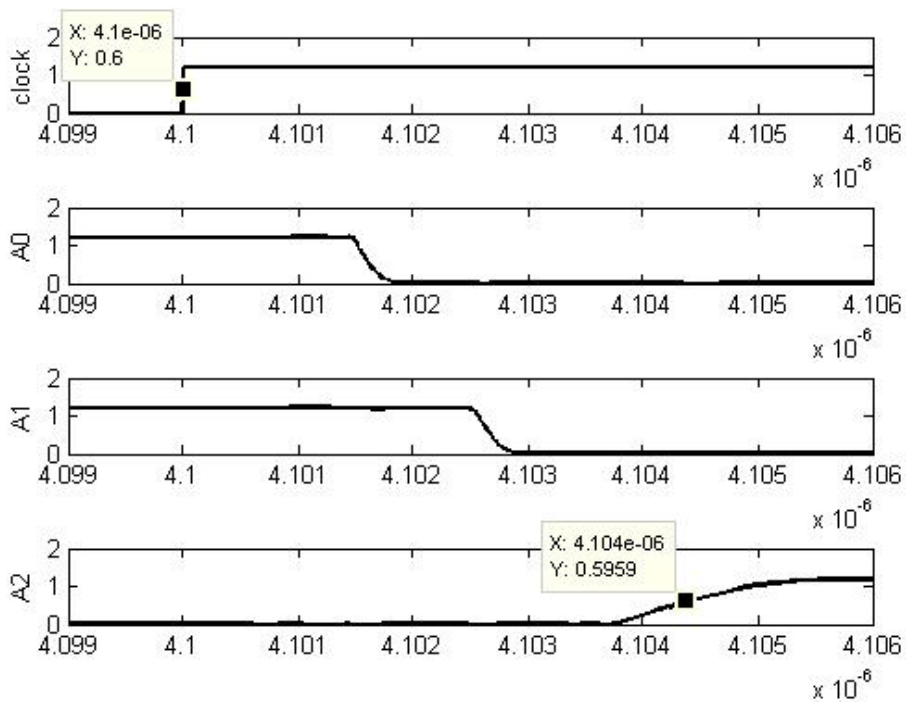
$$t_{cc_d} = 4,7971 \text{ ns} \quad (19)$$

Onde,  $t_{cc_d}$  corresponde ao atraso máximo gerado pelo sistema digital.

Com o intuito de verificar se o atraso estimado anteriormente (considerando as portas individualmente) é consistente com o atraso do

percurso em si, foi realizado uma simulação desse caminho crítico. A figura 25 ilustra as curvas encontradas para o sinal de clock e dos bits de saída do contador (A0 a A3) no exato instante em que o contador chega ao valor 4 (em binário 100).

**Figura 25:** Gráfico do atraso do caminho crítico do sistema digital.



Analisando o gráfico da figura 25, observa-se um atraso de pouco menos do que 4,5 ns, isto é, um valor menor do que o encontrado anteriormente. Isso é fácil de ser explicado, uma vez que na determinação do atraso através valores dos tempos de propagação individuais de cada porta, utilizou-se o valor do pior caso dentre as transições *low to high* e *high to low*. Logo, essa diferença já era esperada.



## 5. DETERMINAÇÃO E ANÁLISE DA FREQUÊNCIA MÁXIMA DE AMOSTRAGEM DO CONVERSOR

Até agora o presente trabalho focou apenas no sistema digital de controle do conversor. Análises de atraso das portas lógicas e caminho crítico do referido sistema foram realizadas e determinou-se o atraso máximo da parte digital do conversor. Porém, de modo a dar seguimento ao estudo e conseguir realizar uma estimativa do atraso máximo global do conversor e, conseqüentemente, da frequência máxima de operação do mesmo, deve ser realizada também uma análise do atraso gerado pela parte analógica do sistema. Essa parte consiste no banco de capacitores, as chaves que o acionam e o comparador. Nesse capítulo da monografia será exposta uma análise superficial do atraso gerado pelo tempo de carga dos capacitores, onde cada chave será modelada como um resistor ideal conectado em série com os capacitores. Já o comparador não será analisado neste trabalho. Para tanto foi pesquisado na literatura valores de atrasos de comparadores que utilizam tecnologia 130nm. De acordo com o artigo de Kapadia, D. N. e Gandhi, P. P., intitulado "*Implementation of CMOS charge sharing dynamic latch comparator in 130nm and 90nm technologies*", foi constatado um valor de atraso de um comparador de 130nm na casa dos 2ns. Portanto esse será o valor considerado nesse trabalho.

A seção a seguir descreve a análise do tempo de carga dos capacitores e a posterior estimativa da frequência máxima de amostragem do conversor.

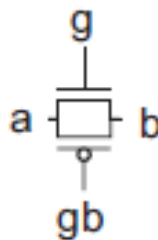
## 5.1. Determinação da Frequência máxima de amostragem do conversor

Como se é sabido, o tempo de carga de um capacitor depende do valor de sua capacitância e do resistor série a qual o mesmo está conectado. Através destes dois valores se encontra a constante de tempo de carga de um capacitor, conforme a equação abaixo.

$$\tau = R \cdot C \quad (20)$$

Portanto, para se determinar o tempo de carga dos capacitores do conversor, é preciso que se tenha o valor do resistor série a qual os mesmos estão ligados. Para tanto, deve ser considerado o modelo de chaves utilizado no projeto para, posteriormente, ser determinado a resistência equivalente das mesmas. A figura 26, ilustra o modelo de chave utilizado nesse projeto.

**Figura 26:** Modelo de chave utilizada.



FONTE: (WESTE & HARRIS, 2011)

Onde os sinais de controle (g e gb) obedecem a seguinte tabela verdade.

Tabela 5: Tabela verdade da chave.

<b>g</b>	<b>gb</b>	<b>Situação da chave</b>
1	0	aberta
0	1	fechada

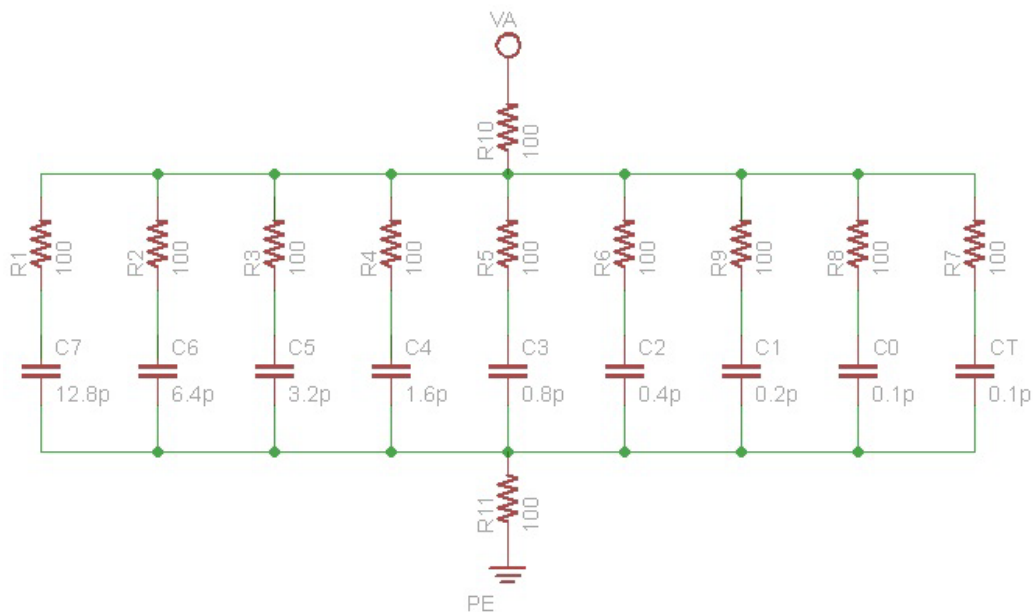
Vale lembrar que o projeto das chaves foi realizado em outra fase do trabalho e não será descrito nesta monografia. Em tal projeto chegou-se ao valor de  $100\Omega$  para a resistência equivalente das chaves. Embora utilizam-se valores específicos proporcionais para cada ramo de capacitor, utilizou-se um valor igual para todas as chaves neste estudo.

Tendo o valor do resistor série conectado aos capacitores, torna-se possível a análise do tempo de carga dos capacitores. Analisando o diagrama de blocos do sistema digital ilustrado na figura 4, conclui-se que os capacitores são chaveados em apenas dois estados do sistema: o 0010 e no 1000. O primeiro ocorre na Fase de Amostragem (já descrita nesse trabalho na seção 2.1.1), onde todos os capacitores são conectados ao barramento da fonte de tensão  $V_A$ , e a chave  $S_a$  conecta a tensão que se quer converter ( $V_A$ ) ao referido barramento. Já o segundo ocorre na Fase de Redistribuição de Carga, onde cada capacitor é chaveado com a tensão de referência separadamente para depois ser realizada a comparação que determina o valor do bit dessa etapa da conversão. Porém, observando-se o diagrama de estados juntamente com o circuito da parte operativa do conversor (banco de capacitores, chaves e comparador), vê-se que no primeiro caso, quando todos os capacitores são carregados simultaneamente, é necessário que isso ocorra dentro de apenas 1 ciclo de clock. Em contrapartida, no segundo caso, na Fase de Redistribuição de Carga, a redistribuição de carga dos capacitores pode ocorrer dentro de dois ciclos de clock. Isso se explica pelo fato do sinal de clock dos registradores responsáveis por gerar o chaveamento dos capacitores (representado no circuito do Apêndice A como CLK\_IN) ocorrer em dois ciclos do clock global do sistema. Portanto, o valor encontrado para o atraso gerado no segundo caso deve ser dividido por 2 de modo a se achar o valor do atraso máximo em um ciclo de clock do sistema como um todo. A seguir, serão

descritas as simulações dos circuitos equivalentes dos dois casos referidos anteriormente, de modo a se determinar em qual das duas etapas é gerado o maior atraso.

Como já mencionado, no primeiro caso, todos os capacitores são carregados com a tensão em que se quer realizar a conversão ( $V_A$ ) simultaneamente. Abaixo segue o desenho do circuito equivalente.

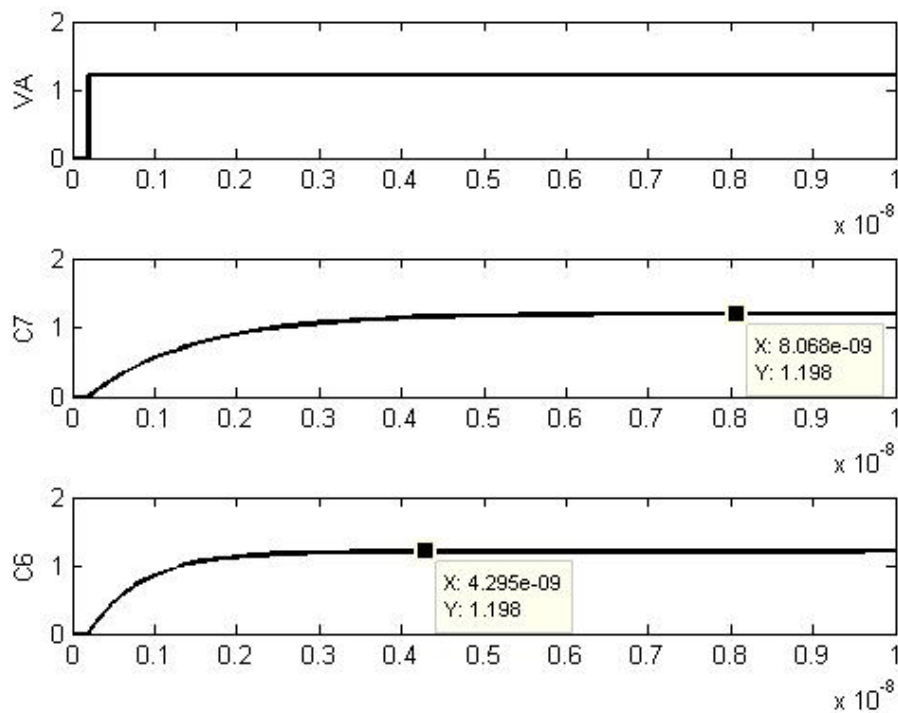
**Figura 27:** Simulação carga dos capacitores.



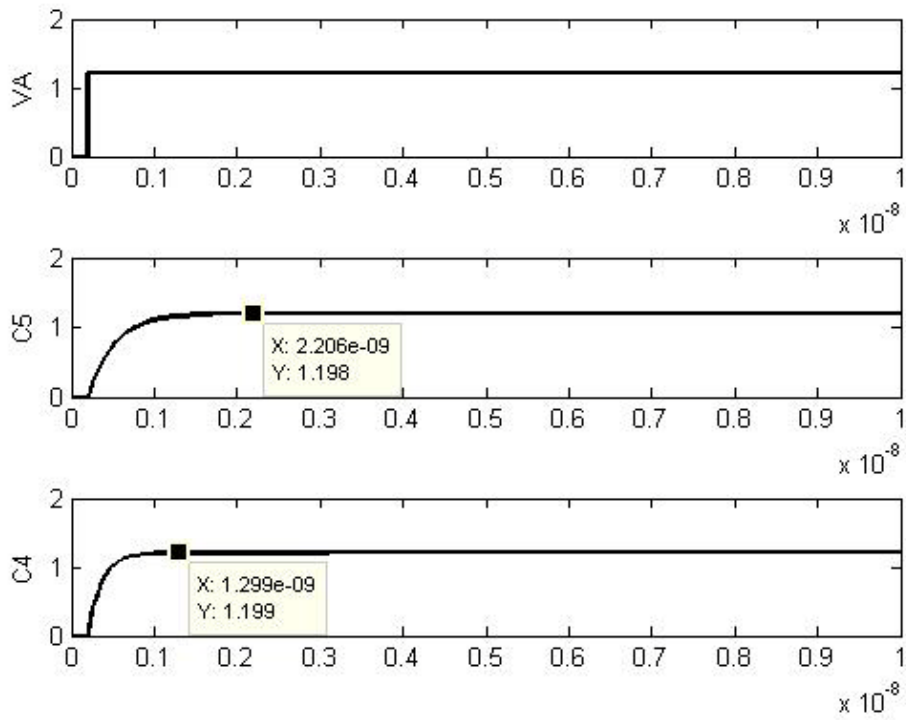
Nota-se que foi utilizado apenas o valor da resistência equivalente das chaves. Isso se deve ao fato dela ser muito maior do que a resistência interna dos capacitores. Já os valores dos capacitores também foram determinados em outra fase do trabalho. Essa escolha foi feita a partir de uma referência que utilizava uma tecnologia de 500nm. Porém na atual fase do referido trabalho os capacitores foram redimensionados para valores pelo menos 10 vezes menores. Porém, no estudo realizado no presente trabalho, foram considerados os valores determinados inicialmente, que eram os atuais quando este estudo foi iniciado.

Com o objetivo de se obter o valor do tempo de carga de cada capacitor da parte analógica do conversor, realizou-se uma simulação do circuito da figura 27. Na realização dessa simulação, foi considerada um valor de 1,2V para  $V_A$ . Para uma melhor visualização, as curvas de carga dos capacitores foram individualmente traçadas e divididas em quatro figuras. Em todas elas estão ilustradas as curvas de 2 capacitores e a tensão  $V_A$ .

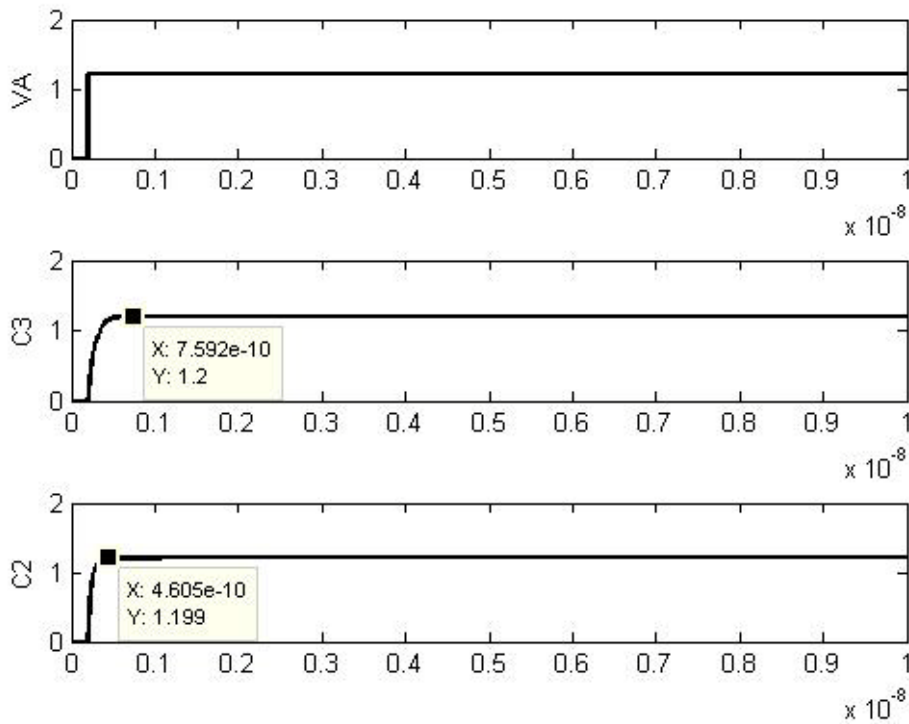
**Figura 28:** Simulação carga dos capacitores C7 e C6.



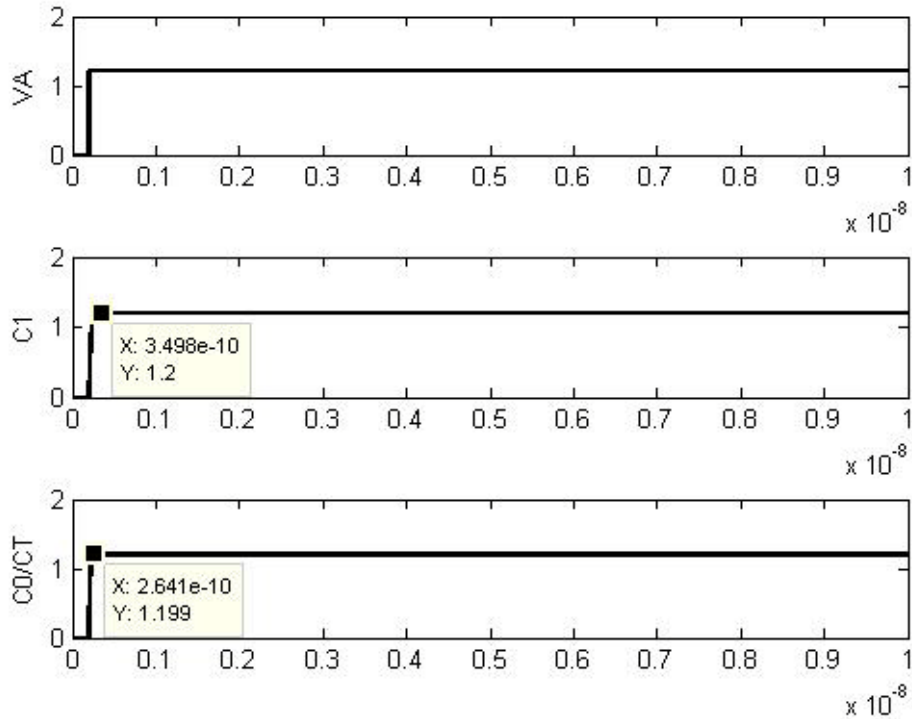
**Figura 29:** Simulação carga dos capacitores C5 e C4.



**Figura 30:** Simulação carga dos capacitores C3 e C2.



**Figura 31:** Simulação carga dos capacitores C1 e C0/CT.



Nota-se que foi usado a mesma curva para representar a carga nos capacitores. Isso se deve ao fato dos dois possuírem o mesmo valor de capacitância (0,1pF). Logo eles possuem a mesma curva de carga, uma vez que os resistores série são os mesmos.

Como pode ser observado nas figuras acima, o capacitor C7, que possui a maior capacitância (12,8pF), foi o que apresentou uma carga mais lenta que os demais. Segue abaixo o valor obtido para a carga do capacitor C7:

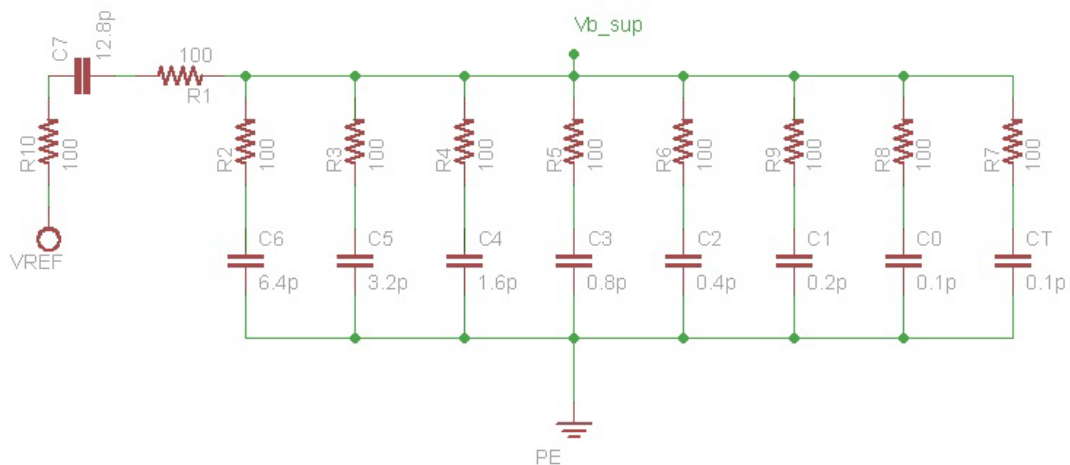
$$t_{f_r} = 7,87 \text{ ns} \quad (21)$$

Onde  $t_{f_r}$  é o valor do atraso correspondente à Fase de Amostragem.

Vale lembrar que na figura está destacado um valor de 8,068ns, porém deve-se levar em conta que a tensão  $V_A$  só foi acionada no instante de tempo equivalente a 200ps ou 0,2ns.

Tendo determinado o atraso gerado na carga dos capacitores na Fase de Amostragem, deve-se agora simular o circuito equivalente da Fase de Redistribuição de Carga. Nessa etapa, como já descrito no capítulo 2, cada capacitor é conectado individualmente à fonte de tensão de referência do conversor (representada por  $V_{REF}$ ) para que, após a redistribuição de carga, seja realizada a comparação que determina se o bit da palavra digital final é 0 ou 1. Para se determinar o atraso máximo da mesma, se considerou o caso mais crítico, que é o da determinação do bit mais significativo para uma conversão de um valor muito baixo de tensão. Quando isso ocorre, o capacitor de maior capacitância (C7) é conectado em série com os demais em paralelo, lembrando que os mesmos estão carregados com  $V_A$ . Na simulação realizada, foi considerado um  $V_A$  muito baixo ( $V_A$  igual a zero) de modo a determinar o valor máximo do atraso gerado nessa etapa da conversão. A figura 32 ilustra o desenho desse circuito.

**Figura 32:** Circuito equivalente da Fase de Redistribuição de Carga.

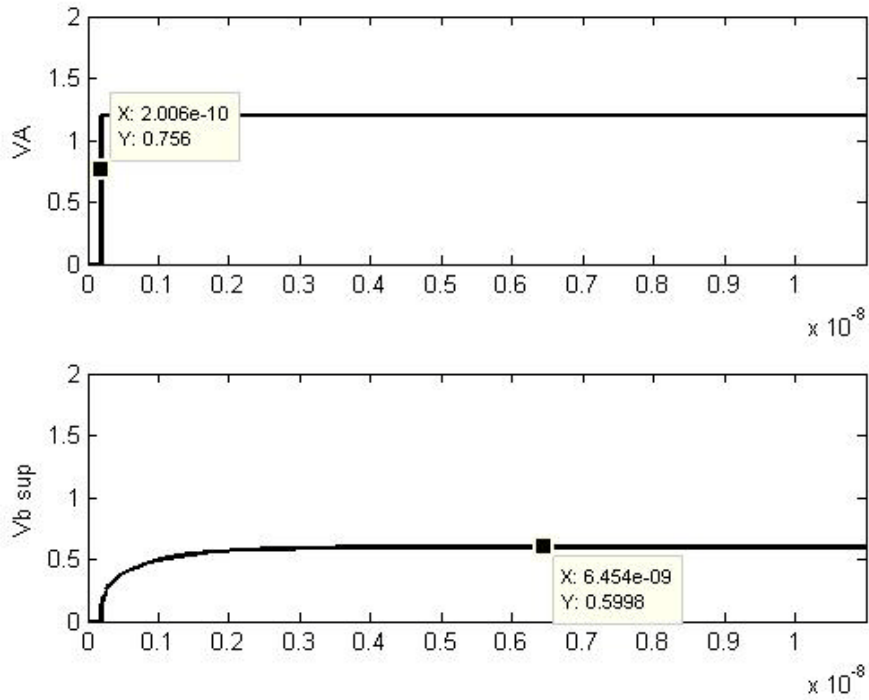


Pelas mesmas razões do caso anterior, foram realizadas simulações do circuito acima. Para tanto, foi considerado um valor de tensão de 1,2V para



$V_{REF}$ . A figura 33 ilustra um gráfico contendo a curva da tensão do barramento superior (representado na figura 32 por  $V_{b\_sup}$ ) bem como a curva da tensão  $V_A$ .

**Figura 33:** Simulação da redistribuição de carga dos capacitores.



Observando a figura 32, vê-se que o atraso encontrado na carga dos capacitores foi de:

$$t_{f_{r_c}} = 6,454 - 0,2 = 6,254 \text{ ns} \quad (22)$$

Onde  $t_{f_{r_c}}$  é o valor de atraso correspondente à Fase de Redistribuição de Carga.

Convém observar que nesse caso (Fase de Redistribuição de Carga) deve-se somar o atraso correspondente ao comparador, uma vez que sua saída é que determina qual o valor do bit da palavra digital final e também se o

capacitor deve permanecer chaveado ou não. Logo, o valor do atraso total correspondente à parte analógica nessa fase é de:

$$t_{f\_r\_c\_t} = 6,254 + 2 = 8,254 \text{ ns} \quad (23)$$

Comparando os dois valores de atrasos encontrados vê-se que o caso mais crítico é o correspondente à Fase de Redistribuição de Carga. Comparando também esse valor ao do atraso encontrado no caminho crítico do sistema de controle digital (dado pela equação 19), nota-se que o mesmo é superior também a ele. Portanto, tal valor de atraso deve ser considerado no cálculo da frequência máxima de operação do conversor.

Como já mencionado, os capacitores são chaveados em dois estados: o 0010 e o 1000, sendo que o maior atraso observado para a carga dos mesmos ocorreu durante a Fase de Redistribuição de Carga (estado 1000). Logo será necessário calcular o atraso do caminho do circuito digital quando é realizada a transição do estado anterior para esse estado, ou seja, determinar o tempo de propagação do sinal pelos flip-flops da máquina de estados, o atraso relativo ao circuito combinacional de saída e o de próximo estado e o atraso da parte operativa nesse ciclo de clock específico. Analisando o circuito do sistema digital, vê-se que o referido caminho é composto apenas pelos flip-flops da máquina de estados, pelo circuito de saída e pelo circuito da parte operativa, uma vez que o circuito combinacional de próximo estado é um caminho paralelo ao de saída. Logo o circuito combinacional de próximo estado é irrelevante para o cálculo do atraso.

Considerando então o circuito combinacional de saída do sinal CLK\_IN, nota-se que o mesmo é composto por uma porta nand de duas entradas, uma de três entradas, dois inversores e uma nor de duas entradas. Com base nisso e utilizando os valores determinados no capítulo anterior para os atrasos das portas lógicas presentes no circuito para diferentes FAN-OUT, pode-se chegar ao seguinte resultado para o atraso deste caminho:

$$t_{pFS} = 269,9 \text{ ps} \quad (24)$$

Onde  $t_{pFS}$  é o valor de atraso correspondente ao circuito de saída da máquina de estados do sistema digital.

Considerando agora o circuito combinacional da parte operativa do sistema digital em que o sinal CLK\_IN percorre até chegar às chaves do banco de capacitores, nota-se que o mesmo é composto pelo demultiplexador e pelos flip-flops do banco de capacitores. Com base nisso e utilizando os valores determinados no capítulo anterior para os atrasos das portas lógicas presentes no circuito para diferentes FAN-OUT, pode-se chegar ao seguinte resultado para o atraso deste caminho.

$$t_{pPO} = 1,22 \text{ ns} \quad (25)$$

Levando em conta que o tempo de propagação do sinal pelos flip-flops da máquina de estados já é conhecida, pode-se determinar a contribuição do sistema digital no atraso gerado na transição dos estados 0001 para o 0010. Esse valor é dado pela equação 24.

$$t_d = t_{pFS} + t_{pFF} + t_{pPO} = 269,9 \text{ p} + 1,43 \text{ n} + 1,22 \text{ n} = 2,92 \text{ ns} \quad (26)$$

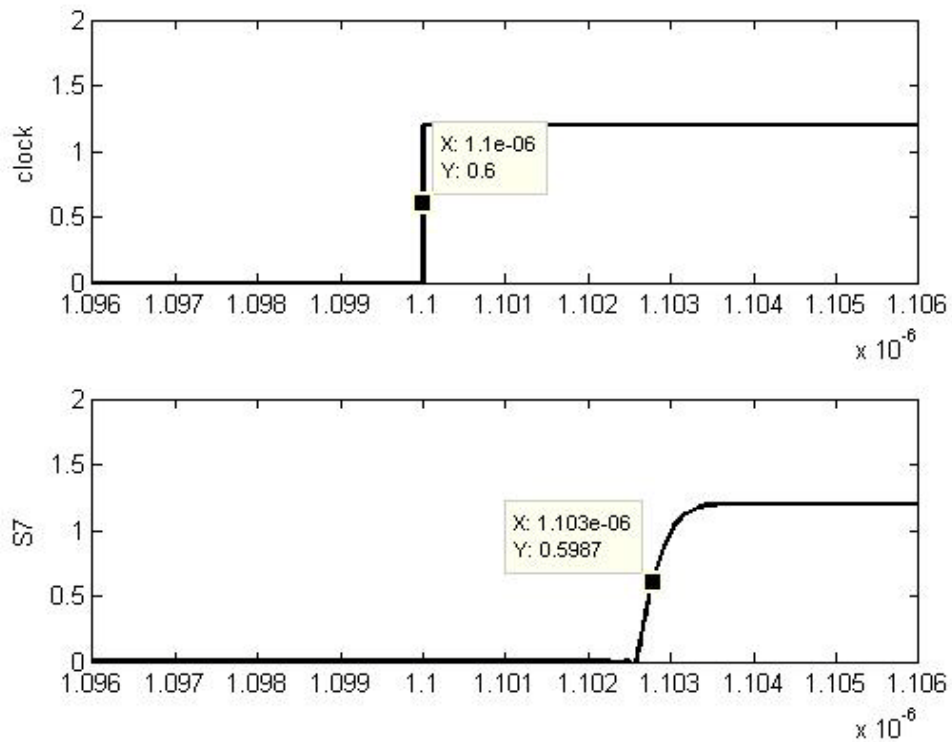
Deve-se levar em conta que o atraso considerado para cada porta lógica foi o que gerava o maior atraso (L-H ou H-L). Isto significa que foi considerado o pior caso para o caminho, em se tratando de atraso.

A figura 34 ilustra o circuito do caminho crítico descrito anteriormente.



caminho crítico descrito anteriormente. O resultado pode ser observado na figura 35 onde estão ilustrados o sinal de clock e a saída do registrador que gera o sinal de acionamento da chave  $S_A$ . Esse sinal, como também ilustrado no circuito do sistema digital de controle presente no Apêndice 1 deste trabalho, foi denominado  $S_a$ .

**Figura 35:** Atraso na propagação do sinal que controla o acionamento da chave S7.



Como pode ser observado nos gráficos da figura 35, o atraso na propagação do sinal S7 observado foi de pouco menos do que 3ns. Logo, o valor encontrado na simulação ficou coerente com o encontrado anteriormente onde se obteve o valor de 2,92ns. Então pode-se dizer que o atraso do caminho crítico é:

$$t_d = 2,92 \text{ ns} \quad (27)$$

Agora, tendo em mãos os valores dos atrasos críticos do lado digital e do analógico do sistema, consegue-se então a determinação do maior atraso global do conversor. Ele é dado pela equação 28.

$$t_s = t_d + t_{f,r} = 2,92 + 8,254 = 11,17 \text{ ns} \quad (28)$$

Uma vez estimado o valor do atraso máximo do sistema como um todo, em outras palavras, o valor mínimo em que o sinal de clock deve possuir de modo a garantir o funcionamento correto do sistema, pode se encontrar um valor estimado da frequência máxima de operação do mesmo. Para isso, deve ser considerada a equação 4. É importante ressaltar que na referida equação, está considerado apenas os atrasos da parte digital do sistema. Portanto, deve ser acrescentado no denominador o atraso gerado pela parte analógica também. Deste modo a equação fica da seguinte forma.

$$f_{m\acute{a}x} = \frac{1}{t_d + t_{f,r}} \quad (29)$$

Substituindo as variáveis da equação pelos valores obtidos encontra-se o seguinte valor para a frequência máxima de operação do sistema:

$$f_{m\acute{a}x} = \frac{1}{2,92 + 8,254} = \frac{1}{11,17 \text{ n}} = 89,5 \text{ MHz} \quad (30)$$

Logo, o sinal de clock do sistema não pode ultrapassar a marca dos 89,5 MHz. Porém, o que caracteriza de fato a eficiência de um conversor e, conseqüentemente, determina as aplicações no qual o mesmo poderá ser

utilizado, é a frequência de amostragem. Para isso, é necessário que se obtenha o número de ciclos de clock para o qual uma conversão é realizada. Analisando o diagrama de estados da figura 4, vê-se que uma conversão chega ao final após 37 ciclos. Logo, considerando uma frequência de clock de 109 MHz, um pouco abaixo do valor máximo encontrado, a frequência máxima de amostragem do conversor pode ser obtida através da equação abaixo.

$$f_{amostragem} = \frac{f_{m\acute{a}x}}{n^{\circ} \text{ de ciclos}} = \frac{89,5MHz}{37} = 2,42 \text{ MS/s} \quad (31)$$

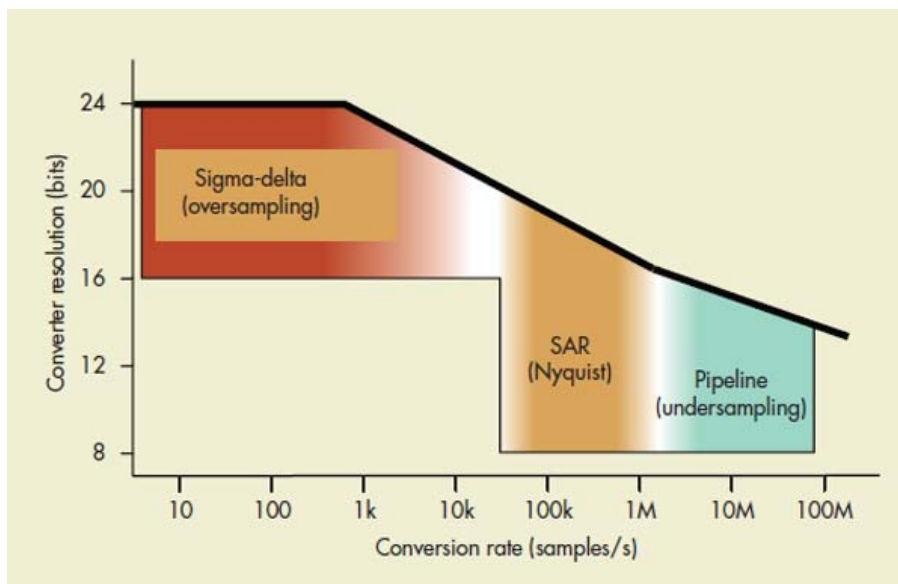
Finalmente, foi obtida uma aproximação para a característica mais importante de um conversor: sua frequência de amostragem. Vale lembrar que para a determinação da máxima frequência de amostragem real do conversor deveriam ser realizadas análises do atraso do comparador, as resistências internas das fontes de tensão deveriam ser consideradas, e uma mais aprofundada análise do banco de capacitores. Na próxima seção será realizada uma análise comparativa das possíveis aplicações nas quais o conversor poderia ser utilizado com a de outros conversores, considerando a frequência de amostragem estimada nesse capítulo.

## **5.2. Análise da frequência de amostragem e das possíveis aplicações para o conversor**

Na seção anterior foi encontrada uma estimativa para a frequência máxima de amostragem para o conversor tema do presente relatório. Viu-se que a mesma gira em torno de pouco menos do que 2,5MS/s. Essa frequência consiste num valor intermediário dentre os alcançados pelos vários tipos de conversores existentes.

A figura 36 ilustra a relação dentre conversores do tipo Sigma-Delta, SAR e Pipeline quanto a sua taxa de amostragem e resolução.

**Figura 36:** Resolução e taxa de conversão para diferentes tipos de conversores.



FONTE: ("The Real World Versus Your ADC", BAKER, 2012<sup>1</sup>)

Baseando-se na figura 36, nota-se que conversores SAR são comumente utilizados em aplicações que requerem uma resolução de média para alta e taxa de amostragem intermediária. Deste modo o valor encontrado para a frequência máxima de amostragem do conversor estudado está dentro do típico para um conversor deste tipo.

Fazendo uma comparação dentre os três tipos de conversores ilustrados no gráfico da figura 36, conclui-se que o do tipo Sigma-Delta é comumente utilizado em aplicações que requerem uma maior resolução em uma velocidade relativamente baixa. Já os do tipo Pipeline alcançam maiores taxas de amostragem do que os outros dois porém requerem uma maior energia e são mais caros. Por fim, os do tipo SAR são os que alcançam intermediárias resolução e frequência de amostragem. Sua principal vantagem em relação

<sup>1</sup> Disponível em: <://http://electronicdesign.com/analog/real-world-versus-your-adc> Acesso em nov. 2013.



aos outros dois é a de requerer uma mais baixa energia devido a sua menor quantidade de componentes analógicos, além de possuírem um menor custo.

A tabela 6 ilustra um comparativo desses três tipos de conversor, semelhante ao descrito anteriormente.

Tabela 6: Comparação entre diferentes tipos de conversores.

Topology	Conversion rate	Resolution	Comments
SAR	<5 Msamples/s	Up to 18 bits	Simple operation, low cost, low power
Sigma-delta	<625 ksamples/s	Up to 24 bits	Slow, moderate cost
	<500 Msamples/s	Up to 16 to 18 bits	
Pipeline	<500 Msamples/s	Up to 16 bits	Fast, expensive, high power requirements

FONTE: ("The Real World Versus Your ADC", BAKER, 2012<sup>2</sup>)

Outra vantagem adicional dos conversores SAR é que os mesmos podem ser "moldados" de modo a requererem menos energia com menores resoluções, sem alterar sua estrutura. Isso se deve ao fato do algoritmo das sucessivas comparações poder ser reprogramado para terminar antes do final. Deste modo, com um conversor de N bits poder-se-ia obter conversores de resolução igual a 1 até N-1 bits, porém com menor energia requerida.

Com base na discussão acima, pode-se afirmar que o conversor SAR estudado nesse trabalho se enquadra nas características típicas para este tipo. Logo, como possíveis aplicações para ele estão todas as quais conversores SAR são comumente utilizados, ou seja, aquelas em que são requeridas resolução e velocidade intermediárias como por exemplo, em sistemas de

<sup>2</sup> Disponível em: <://http://electronicdesign.com/analog/real-world-versus-your-adc> Acesso em nov. 2013.

processamento de imagens, em modulação de rádio frequências (*wifi*, *bluetooth*), dentre outros.

Porém, para ao se obter uma resolução maior do que 8 bits para o conversor estudado, acaba-se por diminuir a frequência de amostragem do mesmo. Portanto com o intuito de melhorar a velocidade de conversão sem que haja um prejuízo na sua resolução, melhorias podem ser feitas no projeto do conversor. Considerando o chaveamento do banco de capacitores que foi onde se observou o maior valor de atraso devido ao tempo de carga dos mesmos, os valores das suas capacitâncias podem ser diminuídos, de modo a reduzir o tempo em que eles levam para serem carregados totalmente. Outra mudança que pode ser feita para obter esse mesmo resultado, seria o redimensionamento das chaves que acionam os capacitores, com o objetivo de diminuir a resistência equivalente das mesmas.

## 6. CONCLUSÕES

O presente trabalho apresentou o estudo do projeto de um conversor A/D do tipo redistribuição de carga. Esse estudo consistiu na descrição em nível de transistores MOSFET das portas lógicas presentes no circuito do sistema digital de controle projetado. Após, as mesmas foram submetidas a uma análise do tempo de atraso gerado na propagação do sinal através de simulações. A partir dos resultados obtidos, e a partir de uma análise superficial da banco de capacitores, conseguiu-se estimar o maior atraso obtido em um ciclo de clock e, conseqüentemente, pode ser obtida uma estimativa para a frequência máxima do conversor projetado.

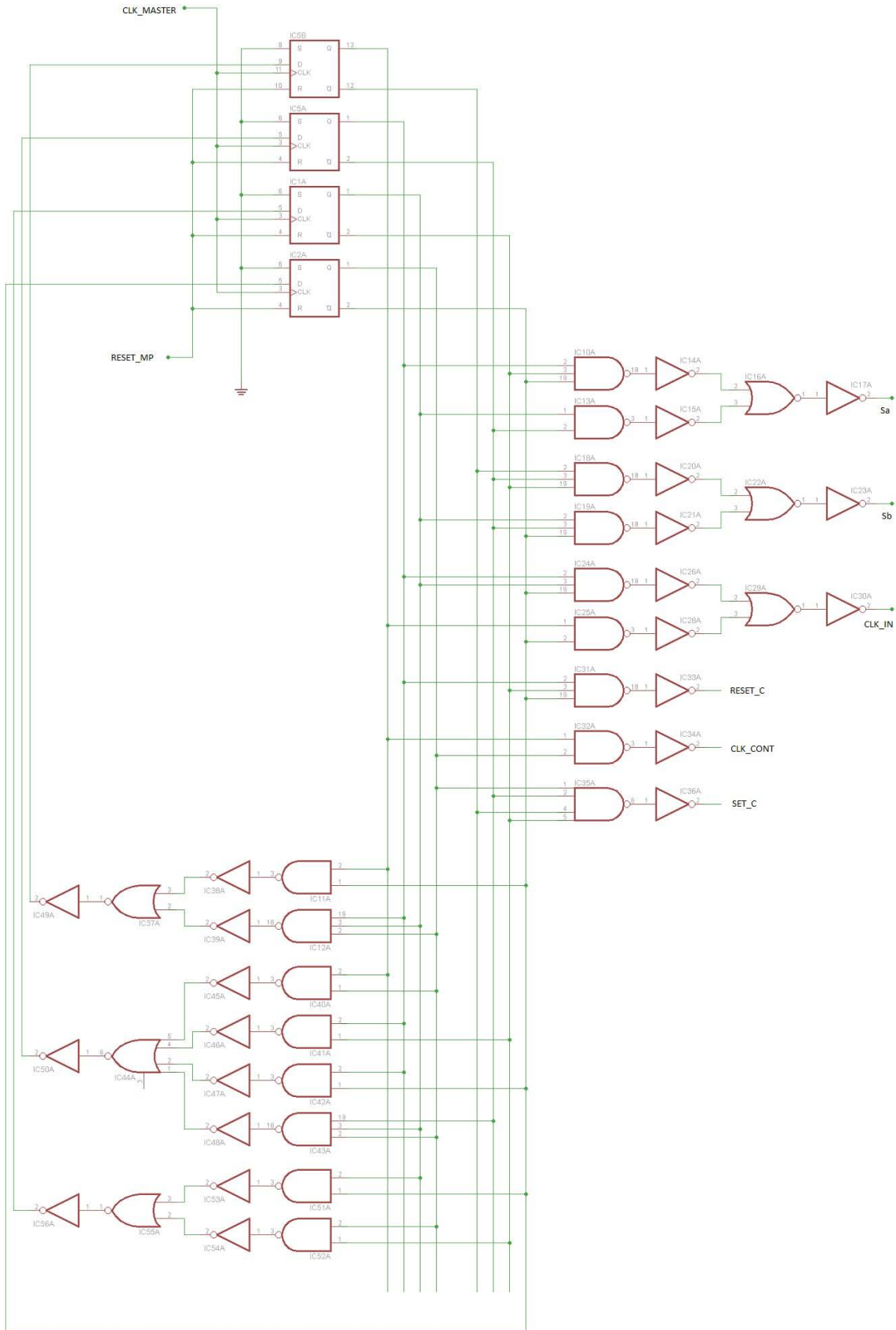
Pode se dizer que a principal contribuição do trabalho foi a obtenção da caracterização em termos de atraso do sistema digital de controle, e uma estimativa de sua frequência máxima de operação. A partir da frequência estimada, constatou-se que o dispositivo apresentava características típicas de conversores SAR, tais quais: velocidade intermediária para resoluções intermediárias. Com base nisso, sugestões de melhorias no projeto foram realizadas de modo a incrementar tais aspectos levantados a partir do estudo.

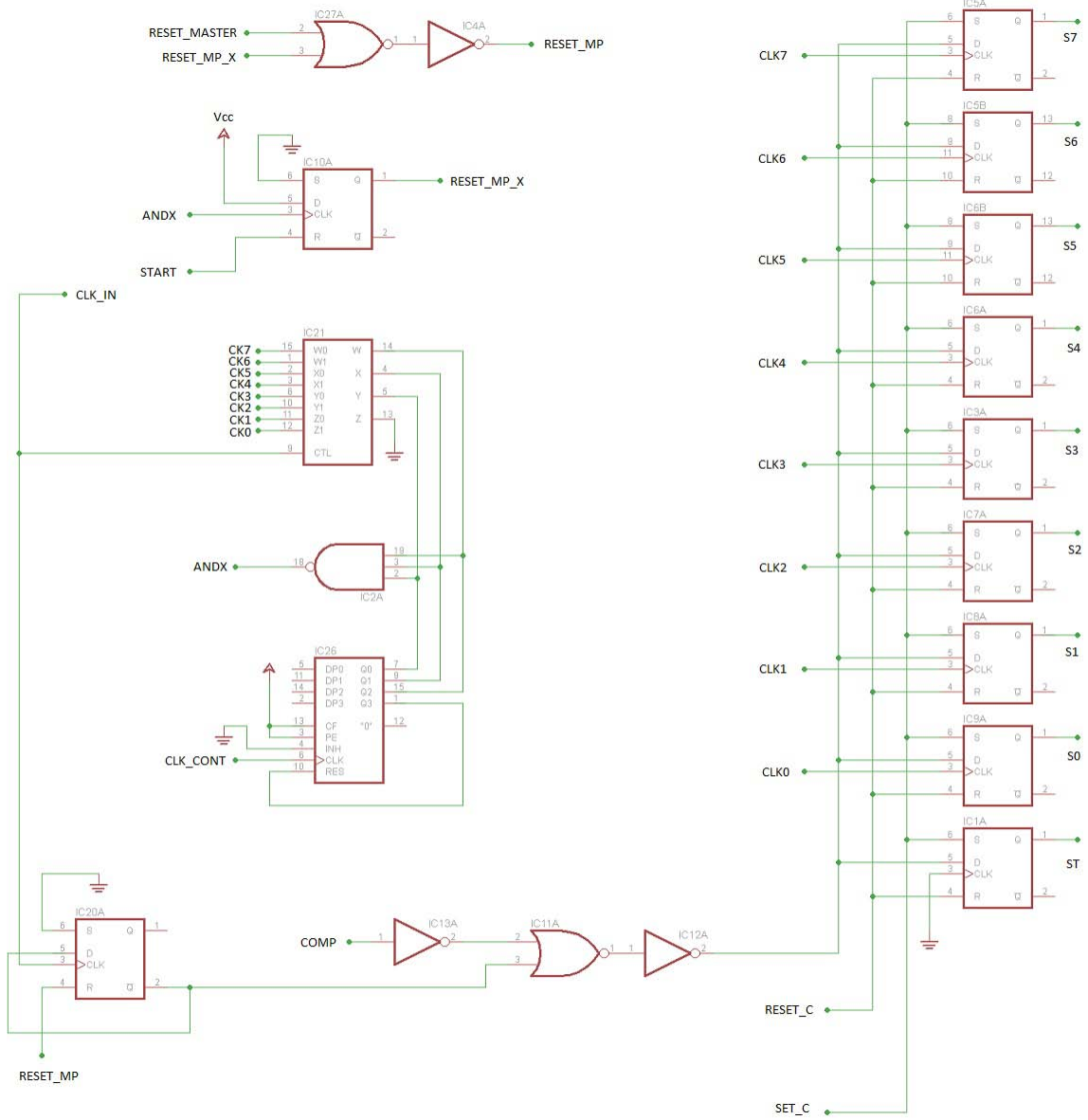
Como sugestão para trabalhos futuros, poderiam ser estudadas novas mudanças no projeto do circuito do sistema digital de controle, além das já citadas no presente trabalho, de modo a melhorar o desempenho do conversor. Posteriormente a isso, poder-se-ia partir para a implementação do circuito final do conversor em silício. Para isso, trabalhos seriam requeridos no desenho do layout do circuito no silício. Por fim, depois da implementação, ainda existiriam trabalhos no estudo do desempenho do circuito integrado do conversor a partir de testes ao invés de simulações como realizado neste trabalho.

## 7. REFERÊNCIAS

- [1] BAKER, B. (2012). *The Real World Versus Your ADC*. Acesso em 16 de novembro de 2013, disponível em <http://www.electronicdesign.com>
- [2] CARRO, L. (2001). *Projeto e Prototipação de Sistemas Digitais*. Porto Alegre: Faurgs
- [3] FELDMAN, M. (2013). *Estudo e simulação de um conversor A/D do tipo redistribuição de carga*. Trabalho de conclusão de curso de Engenharia Elétrica, Porto Alegre: UFRGS
- [4] GANDHI, P.; KAPADIA, D. (2013). *Implementation of CMOS charge sharing dynamic latch comparator in 130nm and 90nm technologies*. IEEE Information & Communication Technologies (ICT)
- [5] LEWIS, R.; AWKWARD, K. (1990). *Methods for Determining a Maximum Operating Frequency for TTL Gates*. IEEE
- [6] RABAEY, J; CHANDRAKASAN, A.; NIKOLIC, B. (2002). *Digital integrated circuits: a design perspective*. 2ª edição. New Jersey: Prentice-Hall
- [7] SCOTT, M.; BOSER, B.; PISTER, K. (2003). *An Ultralow-Energy ADC for Smart Dust*. IEEE Solid-State Circuits Society
- [8] WESTE, N.; HARRIS, D. (2011). *CMOS VLSI Design: A circuits and systems perspectives*. 4ª edição. Boston: Pearson

# APÊNDICE 1 - CIRCUITO DO SISTEMA DIGITAL DE CONTROLE





## APÊNDICE 2 - NETLIST SPICE

\*\* TCC MAURÍCIO CAGLIARI TOSIN \*\*

\*SIMULAÇÃO DO ATRASO GERADO POR UMA PORTA NAND DE DUAS ENTRADAS COM UM INVERSOR NA SAÍDA

\*declaração das fontes

vdd vdd 0 1.2

v1 va 0 pulse(0 1.2 200p 0 0 600p 200n)

v2 vb 0 pulse(0 1.2 50p 0 0 600p 200n)

.global vdd

\*circuito teste

X001 va vb out NAND2

X002 out out\_ INVERSOR

\*\*subcircuitos das portas lógicas

\*\* NAND2

.subc NAND2 in1 in2 out

m15 out in1 vdd vdd pMOS w=1u l=250n

m16 out in2 vdd vdd pMOS w=1u l=250n

m17 a in1 out 0 nMOS w=500n l=250n

m18 0 in2 a 0 nMOS w=500n l=250n

.ends

\*\* NAND3

```
.subc NAND3 in1 in2 in3 out
m1 out in1 vdd vdd pMOS w=1u l=250n
m2 out in2 vdd vdd pMOS w=1u l=250n
m3 out in3 vdd vdd pMOS w=1u l=250n
m4 a in1 out 0 nMOS w=500n l=250n
m5 b in2 a 0 nMOS w=500n l=250n
m6 0 in3 b 0 nMOS w=500n l=250n
.ends
```

**\*\* NAND4**

```
.subc NAND4 in1 in2 in3 in4 out
m7 out in1 vdd vdd pMOS w=1u l=250n
m8 out in2 vdd vdd pMOS w=1u l=250n
m11 out in3 vdd vdd pMOS w=1u l=250n
m12 out in4 vdd vdd pMOS w=1u l=250n
m9 a in1 out 0 nMOS w=500n l=250n
m10 b in2 a 0 nMOS w=500n l=250n
m13 c in3 b 0 nMOS w=500n l=250n
m14 0 in4 c 0 nMOS w=500n l=250n
.ends
```

**\*\* NOR2**

```
.subc NOR2 in1 in2 out
m27 a in1 vdd vdd pMOS w=1u l=250n
m28 out in2 a vdd pMOS w=1u l=250n
m29 0 in1 out 0 nMOS w=500n l=250n
m30 0 in2 out 0 nMOS w=500n l=250n
.ends
```



**\*\* NOR3**

```
.subc NOR3 in1 in2 in3 out
m19 a in1 vdd vdd pMOS w=1u l=250n
m20 b in2 a vdd pMOS w=1u l=250n
m21 out in3 b vdd pMOS w=1u l=250n
m22 0 in1 out 0 nMOS w=500n l=250n
m23 0 in2 out 0 nMOS w=500n l=250n
m24 0 in3 out 0 nMOS w=500n l=250n
.ends
```

**\*\* NOR4**

```
.subc NOR4 in1 in2 in3 in4 out
m27 a in1 vdd vdd pMOS w=1u l=250n
m28 b in2 a vdd pMOS w=1u l=250n
m29 c in3 b vdd pMOS w=1u l=250n
m30 out in4 c vdd pMOS w=1u l=250n
m31 0 in1 out 0 nMOS w=500n l=250n
m32 0 in2 out 0 nMOS w=500n l=250n
m33 0 in3 out 0 nMOS w=500n l=250n
m34 0 in4 out 0 nMOS w=500n l=250n
.ends
```

**\*\* INVERSOR**

```
.subc INVERSOR in out
m25 out in vdd vdd pMOS w=1u l=250n
m26 0 in out 0 nMOS w=500n l=250n
.ends
```

**\*\*modelo dos transistores utilizados**

.model nMOS nMOS level = 54

+version = 4.0      binunit = 1      paramchk= 1      mobmod = 0  
+capmod = 2      igcmod = 1      igbmod = 1      geomod = 1  
+diomod = 1      rdsmod = 0      rbodymod= 1      rgatemod= 1  
+permod = 1      acnqsmod= 0      trnqsmod= 0  
  
+tnom = 27      toxo = 2.25e-9      toxp = 1.6e-9      toxm = 2.25e-9  
+dtox = 0.65e-9      epsrox = 3.9      wint = 5e-009      lint = 10.5e-009  
+ll = 0      wl = 0      lln = 1      wln = 1  
+lw = 0      ww = 0      lwn = 1      wwn = 1  
+lwl = 0      ww1 = 0      xpart = 0      toxref = 2.25e-9  
+xl = -60e-9  
+vth0 = 0.3782      k1 = 0.4      k2 = 0.01      k3 = 0  
+k3b = 0      w0 = 2.5e-006      dvt0 = 1      dvt1 = 2  
+dvt2 = -0.032      dvt0w = 0      dvt1w = 0      dvt2w = 0  
+dsub = 0.1      minv = 0.05      voffl = 0      dvtp0 = 1.2e-010  
+dvtp1 = 0.1      lpe0 = 0      lpeb = 0      xj = 3.92e-008  
+ngate = 2e+020      ndep = 1.54e+018      nsd = 2e+020      phin = 0  
+cdsc = 0.0002      cdscb = 0      cdscd = 0      cit = 0  
+voff = -0.13      nfactor = 1.5      eta0 = 0.0092      etab = 0  
+vfb = -0.55      u0 = 0.05928      ua = 6e-010      ub = 1.2e-018  
+uc = 0      vsat = 100370      a0 = 1      ags = 1e-020  
+a1 = 0      a2 = 1      b0 = 0      b1 = 0  
+keta = 0.04      dwg = 0      dwb = 0      pclm = 0.06  
+pdiblc1 = 0.001      pdiblc2 = 0.001      pdiblc3 = -0.005      drout = 0.5  
+pvag = 1e-020      delta = 0.01      pscbe1 = 8.14e+008      pscbe2 = 1e-007  
+fprout = 0.2      pdits = 0.08      pditsd = 0.23      pditsl = 2.3e+006  
+rsh = 5      rdsw = 200      rsw = 100      rdw = 100  
+rdswmin = 0      rdwmin = 0      rswmin = 0      prwg = 0  
+prwb = 6.8e-011      wr = 1      alpha0 = 0.074      alpha1 = 0.005  
+beta0 = 30      agidl = 0.0002      bgidl = 2.1e+009      cgidl = 0.0002  
+egidl = 0.8

+aigbacc = 0.012      bigbacc = 0.0028      cigbacc = 0.002  
 +nigbacc = 1      aigbinv = 0.014      bigbinv = 0.004      cigbinv = 0.004  
 +eigbinv = 1.1      nigbinv = 3      aigc = 0.012      bigc = 0.0028  
 +cigc = 0.002      aigsd = 0.012      bigsd = 0.0028      cigsd = 0.002  
 +nigc = 1      poxedge = 1      pigcd = 1      ntox = 1  
  
 +xrcrg1 = 12      xrcrg2 = 5  
 +cgso = 2.4e-010      cgdo = 2.4e-010      cgbo = 2.56e-011      cgdl = 2.653e-10  
 +cgsl = 2.653e-10      ckappas = 0.03      ckappad = 0.03      acde = 1  
 +moin = 15      noff = 0.9      voffcv = 0.02  
  
 +kt1 = -0.11      kt1l = 0      kt2 = 0.022      ute = -1.5  
 +ua1 = 4.31e-009      ub1 = 7.61e-018      uc1 = -5.6e-011      prt = 0  
 +at = 33000  
  
 +fnoimod = 1      tnoimod = 0  
  
 +jss = 0.0001      jsws = 1e-011      jswgs = 1e-010      njs = 1  
 +ijthsfwd= 0.01      ijthsrev= 0.001      bvs = 10      xjbvs = 1  
 +jsd = 0.0001      jswd = 1e-011      jswgd = 1e-010      njd = 1  
 +ijthdfwd= 0.01      ijthdrev= 0.001      bvd = 10      xjbvd = 1  
 +pbs = 1      cjs = 0.0005      mjs = 0.5      pbsws = 1  
 +cjsws = 5e-010      mjsws = 0.33      pbswgs = 1      cjswgs = 3e-010  
 +mjswgs = 0.33      pbd = 1      cjd = 0.0005      mjd = 0.5  
 +pbswd = 1      cjswd = 5e-010      mjswd = 0.33      pbswgd = 1  
 +cjswgd = 5e-010      mjswgd = 0.33      tpb = 0.005      tcj = 0.001  
 +tpbsw = 0.005      tcjsw = 0.001      tpbswg = 0.005      tcjswg = 0.001  
 +xtis = 3      xtid = 3  
  
 +dmcg = 0e-006      dmci = 0e-006      dmdg = 0e-006      dmcgt = 0e-007  
 +dwj = 0.0e-008      xgw = 0e-007      xgl = 0e-008

+rshg = 0.4      gbmin = 1e-010      rbpb = 5      rbpd = 15  
+rbps = 15      rbdb = 15      rbsb = 15      ngcon = 1

\* PTM 130nm PMOS

.model pMOS pMOS level = 54

+version = 4.0      binunit = 1      paramchk= 1      mobmod = 0  
+capmod = 2      igcmod = 1      igbmod = 1      geomod = 1  
+diomod = 1      rdsmod = 0      rbodymod= 1      rgatemod= 1  
+permod = 1      acnqsmode= 0      trnqsmode= 0

+tnom = 27      toxex = 2.35e-009      toxp = 1.6e-009      toxm = 2.35e-009  
+dtox = 0.75e-9      epsrox = 3.9      wint = 5e-009      lint = 10.5e-009

+ll = 0      wl = 0      lln = 1      wln = 1

+lw = 0      ww = 0      lwn = 1      wwn = 1

+lwl = 0      wwl = 0      xpart = 0      toxref = 2.35e-009

+xl = -60e-9

+vth0 = -0.321      k1 = 0.4      k2 = -0.01      k3 = 0

+k3b = 0      w0 = 2.5e-006      dvt0 = 1      dvt1 = 2

+dvt2 = -0.032      dvt0w = 0      dvt1w = 0      dvt2w = 0

+dsub = 0.1      minv = 0.05      voffl = 0      dvtp0 = 1e-009

+dvtp1 = 0.05      lpe0 = 0      lpeb = 0      xj = 3.92e-008

+ngate = 2e+020      ndep = 1.14e+018      nsd = 2e+020      phin = 0

+cdsc = 0.000258      cdsbc = 0      cdsdc = 6.1e-008      cit = 0

+voff = -0.126      nfactor = 1.5      eta0 = 0.0092      etab = 0

+vfb = 0.55      u0 = 0.00835      ua = 2.0e-009      ub = 0.5e-018

+uc = -3e-011      vsat = 70000      a0 = 1.0      ags = 1e-020

+a1 = 0      a2 = 1      b0 = -1e-020      b1 = 0

+keta = -0.047      dwg = 0      dwb = 0      pclm = 0.12

+pdiblc1 = 0.001      pdiblc2 = 0.001      pdiblc3 = 3.4e-008      drout = 0.56

+pvag = 1e-020      delta = 0.01      pscbe1 = 8.14e+008      pscbe2 = 9.58e-007

+fprout = 0.2      pdits = 0.08      pditsd = 0.23      pditsl = 2.3e+006

+rsh = 5          rdswh = 240          rsw = 120          rdw = 120  
+rdswhmin = 0          rdwhmin = 0          rswmin = 0          prwg = 3.22e-008  
+prwb = 6.8e-011          wr = 1          alpha0 = 0.074          alpha1 = 0.005  
+beta0 = 30          agidl = 0.0002          bgidl = 2.1e+009          cgidl = 0.0002  
+egidl = 0.8  
  
+aigbacc = 0.012          bigbacc = 0.0028          cigbacc = 0.002  
+nigbacc = 1          aigbinv = 0.014          bigbinv = 0.004          cigbinv = 0.004  
+eigbinv = 1.1          nigbinv = 3          aigc = 0.69          bigc = 0.0012  
+cigc = 0.0008          aigsd = 0.0087          bigsd = 0.0012          cigsd = 0.0008  
+nigc = 1          poxedge = 1          pigcd = 1          ntox = 1  
  
+xrcreg1 = 12          xrcreg2 = 5  
+cgso = 2.4e-010          cgdo = 2.4e-010          cgbo = 2.56e-011          cgdl = 2.653e-10  
+cgsl = 2.653e-10          ckappas = 0.03          ckappad = 0.03          acde = 1  
+moin = 15          noff = 0.9          voffcv = 0.02  
  
+kt1 = -0.11          kt1l = 0          kt2 = 0.022          ute = -1.5  
+ua1 = 4.31e-009          ub1 = 7.61e-018          uc1 = -5.6e-011          prt = 0  
+at = 33000  
  
+fnoimod = 1          tnoimod = 0  
  
+jjss = 0.0001          jsws = 1e-011          jswgs = 1e-010          njs = 1  
+ijthsfwd= 0.01          ijthsrev= 0.001          bvs = 10          xjbvs = 1  
+jjssd = 0.0001          jsswd = 1e-011          jssgd = 1e-010          njd = 1  
+ijthdfwd= 0.01          ijthdrev= 0.001          bvd = 10          xjbvd = 1  
+pbs = 1          cjs = 0.0005          mjs = 0.5          pbsws = 1  
+cjssws = 5e-010          mjsws = 0.33          pbswgs = 1          cjsswgs = 3e-010  
+mjsswgs = 0.33          pbd = 1          cjd = 0.0005          mjssd = 0.5  
+pbswd = 1          cjsswd = 5e-010          mjsswd = 0.33          pbswgd = 1  
+cjsswgd = 5e-010          mjsswgd = 0.33          tpb = 0.005          tcj = 0.001  
+tpbssw = 0.005          tcjssw = 0.001          tpbsswg = 0.005          tcjsswg = 0.001

+xtis = 3      xtid = 3

+dmcg = 0e-006    dmci = 0e-006    dmdg = 0e-006    dmcgt = 0e-007

+dwj = 0.0e-008    xgw = 0e-007    xgl = 0e-008

+rshg = 0.4      gbmin = 1e-010    rbpb = 5      rbpd = 15

+rbps = 15      rbdb = 15      rbsb = 15      ngcon = 1

.tran 0.0000009u 10u

.option post

.END

## APÊNDICE 3 - SCRIPT PARA SIMULAÇÃO EM MATLAB

```
%TCC Maurício Cagliari Tosin

clear all;
close all;
clc;

% Leitura do Arquivo Saída Spice (.tr0)
a=loadsig('C:\Mauricio\Faculdade\11º semestre\TCC\Simulações\Simulações
NAND\NAND_INV.tr0');
Issig(a);
t = evalsig(a,'TIME');

va = evalsig(a,'va');
vb = evalsig(a,'vb');
out = evalsig (a,'out');

figure(1)
subplot(3,1,1)
plot(t,va,'-k','linewidth',2); ylabel('VA'); axis([0 1E-9 0 2]);
subplot(3,1,2)
plot(t,vb,'-k','linewidth',2); ylabel('VB'); axis([0 1E-9 0 2]);
subplot(3,1,3)
plot(t,out,'-k','linewidth',2); ylabel('Vout'); axis([0 1E-9 0 2]);
```