

**075****ESTUDO DOS PROBLEMAS DE E/S DE UMA ARQUITETURA MATRICIAL COM PROPOSTA DE OTIMIZAÇÃO.** *R. R. Santos, G. G. H. Cavalheiro, P. O. A. Navaux* (co-orientador), *B. F. Becker* (orientador). (Instituto de Informática - CPGCC - UFRGS - PUCRS)

As arquiteturas matriciais possibilitam a exploração do paralelismo de dados em aplicações que necessitam grande taxa de processamento de forma idêntica sobre um conjunto de dados. A placa de *chips* matriciais NCR GAPP em outros trabalhos mostrou-se muito promissora nestes aspectos, porém apresentou algumas deficiências quanto a carga e descarga de dados da sua matriz de processamento. Esta placa é acoplada ao barramento de E/S de um computador padrão IBM-PC e funciona como uma placa aceleradora de processamento. A placa conta com um número de 144 elementos de processamento de 1 bit com memória de 128 bits por EP. As deficiências de E/S foram estudadas neste trabalho e concluímos que sua existência se deve ao fato de que a placa trabalha com dados na forma bit serial palavra paralela e o *host* trabalha na forma bit paralelo palavra serial. O processo de E/S é composto de duas etapas a transferência dos dados de/para a placa e a reformatação dos mesmos. É proposta a otimização em relação a transferência dos dados e não em relação a reformatação pois esta exigiria alterações no hardware do *chip*. O projeto de uma nova placa com um buffer de armazenamento temporário, mapeado em memória, e com um processador de E/S soluciona o problema pois além de facilitar o procedimento de transferência, oferece um nível mais alto de paralelismo entre a placa e o *host*. (CNPq)