

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

WALTER ENRIQUE CALIENES BARTRA

**Modelamento do Single-Event Effects em
Circuitos de Memória FDSOI**

Tese apresentada como requisito parcial para a
obtenção do grau de Doutor em Microeletrônica

Orientador: Prof. Dr. Ricardo Reis
Co-orientador: Prof. Dr. Andrei Vladimirescu

Porto Alegre
2016

CIP — CATALOGAÇÃO NA PUBLICAÇÃO

Calienes Bartra, Walter Enrique

Modelamento do Single-Event Effects em Circuitos de Memória FDSOI / Walter Enrique Calienes Bartra. – Porto Alegre: PGMICRO da UFRGS, 2016.

228 f.: il.

Tese (doutorado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR-RS, 2016. Orientador: Ricardo Reis; Co-orientador: Andrei Vladimirescu.

1. Single-Event Effects, Single-Event Transient, Single-Event Upset, Fully Depleted Silicon on Insulator, Simulação 2D, Simulação 3D, Modelamento, Microeletrônica. I. Reis, Ricardo. II. Vladimirescu, Andrei. III. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof. Luís da Cunha Lamb

Coordenadora do PGMICRO: Prof. Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*“Para os crentes, Deus é o começo.
Para os cientistas, é o fim de todas as suas reflexões.”*

— MAX PLANCK

AGRADECIMENTOS

Para mim, isso foi algo que nunca esteve previsto na minha vida. Foi o Mario Raffo que falou para mim já faz tempo, no ano 2008, para começar a fazer um mestrado. Eu agradeço ele pela ideia de vir aqui a mudar a minha vida. Também agradeço ao professor Carlos Silva Cardenas, quem me apresentou a meu atual orientador Ricardo Reis no evento LASCAS do ano 2009. Agradeço eles dois também pela oportunidade fornecida para mim de fazer uma pós-graduação no Rio Grande do Sul.

À minha mãe Augusta, que entendeu quando foi embora, mas acho que para ela não foi muito bom, e agradeço ela por entender o porquê eu devia vir aqui. Não posso imaginar esses sentimentos porque ainda não sou pai.

Aqui me recebera o Jorge Tonfat, e conheci um monte de gente bacana que tentou fazer-me sentir bem num lugar onde apreendi a mexer com pessoas e com uma cultura que para mim era estranha. Nem sei onde eles estão agora, mas eu agradeço a eles a sua paciência comigo. Também agradeço a meu alugador o sr. Rubens Simão Pra pela sua ajuda e pela sua casa na qual eu até agora sou recebido.

Agradeço a meus colegas de laboratório e universidade: Gracieli Posser, Jerson Paulo Guex, Glauco Valim dos Santos, Cristina Meinhart, Tania Ferla, Guilherme Flach, Daniel Gumirães Jr. Adriel Ziesemer Jr., Angelina Ziesemer, Franco Renato Campana, Raúl Chipana, Raquel Dias, David Córdova, Geancarlo Abich, Alexandra Zimpack, Mateus Fogaça, Gisell Moura, Ygor Aguiar, Luciana Mendes da Silva, Felipe Pinto, Carolina Metzler, Jéssica Hoepers Müller, Sergio Bampi, Fernanda Kastermindt, Marcelo Johann, Henri Budinov, Tiago de Almeida, Jucemar Monteiro, Jacqueline Valverde, Gustavo Wilke, Tiago Reimann, Gabriela Ouriques, Omaira Sierra Arango, Ricardo Rodriguez, Rogerio Anesi, Romerio Jair Kunrath, Patricia da Cunha, Antonio López, Williams Paredes, Frank Guzman, Claudio Schepke e Diana Hübner Schepke; todos eles colaboraram, de alguma forma para eu haver chegado até aqui, academicamente ou de qualquer outra forma, incluindo as risadas.

No ano 2013, meu orientador enviou-me para Paris, na França, e lá conheci o Andrei Vladimirescu (meu co-orientador), Costin Anghel, Amara Amara, Malika Tlili, Soumya Shatakshi Panda, Uday Kumar Reddy, Khaja Shaik e Hraziia Mao; eu agradeço eles de coração, porque, se não fosse por eles nunca haveria apreendido a mexer na ferramenta Sentaurus TCAD da Synopsys e a minha vida no laboratório do ISEP haveria sido entediante. Também tem a minha gratidão Katherine Trio, Wye Trio, Kevin Contreras,

Valeria Marchan, Ricardo Marcatto, Madame Eva, Madame Roló, Monseur Jean Paul e Obert Marín Sanchez (e mais pessoas, eu não consigo lembrar de todos eles) que fizeram na minha estadia na França mais legal.

Agradeço também a meus amigos de fora da universidade: Jorge Pereira Caminha, Myke Richter, Jonathan Nunes, Alexandre Oscar Hahn, Marla Moreira, Jonathan Lima Shinomori, Celso Alfonso Torres Neto, Julia Pires Pilati, Tiago Calefi, Dairson Cabral Jr. (Luigi), Mariane Lee, Júnior Mangaká Pro, Roni Petersom, Caroline Lopes, Lucas Barcelos, Gabriel Menegazzi, Jean Larrocca, Gabriel Luis, Helen Bermudez, Luna Lopes, Fernanda Quiroga, Thay Leo Avila, Everton Herber, Daniel Nobre Ribeiro, Élisson Rodrigues, Matheus Zanchin, Betina Wood, Sofia Pellsoli, Mauricio Goldani, Grasielle Viera, Claudia Daniela Viera, Luly Salle, Thomas Rangel Bugs, Éder Hamermüller, Stefani Rosa, Otavia Cé, Rafaela Oliveira (Rafinha Tuani), Luis Chiavaro, Camila Mendça, Fabiana Fernandez, Vitor Silveira, Tiago Custodio Franco, Jeferson da Rosa, Camila Gaminho da Costa, Jace Odrick, Marlon Petry, Daniel Schntz, Nicolas de Mello Beck, Renan Bernardo, Anderson Gil Rocha, Diego Santos (Di), Kotetsu Maeda, Carol Costa, Luana Carolina Coutinho, Michelle Brea Soares de Castro, Gustavo Novo Fim, Bruna Chelminski (Shi), Fernanda Oliveira (Gardenia Chan), Antony Nascimento Peronio, Clara Nugem, Shibumi Kan, Wellington Frank Jr., Lindsay Wolf, Luana Santos, Gustavo Dorneles, Igor Gonçalo August, Maria Isabel Ramos, Maristel Gil, Karina Aliaga, Fernanda Nunes, Tiago Henrique... a lista é muito grande, desculpem se esqueci de alguém; eles todos me ajudaram a rir, foram meus panos de lágrimas e ajudaram a me superar e desenvolver habilidades que eu nunca achei ter.

E, finalmente, agradeço também a André Fay, Jaquison Lanes Braz Lucas, Liziane Zimmer, Renan Barbachan, Fatima Zanette da Rosa, Paulinha PV, Débora Monteiro Brito, Bruna Monteiro Brito, Leila Tinoco, Anny Aldrey Konrath, Edward Lima, Luiza Leães e Mitsunari Naoe; eles me ensinaram as coisas que não devo fazer na minha vida, o quem eu não devo ser, e demonstraram que eu faço as coisas do jeito certo. Tudo isso ajuda-me a ser mais forte que eles.

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS	11
LISTA DE SÍMBOLOS	13
LISTA DE FIGURAS	19
LISTA DE TABELAS	23
RESUMO	25
ABSTRACT	27
1 INTRODUÇÃO	29
1.1 Single-Event Effects	30
1.2 Novos Dispositivos.....	32
1.2.1 FinFET	32
1.2.2 Partially Depleted Silicon On Insulator	34
1.2.3 Fully Depleted Silicon On Insulator	34
1.3 Sentaurus TCAD.....	35
1.3.1 Sentaurus Workbench	36
1.3.2 Sentaurus Structure Editor	36
1.3.3 Sentaurus Device	37
1.3.4 Inspect.....	40
1.3.5 Sentaurus Visual.....	41
1.4 Objetivos do Trabalho	42
1.5 Motivação.....	43
1.6 Organização do Trabalho.....	44
2 ESTADO DA ARTE DA MODELAGEM, INJEÇÃO E SIMULAÇÃO DE FALHAS EM DISPOSITIVOS FDSOI.....	45
2.1 O Transistor de Silício sob Isolante Completamente Depletado.	45
2.1.1 Características e Vantagens dos FDSOI.....	45
2.1.1.1 Melhoria na Escalabilidade.....	45
2.1.1.2 Controle Eletrostático Melhorado.....	46
2.1.1.3 Redução da Variabilidade de Dopagem	46
2.1.1.4 Redução do Consumo	47
2.1.1.5 Controle Dinâmico da Voltagem de Limiar	47
2.1.1.6 Mobilidade dos Portadores na camada do Canal	47
2.1.1.7 Competitividade com o FinFET.....	48
2.1.1.8 Competitividade com os transistores CMOS Bulk e PDSOI.....	48
2.1.2 Modelagem dos Dispositivos SOI.....	49
2.1.2.1 Voltagem de Limiar V_{th} do MOSFET SOI	50
2.1.2.2 Corrente de Dreno I_d do MOSFET SOI	54
2.1.2.3 Processos, Efeitos e Extração de Parâmetros dos transistores SOI	58
2.2 Modelagem dos Single-Event Effects	60
2.2.1 Nível Dispositivo	60
2.2.2 Nível Circuito.....	63
2.3 Simulação do Transistor CMOS Bulk e dos efeitos dos SEEs em dispositivos e circuitos.....	66
2.4 Simulação do FDSOI e dos efeitos dos SEEs em dispositivos	67
2.5 Células SRAM de 6 transistores Sub-Micrométricas	74
3 METODOLOGIA DE SIMULAÇÃO	77
3.1 Modelos para as Simulações	77
3.1.1 Modelos de Transporte.....	77
3.1.1.1 Modelo Deriva-Difusão	78

3.1.1.2	Modelo Hidrodinâmico	79
3.1.1.3	Modelo Quântico	80
3.1.1.4	Detalhes dos Modelos Apresentados	80
3.1.2	Modelos de Geração e Recombinação	83
3.1.2.1	Modelo de Recombinação Auger.....	83
3.1.2.2	Geração Avalanche	84
3.1.2.3	Teoria de Recombinação Shockley-Read-Hall	84
3.1.2.4	Uso dos Modelos de Geração e Recombinação	85
3.1.3	Modelos de Mobilidade dos Portadores.....	86
3.1.3.1	Modelo Unificado de Mobilidade de Philips	86
3.1.3.2	Modelo de Mobilidade dependente da Dopagem de Masetti.....	87
3.1.3.3	Modelo Extendido de Saturação de Campo Elétrico Elevado de Canali	87
3.1.3.4	Modelo de Mobilidade Constante por Espalhamento dos Fônons de Lombardi	88
3.1.3.5	Uso dos Modelos de Mobilidade	88
3.1.4	Modelo de Largura da Banda Proibida nos Semicondutores	88
3.1.5	Modelos Estatísticos de Concentração dos Portadores.....	89
3.1.5.1	Modelo de Boltzmann.....	89
3.1.5.2	Modelo de Fermi-Dirac.....	89
3.1.5.3	Uso dos Modelos de Concentração de Portadores	90
3.1.6	Modelos de Radiação para <i>Singe-Event Effects</i>	90
3.1.6.1	Modelo de Partícula Alfa	90
3.1.6.2	Modelo de Íon Pesado.....	91
3.1.6.3	Uso dos Modelos de Radiação para SEE.....	93
3.2	Modelagem dos Transistores.....	93
3.3	Comparação com um modelo compacto SPICE	96
3.4	Extração de Parâmetros	97
3.5	Caraterização do transistor projetado com SET	98
3.6	Caracterização Estática de uma Célula de Memória de 6 Transistores em Modo Misto.....	100
3.7	Simulação dos efeitos do SEU em uma célula de Memória em Modo Misto... 100	100
4	RESULTADOS OBTIDOS	103
4.1	Modelagem dos Transistores.....	103
4.2	Comparação com um modelo compacto SPICE	105
4.3	Extração de Parâmetros	106
4.4	Caraterização do transistor modelado com SET	107
4.4.1	Transistor Bulk de 32nm.....	108
4.4.2	Transistor FDSOI de 28nm	110
4.4.3	Transistor FDSOI <i>High-K</i> de 28nm.....	113
4.4.4	Análise de Resultados	115
4.5	Simulação dos efeitos do SEU em uma célula de Memória em Modo Misto... 119	119
4.5.1	Célula SRAM 6T Bulk de 32nm.....	121
4.5.1.1	Caracterização Estática da Célula de Memória Bulk de 32nm.....	121
4.5.1.2	Estudo do SEU na Célula de Memória Bulk de 32nm.....	121
4.5.2	Célula SRAM 6T FDSOI de 28nm	124
4.5.2.1	Caracterização Estática da Célula de Memória FDSOI de 28nm	124
4.5.2.2	Estudo do SEU na Célula de Memória FDSOI de 28nm.....	125
4.5.3	Célula SRAM 6T FDSOI <i>High-K</i> de 28nm.....	126
4.5.3.1	Caracterização Estática da Célula de Memória FDSOI <i>High-K</i> de 28nm.....	126
4.5.3.2	Estudo do SEU na Célula de Memória FDSOI <i>High-K</i> de 28nm.....	128
4.5.4	Análise de Resultados	129
5	CONCLUSÕES	135

6 TRABALHOS FUTUROS.....	137
REFERÊNCIAS.....	139
ANEXO A — EFEITO DO CORPO FLUTUANTE.....	149
ANEXO B — DEFINIÇÕES E EXTRAÇÃO DE PARÂMETROS DOS FDSOI.....	151
B.1 Inclinação Sub-Limiar.....	151
B.2 Diminuição da Barreira Induzida no Dreno.....	152
B.3 Voltagem de Limiar Linear e de Saturação.....	153
B.4 Correntes de Corte Linear e de Saturação.....	153
B.5 Corrente de Saturação.....	153
B.6 Transcondutância.....	154
B.7 Definição de Dispositivos de Canal Curto.....	154
ANEXO C — CARACTERIZAÇÃO ESTÁTICA DE UMA CÉLULA SRAM 6T157	
C.1 Obtenção da Margem de Ruído Estático de Leitura (RNM).....	158
C.2 Obtenção da Margem de Ruído Estático de Escrita (WNM).....	160
ANEXO D — RELAÇÃO APROXIMADA ENTRE t_{ox}, I_{on}, I_{off} E V_{th} NOS	
TRANSISTORES BULK E FDSOI.....	163
D.1 Relação entre o t_{ox} e o I_{on}.....	163
D.2 Relação entre o t_{ox} e o I_{off}.....	164
D.3 Relação entre o t_{ox} e o V_{th}.....	164
ANEXO E — ESPESSURA EQUIVALENTE DE ÓXIDO (EOT).....	167
ANEXO F — MODELOS E <i>NETLISTS</i> PARA HSPICE.....	171
F.1 Modelo Preditivo do Transistor de 32nm de baixo consumo da Arizona	
State University.....	171
F.2 Modelo Preditivo do Transistor de 28nm FDSOI.....	174
F.3 Netlist para obter a curva I_d vs. V_g do FDSOI 28nm no HSPICE.....	177
ANEXO G — SCRIPTS PARA O SENTAURUS TCAD.....	179
G.1 Script de Sentaurus Structure Editor para o Transistor Bulk Preditivo de	
32nm.....	179
G.2 Script de Sentaurus Structure Editor para o Transistor FDSOI de 28nm.....	184
G.3 Script de Sentaurus Structure Editor para o Transistor FDSOI de 28nm	
<i>High-K</i>.....	190
G.4 Script de Sentaurus Structure Editor para o Transistor Bulk de 32nm em	
3 dimensões.....	197
G.5 Script de Sentaurus Structure Editor para o Transistor FDSOI de 28nm	
em 3 dimensões.....	202
G.6 Script de Sentaurus Device para obter a curva I_d vs. V_g do Transistor	
Bulk de 32nm.....	208
G.7 Script de Sentaurus Device para obter a curva I_d vs. V_g do Transistor	
FDSOI de 28nm.....	210
G.8 Script de Sentaurus Device para estudar o Impacto de um Ion Pesado na	
terminal do Dreno de um Transistor Bulk de 32nm.....	212
G.9 Script de Sentaurus Device para estudar o Impacto de um Ion Pesado na	
terminal do Dreno de um Transistor FDSOI de 28nm.....	214
G.10 Modelo Preditivo do Transistor de 32nm de baixo consumo da Arizona	
State University convertido a Sentaurus Device.....	216
G.11 Script de Sentaurus Device para estudar o Impacto de um Ion Pesado	
em uma Célula de Memória Bulk de 32nm.....	223
G.12 Script de Sentaurus Device para estudar o Impacto de um Ion Pesado	
em uma Célula de Memória FDSOI de 28nm.....	225

G.13	Script de Inspect para obter a Corrente Pico e a Carga Total do transistor FDSOI de 28nm <i>High-K</i>	227
G.14	Script de Inspect para obter a Corrente Pico, Carga Total e o Estado de uma célula SRAM FDSOI de 28nm <i>High-K</i>.....	227

LISTA DE ABREVIATURAS E SIGLAS

ASEE	Analog Single-Event Effects
BOX	Buried Oxide (Óxido Enterrado)
BC	Banda de Condução
BP	Back Plane (Plano Traseiro)
CC	Collected Charge (Carga Coletada)
CI	Circuito Integrado
DIBL	Drain Induced Barrier Lowering (Diminuição da Barreira Induzida no Dreno)
DICE	Dual-interlocked storage Cell
DUT	Device Under Test (Dispositivo Baixo Prova)
FDSOI	Fully Depleted Silicon On Insulator
FinFET	Fin-Shaped Field Effect Transistor
FOX	Field Oxide (Oxido do Campo)
FPGA	Field Programmable Gate Array
FPA	Field Programmable Analog Array
GND	Tensão de referenda do circuito ou Terra
HDL	Hardware Description Language (Linguagem de Descrição de Hardware)
HW	Hardware
HWIFI	Hardware Implemented Fault Injection
LET	Linear Energy Transfer (Transferencia Linear de Energia)
NLC	Non-Linear Counter (Contador Não Linhal)
NOC	Network On Chip
PDSOI	Partially Depleted Silicon On Insulator
PTM	Predictive Transistor Model
RAM	Random Access Memory (Memoria de Acesso Aleatorio)

SEB	Single-Event Burnout
SEE	Single-Event Effects
SEGR	Single-Event Gate Rupture
SHE	Single Hard Error
SEL	Single-Event Latch-up
SET	Single-Event Transient
SEU	Single-Event Upset
SOC	System on Chip
SOI	Silicon On Insulator
STI	Shallow Trench Isolation
SWIFI	Software Implemented Fault Injection
TAT	Trap Assisted Tunneling
TCL	Tool Command Language
TFET	Tunnel Field Effect Transistor
UTSOI	Ultra-Thin Silicon On Insulator
VDD	Tensão de alimentação do circuito
VHDL	VHSIC Hardware Description Language
VHSIC	Very High Speed Integrated Circuit
VI	Virtual Instrument (Instrumento Virtual)
VTC	Características de Transferência de Tensão (Voltage Transfer Characteristic)

LISTA DE SÍMBOLOS

C_{BOX}	Capacitância da Camada de Óxido Enterrado
C_{dep}	Capacitância da Camada de Depleção
C_L	Capacitância de Carga
C_{load}	Capacitância de Carga
C_{ox}	Capacitância do Óxido no Terminal de Porta
C_{OxSi}	Capacitância Efetiva da Porta do Transistor FDSOI
$C_{oxSiBOX}$	Capacitância Total do FDSOI
C_{sb}	Capacitância de Estado Superficial de Carga Rápida do Terminal do Substrato (Terminal Traseiro)
C_{Si}	Capacitância da Camada de Depleção
C_{SiBOX}	Capacitância Efetiva do Substrato do FDSOI
$DIBL$	Diminuição da Barreira Induzida no Dreno
E	Campo Elétrico
E_0	Campo Elétrico na posição $X = 0$
E_{gsi}	Energia necessária para Criar um par Elétron-Lacuna no Silício (3.6eV)
$E_{k\alpha}$	Energia Cinética de uma Partícula
ε_0	Permitividade do Vacuo ($8.8542 \times 10^{-12} \text{F/m}$)
ε_{EOT}	Permitividade Relativa ou Constante Dielétrica do óxido equivalente no Terminal de Porta
ε_K	Permitividade Relativa ou Constante Dielétrica do material K
ε_{ox}	Permitividade Relativa ou Constante Dielétrica do óxido no Terminal de Porta
ε_{Si}	Permitividade Relativa ou Constante Dielétrica do Silício
E_{sg}	Campo Elétrico do Limite da Superfície da Porta (Terminal do Frente)
η	Fator de Ajuste para a Tensão de Limiar dependente do Comprimento da Porta
ϕ_B	Tensão ou Potencial de Fermi

Φ_M	Função Trabalho do Terminal da Porta
Φ_{MS_b}	Função Trabalho do Terminal do Substrato (Terminal Traseiro)
Φ_{MS_g}	Função Trabalho do Terminal da Porta (Terminal do Frente)
ϕ_T	Tensão Térmica
G	Constante de Geração de Pares Eléctron-Lacuna
γ	Fator de Efeito Corpo
g_m	Transconducância do Terminal de Porta
I_0	Corrente Transiente Máxima entregue pelas cargas
I_d	Corrente no Terminal do Dreno
I_{d0}	Corrente Sub-Limiar no Terminal do Dreno
I_{d_A}	Corrente no Terminal do Dreno em Acumulação
$I_{d_{AD}}$	Corrente no Terminal do Dreno Depletado com a Terminal Traseira em Acumulação
I_{d_D}	Corrente no Terminal do Dreno em Depleção
$I_{d(sat)}$	Corrente no Terminal do Dreno em Saturação
$I_{d(sat)_A}$	Corrente no Terminal do Dreno em Saturação na Acumulação
$I_{d(sat)_{AD}}$	Corrente no Terminal do Dreno em Saturação com a Terminal Traseira em Acumulação
I_{off}	Corrente de Corte ou Desligado
I_{on}	Corrente de Saturação ou Ligado
$I_{on(sat)}$	Corrente de Saturação ou Ligado
I_p	Corrente Transiente
$I_p(t)$	Corrente Transiente em função do tempo
I_{tpeak}	Pico Máximo da Corrente Transiente
K	Permitividade Relativa ou Constante Dielétrica
k_B	Constante de Boltzmann ($1.3806 \times 10^{-23} \text{J/K}$)

L	Comprimento do Terminal de Porta
L_{eff}	Comprimento Efetivo do Terminal de Porta
LET	Transferência Lineal de Energia (Linear Energy Transfer)
LET	Transferência Lineal de Energia (Linear Energy Transfer)
LET_M	Transferência Lineal de Energia relativa ao Material
$\bar{\mu}$	Mobilidade Média
μ_n	Mobilidade dos Elétrons ou Doadores
μ_{ng}	Mobilidade dos Elétrons ou Doadores no Corpo/Canal
μ_p	Mobilidade das Lacunas ou Aceitadores
N	Densidade Lineal dos pares Elétron-Lacuna
N_A	Concentração de Portadores Aceitadores
N_{ch}	Concentração de Portadores no Corpo/Canal do Transistor
N_D	Concentração de Portadores Doadores
n_i	Concentração Intrínseca dos Portadores
N_{sb}	Densidade de Estado Superficial de Carga Rápida do Terminal do Substrato (Terminal Traseiro)
ψ_{BOX}	Potencial da Camada do Óxido Enterrado do Transistor FDSOI
ψ_{ox}	Potencial do Óxido no Terminal de Porta
ψ_{Si}	Potencial do Corpo/Canal de Silício do Transistor FDSOI
ψ_{sg}	Potencial de Superfície do Terminal da Porta (Terminal do Frente)
ψ_{sb}	Potencial de Superfície do Terminal do Substrato (Terminal Traseiro)
q	Carga do Elétron ($1.602 \times 10^{-19}C$)
Q_C	Carga Injetada para obter o Pulso de Tensão Transiente
Q_{cb}	Densidade de Carga Depositada na Superfície do Terminal do Substrato (Terminal Traseiro)
Q_{cg}	Densidade de Carga Depositada na Superfície do Terminal da Porta (Terminal do Frente)

Q_{crit}	Carga Crítica
Q_{fb}	Densidade de Carga Fixa da Interfase Si-SiO ₂ do Terminal do Substrato (Terminal Traseiro)
Q_{fg}	Densidade de Carga Fixa da Interfase Si-SiO ₂ do Terminal da Porta (Terminal do Frente)
$Q_n(y)$	Densidade de Carga de Inversão no Canal
Q_p	Carga do Transiente de Corrente
Q_{Si}	Densidade de Carga na Região de Depleção
ρ_M	Densidade Volumétrica do Material
R_n	Resistência Equivalente do Transistor NMOS ligado
σ	Desvio Padrão
S_S	Inclinação Sub-Limiar
t	Tempo
T	Temperatura em graus Kelvin
τ_F	Constante de Tempo para estabelecer a Trilha do Íon
τ_R	Constante de Tempo de Coleção de Cargas na Junção
T_D	Tempo de Duração do Pulso Transiente
t_{EOT}	Espessura do óxido equivalente no Terminal de Porta
θ	Ângulo de Impacto
T_{BOX}	Espessura do óxido Enterrado do Transistor FDSOI
t_{ox}	Espessura do óxido no Terminal de Porta
T_s	Tempo de Simulação.
T_{Si}	Espessura do Corpo/Canal de Silício do Transistor FDSOI
t_z	Longitude da Trilha percorrida pela Partícula
V_b	Tensão no Terminal de Substrato
V_{bA}	Tensão no Terminal de Substrato em Acumulação

V_{bI}	Tensão no Terminal de Substrato em Inversão
V_d	Tensão no Terminal do Dreno
$V_{d(sat)}$	Tensão no Terminal do Dreno em Saturação
V_{dd}	Tensão de Alimentação
V_{DD}	Tensão de Alimentação
$V_{d(sat)}$	Tensão no Terminal do Dreno em Saturação
$V_{d(sat)_A}$	Tensão no Terminal do Dreno em Saturação na Acumulação
V_{FB}	Tensão de Banda Plana
V_{FB_b}	Tensão de Banda Plana desde o Terminal do Substrato (Terminal Traseiro)
V_{FB_g}	Tensão de Banda Plana desde o Terminal da Porta (Terminal do Frente)
V_g	Tensão no Terminal de Porta
V_{peak}	Tensão Pico
V_s	Tensão no Terminal de Fonte
V_{th}	Tensão de Limiar
V_{th_A}	Tensão de Limiar em Acumulação
V_{th_D}	Tensão de Limiar em Depleção
V_{th_g}	Tensão de Limiar
V_{th_I}	Tensão de Limiar em Inversão
$V_{th(lin)}$	Tensão de Limiar Lineal
$V_{th(sat)}$	Tensão de Limiar na Saturação
W	Largura do Terminal de Porta
$x_{d(max)}$	Extensão Máxima da Zona de Depleção

LISTA DE FIGURAS

Figura 1.1 Diagrama do Gajski-Kuhn.....	30
Figura 1.2 <i>Wafer</i> SOI	32
Figura 1.3 Esquema de um FinFET de uma Aleta.....	33
Figura 1.4 Esquema de um Multi-fin FinFET.....	33
Figura 1.5 Transistor PDSOI.....	34
Figura 1.6 Transistor FDSOI.....	35
Figura 1.7 Janela do <i>Sentaurus Workbench</i>	36
Figura 1.8 Ambiente do <i>Sentaurus Structure Editor</i>	37
Figura 1.9 Métodos de Simulação TCAD.....	39
Figura 1.10 Ambiente do <i>Inspect</i>	41
Figura 1.11 Ambiente do <i>Sentaurus Visual</i>	42
Figura 2.1 Característica DIBL de vários nós tecnológicos.....	46
Figura 2.2 Tipos de FDSOI.....	47
Figura 2.3 Sub-tipos do transistor FDSOI Multi- V_{th}	48
Figura 2.4 Estrutura MOSFET SOI de quatro terminais	50
Figura 2.5 Parte ativa de um MOSFET SOI	50
Figura 2.6 Separadores de Nitrido no transistor FDSOI.....	58
Figura 2.7 Partícula Alfa de energia $E_{k\alpha}$ batendo em uma superfície do Silício n-p inversamente polarizada em um ângulo de impacto θ	61
Figura 2.8 Simulação de um transiente de corrente	61
Figura 2.9 Simulação a nível SPICE do mecanismo de deposição de cargas.....	64
Figura 2.10 Modelo SET de Duas Fontes	65
Figura 2.11 Diferentes tipos de células SRAM.....	67
Figura 2.12 Limiar de LET simulado vs. Comprimento da porta L de células SRAM de 6 Transistores	68
Figura 2.13 Extração de Parâmetros de diferentes tecnologias de <i>wafer</i> FDSOI.....	71
Figura 2.14 Extração de Parametros para um FDSOI de $T_{BOX}=10\text{nm}$ e $V_{dd}=0.9\text{V}$	72
Figura 2.15 Carga Coletada vs. Local de Impacto do nêutron.....	73
Figura 2.16 Célula de Memória SRAM de 6 Transistores.....	74
Figura 2.17 Circuitos de Teste da Célula SRAM Canary	75
Figura 2.18 Células SRAM de 7 e 9 Transistores	76
Figura 3.1 Distribuição Vertical da Densidade de Elétrons usando Modelos Clás- sico e Quântico.....	81
Figura 3.2 Simulação de SET no FDSOI de 28nm usando o Modelo Hidrodinâmico...	82
Figura 3.3 Recombinação Auger	83
Figura 3.4 Geração Avalanche	84
Figura 3.5 Os Quatro processos Básicos de Captura e Emissão	86
Figura 3.6 Íon Pesado penetrando um Semicondutor	92
Figura 3.7 Desenho de um dispositivo FDSOI usando o SDE.....	94
Figura 3.8 Dopagem de um dispositivo FDSOI usando o SDE.....	95
Figura 3.9 Grade de um dispositivo FDSOI usando o SDE.....	96
Figura 3.10 VI para comparar dois gráficos de resultados.....	98
Figura 4.1 Estrutura dos Dispositivos Criados no SDE	105
Figura 4.2 Circuito para extração da curva I_d vs. V_g	106

Figura 4.3 Comparação das curvas I_d vs. V_g do HSPICE e Sentaurus para os dispositivos desenvolvidos.....	107
Figura 4.4 Circuitos para Simulação e Configuração de Impacto de Íons.....	108
Figura 4.5 Resultados de Carga Colectada do Impacto de um Íon Pesado no Terminal do Dreno no Transistor Bulk 32nm.....	109
Figura 4.6 Resultados de Carga Colectada do Impacto de um Íon Pesado no Terminal do Dreno no Transistor Bulk 32nm.....	110
Figura 4.7 Densidade de Elétrons no tempo no Bulk 32nm quando o Impacto de Íon acontece em $L_i = 30\text{nm}$ e $\theta = 30^\circ$ no terminal do Dreno.....	110
Figura 4.8 Resultados de Carga Colectada do Impacto de um Íon Pesado no Terminal do Dreno no Transistor FDSOI 28nm.....	111
Figura 4.9 Resultados de Carga Colectada do Impacto de um Íon Pesado no Terminal da Fonte no Transistor FDSOI 28nm.....	112
Figura 4.10 Densidade de Elétrons no tempo no FDSOI 28nm quando o Impacto de Íon acontece a $L_i = 12\text{nm}$ e $\theta = 75^\circ$ no terminal do Dreno.....	112
Figura 4.11 Resultados de Carga Colectada do Impacto de um Íon Pesado no Terminal do Dreno no Transistor FDSOI 28nm High-K.....	113
Figura 4.12 Resultados de Carga Colectada do Impacto de um Íon Pesado no Terminal da Fonte no Transistor FDSOI 28nm High-K.....	114
Figura 4.13 Densidade de Elétrons no tempo no FDSOI 28nm High-K quando o Impacto de Íon acontece a $L_i = 12\text{nm}$ e $\theta = 45^\circ$ no terminal do Dreno.....	114
Figura 4.14 Região de Dopagem Leve no Dreno e o Íon Pesado atravessando os Dispositivos.....	116
Figura 4.15 Comparação de Carga Coletada para diferentes lugares de impacto e diferentes Funções Trabalho do Metal de Porta do FDSOI de 28nm.....	117
Figura 4.16 Célula de Memória SRAM de 6 Transistores.....	119
Figura 4.17 Célula de Memória 6T FDSOI em modo IDLE.....	120
Figura 4.18 Simulação de uma Célula de Memória 6T em Modo Misto.....	120
Figura 4.19 Funções de Transferência para a Célula de Memória de 32nm Bulk.....	122
Figura 4.20 Resultados de CC vs. LET para uma SRAM 6T em tecnologia 32nm Bulk.....	123
Figura 4.21 Corrente transiente devido ao impacto de um Íon Pesado SRAM 6T em tecnologia 32nm Bulk.....	123
Figura 4.22 Tensão nos nós OUTL e OUTR da SRAM 6T de tecnologia 32nm Bulk durante as simulação do Impacto de um Íon Pesado.....	124
Figura 4.23 Funções de Transferência para a Célula de Memória de 28nm FDSOI.....	125
Figura 4.24 Resultados de CC vs. LET para uma SRAM 6T de tecnologia 28nm FDSOI.....	126
Figura 4.25 Corrente transiente devido ao impacto de um Íon Pesado SRAM 6T de tecnologia 28nm FDSOI.....	127
Figura 4.26 Tensão nos nós OUTL e OUTR da SRAM 6T de tecnologia 28nm FDSOI durante as simulação do Impacto de um Íon Pesado.....	127
Figura 4.27 Funções de Transferência para a Célula de Memória de 28nm FDSOI High-K.....	128
Figura 4.28 Resultados de CC vs. LET para uma SRAM 6T de tecnologia 28nm FDSOI High-K.....	129
Figura 4.29 Corrente transiente devido ao impacto de um Íon Pesado SRAM 6T de tecnologia 28nm FDSOI High-K.....	130
Figura 4.30 Tensão nos nós OUTL e OUTR da SRAM 6T de tecnologia 28nm FDSOI High-K durante as simulação do Impacto de um Íon Pesado.....	130
Figura 4.31 Comparação entre os Transientes de Corrente das SRAM simuladas.....	131

Figura 4.32 Comparação entre os Transientes de Corrente das SRAM simuladas (detalhe)	132
Figura 4.33 Densidade de Elétrons no tempo do SEU no transistor “mnl” na SRAM 6T de 28nm FDSOI.....	132
Figura A.1 Efeito de Torção.....	149
Figura B.1 Extração do S_S	151
Figura B.2 Extração do DIBL	152
Figura B.3 Extração do I_{off}	153
Figura B.4 Extração do Ion	154
Figura C.1 Célula de Memória SRAM 6T Básica	157
Figura C.2 Representação Simplificada da Célula de Memória SRAM 6T.....	158
Figura C.3 Obtenção do RNM da SRAM de 6 Transistores: Corte do Circuito	159
Figura C.4 Obtenção do RNM da SRAM de 6 Transistores: Preparação para a Simulação	159
Figura C.5 Gráficos RNM de Simulação da SRAM de 6 Transistores.....	160
Figura C.6 Obtenção do WNM da SRAM de 6 Transistores: Corte do Circuito	160
Figura C.7 Obtenção do WNM da SRAM de 6 Transistores: Preparação para a Simulação.....	161
Figura C.8 Gráficos WNM de Simulação da SRAM de 6 Transistores.....	162
Figura E.1 Espessura Equivalente de Óxido	168

LISTA DE TABELAS

Tabela 1.1 Principais fontes de radiação natural do espaço	31
Tabela 2.1 Comparação entre Transistores Bulk, PDSOI e FDSOI	49
Tabela 2.2 Resumo dos Parâmetros Estruturais e Materiais para otimizar a sensibilidade do Medidor de Dose FDSOI	69
Tabela 4.1 Parâmetros Básicos do MC SPICE PTM 32nm Bulk de Baixo Consumo..	103
Tabela 4.2 Características Elétricas dos Dispositivos Criados.....	107
Tabela 4.3 Resumo dos Resultados do Impacto de Íon Pesado nos Dispositivos em estado de Desligado	116
Tabela 4.4 Dimensões das terminais do transistores da Célula de Memória 6T de tecnologia Bulk de 32nm.....	121
Tabela 4.5 Dimensões das terminais dos transistores da Célula de Memória 6T de tecnologia FDSOI de 28nm	124
Tabela 4.6 Comparação dos resultados das SRAM simuladas	131
Tabela E.1 Constantes Dielétricas Estáticas.....	167

RESUMO

Este trabalho mostra a comparação dos efeitos das falhas provocadas pelos *Single-Event Effects* em dispositivos 28nm FDSOI, 28nm FDSOI *High-K* e 32nm Bulk CMOS e células de memória 6T SRAM feitas com estes dispositivos. Para conseguir isso, foram usadas ferramentas TCAD para simular falhas transientes devido a impacto de íons pesados a nível dispositivo e nível circuito. As simulações neste ambiente tem como vantagem a simulação dos fatos e mecanismos que produz as falhas transientes e seus efeitos nos dispositivos, além de também servir para projetar virtualmente estes dispositivos e caracterizar eles para estas simulações. Neste caso, foram projetados três dispositivos para simulação: um transistor NMOS de 32nm Bulk, um transistor NMOS de 28nm FDSOI e um transistor NMOS de 28nm FDSOI *High-K* para fazer comparações entre eles. Estes dispositivos foram projetados, caracterizados e testados contra o impacto de íons pesados a níveis dispositivo e circuito. Como resultado obtido, transistor Bulk de 32nm teve, no pior caso, uma carga coletada de 7.57 e 7.19 vezes maior que a carga coletada pelo dispositivo FDSOI de 28nm e FDSOI *High-K* de 28nm respectivamente atingido pelo mesmo íon pesado de $100\text{MeV}\cdot\text{cm}^2/\text{mg}$. Com estes dados foi possível modelar o comportamento da carga coletada de ambos dispositivos usando este íon pesado, atingindo os terminais de Fonte e Dreno em distintos lugares e ângulos. Usando a mesma ferramenta e os dados obtidos de carga coletada pelos testes anteriores, foram projetadas células de memória SRAM de 6 transistores. Isso foi para testar elas contra os efeitos do impacto de íons pesados nos transistores NMOS de armazenagem da dados. Neste caso, a Transferência Linear de Energia (LET) do íon necessária para fazer que o dado armazenado na SRAM Bulk mude é 12.8 vezes maior que no caso da SRAM FDSOI e 10 maior no caso da SRAM FDSOI *High-K*, embora a quantidade de carga coletada necessária para que o dado mude em ambas células seja quase a mesma. Com estes dados foi possível modelar os efeitos dos íons pesados em ambos circuitos, descobrir a Carga Crítica destes e qual é o mínimo LET necessário para que o dado armazenado nestas SRAMs mude.

Palavras-chave: Single-Event Effects, Single-Event Transient, Single-Event Upset, Fully Depleted Silicon on Insulator, Simulação 2D, Simulação 3D, Modelamento, Microeletrônica.

Single Event Effects Modeling in FDSOI Memory Circuits

ABSTRACT

This work shows a comparison of faults due to Single-Event Effects in 28nm Fully Depleted SOI (FDSOI), 28nm FDSOI High-K and 32nm Bulk CMOS devices, and in 6T SRAM memory cells made with these devices. To provide this, was used TCAD tools to simulate transient faults due to heavy ion impacts on device and circuit levels. The simulations in that environment have the advantage to simulate the facts and mechanisms which produce the transient faults and this effects on the electronic devices, it also allow to simulate the virtual device fabrication and to characterize them. In this case, two devices were created for the simulations: a 32nm Bulk NMOS transistor and a 28nm FDSOI NMOS transistor for compare them. These devices were created, characterized and tested against heavy ion impacts at device and circuit levels. The results show that 32nm Bulk transistor has, in the worst case, a collected charge 7.57 and 7.19 times greater than the 28nm FDSOI and 28nm FDSOI High-K respectively collected charge with the same 100MeV-cm²/mg heavy ion. With these data it was possible to model the behavior of the collected charge in both devices with the same heavy-ion, reach the Source and Drain Terminal in different places and angles. Using the same tools and the obtained collected charge data of previous simulations, it was designed 6 transistors SRAM Memory Cells. That is done to test these circuits against the heavy ion effects on the data-storage NMOS transistor. In this case, the necessary Ion Linear Energy Transfer (LET) to flip the Bulk SRAM is 12.8 greater than the FDSOI SRAM and 10 times greater than the FDSOI High-K SRAM case, although the amount of charge to flip the cells is almost the same in both cases. With these data it was possible to model the heavy-ion effects in both circuits, discover the Critical Charge of them and the minimum LET to flips these SRAMs.

Keywords: Single-Event Effects, Single-Event Transient, Single-Event Upset, Fully Depleted Silicon on Insulator, 2D Simulation, 3D Simulation, Modeling.

1 INTRODUÇÃO

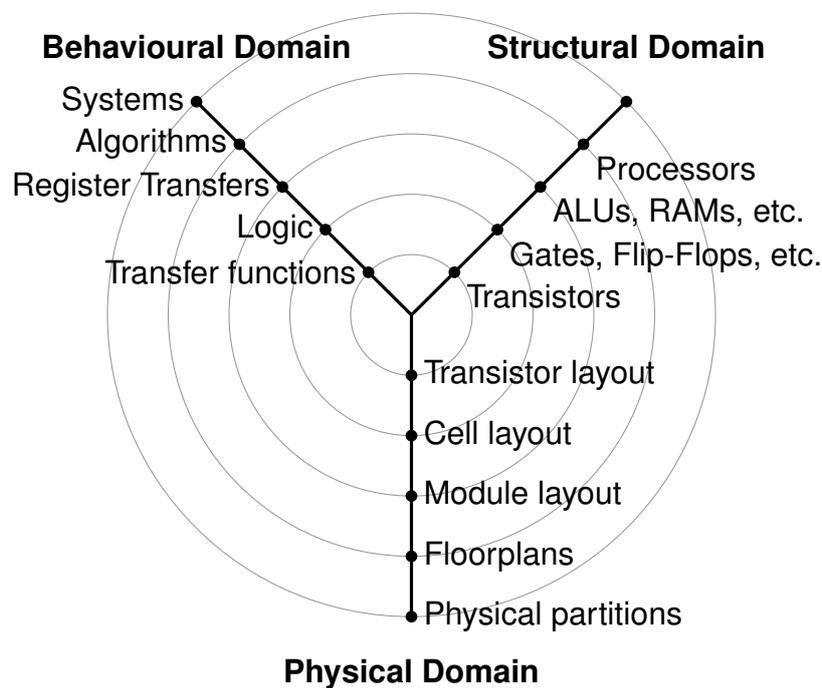
Com o passar dos anos, a tecnologia de semicondutores avança usando a redução do tamanho da porta dos transistores de Metal-Oxido-Semicondutor (MOSFET) como padrão. Isso conduz a um aumento na densidade dos Circuitos Integrados (CIs) e, com isso, o aumento nos tipos de circuitos que podem ser colocados em apenas um chip (e.g. FPGA, SOC e NOC). Isso também tem muitas desvantagens, entre elas um aumento no consumo estático e incremento dos efeitos de segundo ordem dentro dos dispositivos. Para fazer frente a esses problemas, são exploradas várias técnicas de projeto de dispositivos como isolantes de alto fator K (*High-K isolants*) (ROBERTSON, 2004; HUANG; YANG; CHU, 2010), dispositivos multi-porta ou de configurações geométricas de 3 dimensões (como os FinFET), o uso do efeito Túnel (como os TFET) (ANGHEL et al., 2011), e dispositivos com isolante enterrado (como os dispositivos SOI) (PELLOUX-PRAYER et al., 2012). Todas as técnicas mencionadas podem estar ou não de acordo com a lei de Moore.

Com as falhas acontecidas no satélite Telstar, em 1962, devido a um teste nuclear de grande altitude, foi possível conhecer alguns efeitos da radiação em dispositivos eletrônicos. Nestes dias, a grande densidade de transistores nos atuais CIs faz com que apenas um único íon pesado, radiação gamma, partícula alfa ou nêutron possa afetar mais de um transistor por vez, gerando uma falha múltipla que pode ser interpretada como ruído elétrico no melhor dos casos, ou a destruição de todo um sistema integrado no pior. As falhas por radiação podem causar algum dos seguintes fenômenos dentro desses sistemas e CIs (BOUDENOT, 2007): Efeitos de Deslocamento, Efeitos de Dose de Ionização, Efeitos Íons Pesados e efeito de Protons. Cada um deles causa diferentes efeitos, dependendo do local afetado e da energia e natureza da partícula/radiação.

Existem muitos níveis de projeto de CIs onde é possível observar esses fenômenos indesejáveis, os quais podem ser observados no diagrama “Y” de Gajski-Kunh (GAJSKI; KUHN, 1983) mostrado na figura 1.1. Neste caso, todos os níveis de abstração são afetados pelos impactos de partículas, e também existem soluções a estes problemas dependendo do nível e do eixo do diagrama “Y” (CALIENES; REIS, 2011). No nível Sistema, para o caso do *Single-Event Effects*, a triplicação do circuito é um método muito usado para mitigar as falhas nesse nível, com o compromisso de potência e área do circuito final (KASTENSMIDT; REIS, 2007). No nível circuito, o uso de células DICE em circuitos de memória estática evitam os SEU causados pelo impacto de partículas pesadas (LIN;

KIM; LOMBARDI, 2011; D’ALESSIO; OTTAVI; LOMBARDI, 2014), mas a quantidade de transistores usados para este fim é quase o dobro de uma célula de memória estática típica. No nível dispositivo é possível ver técnicas mais elaboradas que tem que ver tanto com a tolerância à radiação dos transistores mudando a geometria porta-difusão (FACCIO, 2007) como o uso de dispositivos com isolamento enterrado para mitigar os *Single-Event Effects* (SEE) (CALIENES et al., 2014), mas isso pode levar a um custo maior de fabricação de CIs (CAUCHY; ANDRIEU, 2010).

Figura 1.1: Diagrama do Gajski-Kuhn.



Fonte: Adaptado de (GAJSKI; KUHN, 1983; GEREZ, 1999).

1.1 Single-Event Effects

Existem múltiplos efeitos que acontecem devido à radiação, todas elas dependem tanto da origem como do tipo de partícula/radiação e o local do impacto nos dispositivo/ circuito/sistema de acordo com (ECOFFET, 2007). Um deles, o Single-Event Effects (SEE), acontece devido ao impacto de partículas alfa e íons pesados provenientes do espaço como desde a Terra mesma, incluindo os materiais com que são fabricados os CIs (WROBEL et al., 2009). A tabela 1.1 mostra as principais fontes de radiação no espaço.

Na literatura, as falhas causadas por Íons Pesados nos dispositivos micro e nano

Tabela 1.1: Principais fontes de radiação natural do espaço.

Fonte	Partícula	Energia Típica Associada
Faixas de Radiação Van Allen	Eléctrons	1eV - 10MeV
	Protons	1keV - 500MeV
Explosões Solares	Protons	1keV - 500MeV
	Ions	1 a varios 10MeV/n
Raios Cósmicos	Protons e Ions	Fluxo máximo perto de 300MeV/n

Fonte: (ECOFFET, 2007).

eletrônicos mais comuns são (BOUDENOT, 2007):

- Single-Event Transient (SET): Falha transiente em Circuitos Combinacionais.
- Single-Event Upset (SEU): Falha transiente em Circuitos Sequenciais e de Memória.
- Single-Event Latchup (SEL): Falha que pode destruir o dispositivo, afetando a estrutura CMOS.
- Single-Event Burnout (SEB): Falha destrutiva que afeta os dispositivos MOSFET de potência.
- Single-Event Gate Rupture (SEGR): Falha que afeta a estrutura *sub-micron*. É potencialmente destrutiva.
- Single Hard Error (SHE): Falha destrutiva em dispositivos de hardware complexos.

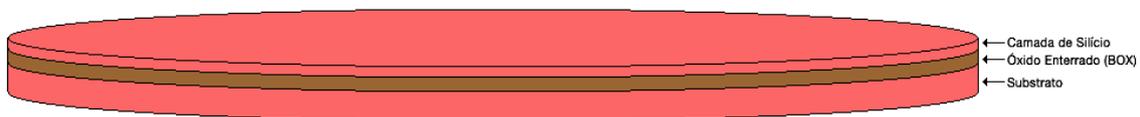
Aquelas denominadas transientes são somente as falhas SEU e SET, pois a duração destes eventos que as produz é muito curto (BOUDENOT, 2007; MUNTEANU; AUTRAN, 2008). O SEU é uma falha que altera um bit de um registrador ou célula de memória, por exemplo, um registrador com um valor lógico “1” passa a ter o valor lógico “0” após ser afetado e vice-versa. As falhas SEU também são conhecidas como *Soft Errors*. Já o SET afeta a funcionalidade dos transistores, criando uma corrente anômala que pode afetar o resultado final de uma porta lógica. A probabilidade de ocorrência dessas falhas muda com o aumento de falhas simultâneas em um sistema eletrônico sequencial ou combinacional (MISKOV-ZIVANOV; MARCULESCU, 2010). Também a distribuição aleatória de dopantes no silício afeta as ocorrências de *soft errors* devido às variações da voltagem de limiar (BALASUBRAMANIAN et al., 2007).

1.2 Novos Dispositivos

Com o avanço tecnológico, devido a tendência atual que tudo termina dentro de um Chip, a densidade dos CIs vai incrementando (CALIENES; REIS, 2011). O padrão industrial, o MOSFET *Bulk*, depois dos 130nm, começou a ter problemas devido à potência estática consumida e outros efeitos de segundo ordem. Para tentar solucionar estes problemas foi experimentada a mudança de materiais trocando o silício por materiais híbridos, como o Ge-Si ou Arseniato de Gálio, ou usar outros materiais para trocar o óxido de silício na porta por outros tipos de isolantes para continuar com a Lei de Moore (CAUCHY; ANDRIEU, 2010). Outros dispositivos foram desenvolvidos em 3 dimensões, para encarar esses problemas e continuar com o aumento da densidade de transistores num CI.

Os dispositivos descritos nesta secção são todos construídos acima de uma camada de óxido de silício, onde a espessura dessa camada depende do processo de fabricação do *wafer* de silício e do tipo de dispositivo. Na figura 1.2 é mostrado um *wafer* típico para a fabricação de dispositivos SOI. A camada de silício de cima é criada mediante um processo de re-cristalização do silício (LIM; FOSSUM, 1983).

Figura 1.2: *Wafer* SOI.



Fonte: Adaptado de (CAUCHY; ANDRIEU, 2010).

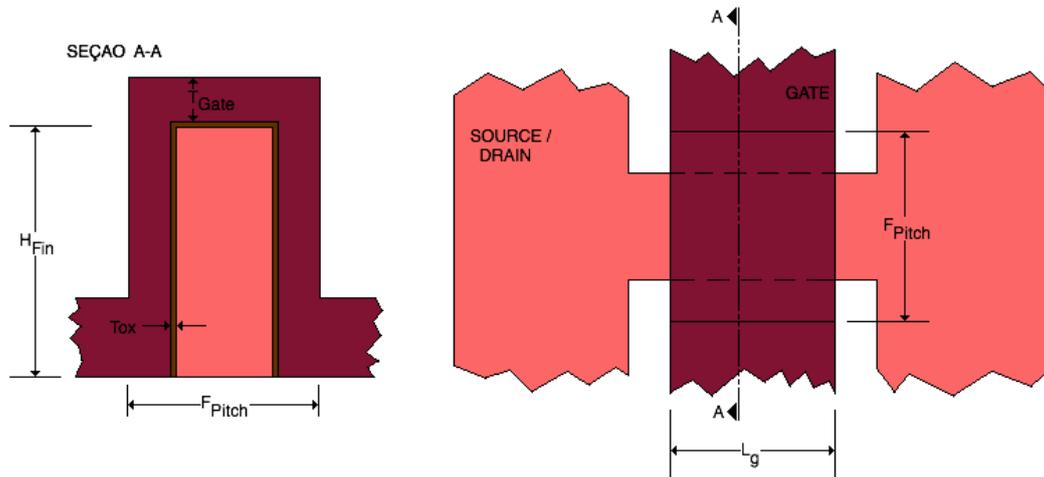
1.2.1 FinFET

O FinFET (Transistor de Efeito de Campo com forma de Aleta) é um dispositivo multi-porta. Este tipo de dispositivo fornece um melhor controle dos efeitos de canal curto, e com isto reduz a corrente de fuga (*leakage current*) (COLINGE, 2007; MEINHARDT, 2014; ZIMPECK; MEINHARDT; REIS, 2014).

Um FinFET está formado por uma aleta vertical de silício, que é o canal do transistor. A porta rodeia essa aleta de silício, a qual está coberta por uma fina camada de isolante, como pode-se ver na figura 1.3. Este dispositivo é montado em cima de uma camada de isolante. Parâmetros geométricos importantes do FinFET são a distância entre

o Dreno (DRAIN) e a Fonte (SOURCE) L_g , a altura da aleta H_{FIN} , e a espessura da aleta $T_{FIN} = W_{FIN} \cong F_{PITCH} - 2(T_{ox} + T_{GATE})$.

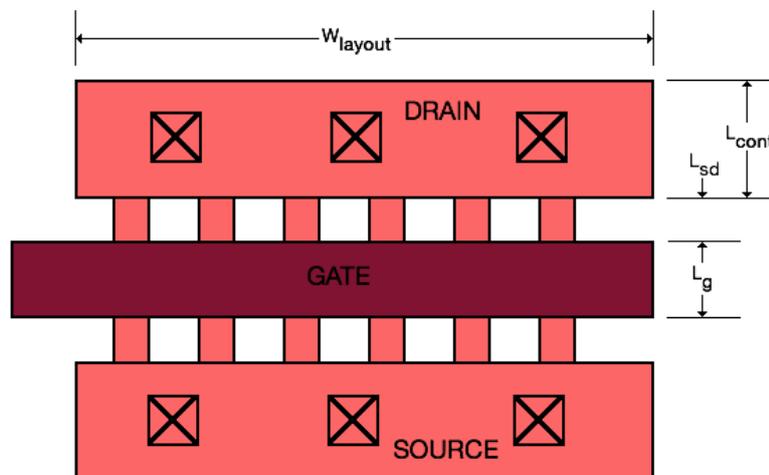
Figura 1.3: Esquema de um FinFET de uma Aleta.



Fonte: Adaptado de (MEINHARDT, 2014; ZIMPECK; MEINHARDT; REIS, 2014).

Na real, um FinFET é formado a partir de várias aletas em paralelo para garantir uma passagem adequada da corrente de Dreno I_D , isto é comumente conhecido como *Multi-fin FinFET*. O desenho adequado destas aletas, a espessura do isolante entre a porta e a aleta T_{ox} e o comprimento do canal L_g é essencial para diminuir a corrente de fuga. Para um Fin-FET de n_{FIN} aletas, a largura equivalente do dispositivo e $W_{eq} = (2H_{FIN} + T_{FIN}) n_{FIN}$. A figura 1.4 mostra um dispositivo com múltiplas aletas.

Figura 1.4: Esquema de um *Multi-fin* FinFET.

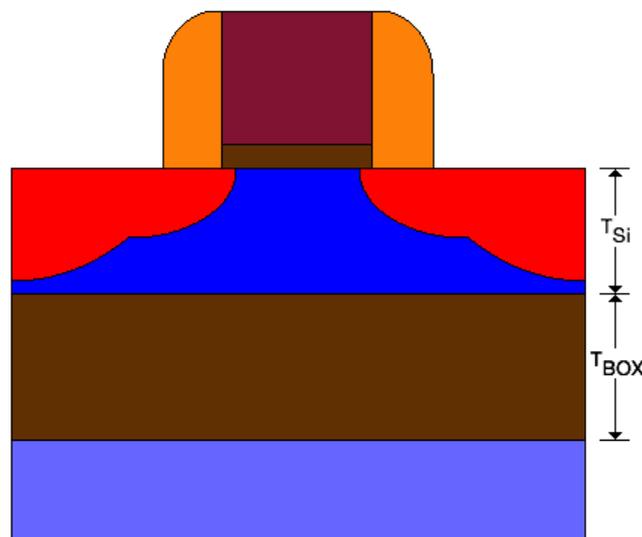


Fonte: Adaptado de (MEINHARDT, 2014).

1.2.2 Partially Depleted Silicon On Insulator

O PDSOI (Transistor de Silício sob Isolante Parcialmente Depletado) foi o primeiro dispositivo planar criado usando um *wafer* onde a camada de silício é de $T_{Si} = 70\text{nm}$ aproximadamente e o isolante ou óxido enterrado (SiO_2 típico ou Al_2O_3 no uso militar) é de aproximadamente $T_{BOX} = 145\text{nm}$ (CAUCHY; ANDRIEU, 2010). Este dispositivo é conhecido como Parcialmente Depletado pois a zona de depleção não cobre o canal por completo, deixando uma zona por embaixo dele quase neutra.

Figura 1.5: Transistor PDSOI.



Fonte: Adaptado de (CAUCHY; ANDRIEU, 2010).

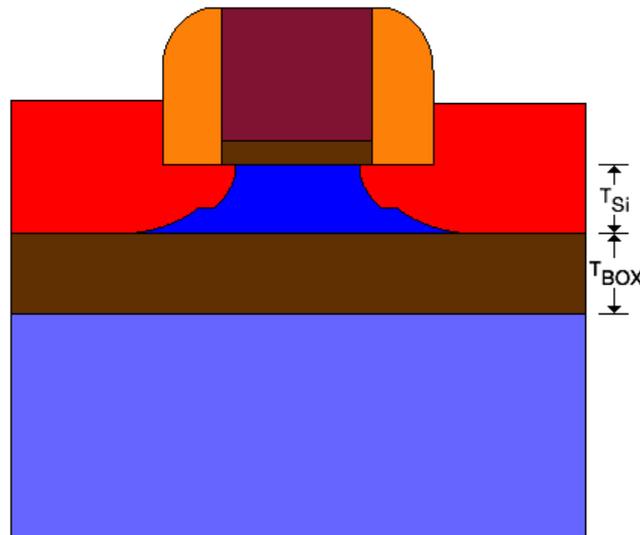
Este dispositivo é conhecido também como dispositivo de corpo flutuante (*floating body*) devido a larga camada de isolante entre o corpo do transistor (ou canal) e o substrato do transistor. Esta configuração gera uma grande quantidade de melhoras comparando com os transistores *bulk* típicos, mas também traz alguns problemas, como o efeito História e o efeito *Kink* (explicados no Anexo A).

1.2.3 Fully Depleted Silicon On Insulator

O dispositivo que apresentou melhoras significativas em relação ao PDSOI foi o FDSOI (Transistor de Silício sob Isolante Completamente Depletado). O FDSOI usa o mesmo tipo de *wafer* mostrado na figura 1.2, mas neste caso os valores de T_{Si} e T_{BOX} são menores que no caso do PDSOI: entre 5 a 10nm para o T_{Si} e 10 a 30nm para o T_{BOX}

no caso de tecnologias ultra finas (UTSOI) e 145nm para T_{BOX} no caso de um FDSOI normal (CAUCHY; ANDRIEU, 2010). Estes dispositivos, por ter uma camada de silício de canal muito fina, oferecem a capacidade tecnológica de modular de forma dinâmica a voltagem de limiar V_{th} do transistor, uma característica útil nas aplicações analógicas (NOEL et al., 2009; REITA, 2011).

Figura 1.6: Transistor FDSOI.



Fonte: Adaptado de (CAUCHY; ANDRIEU, 2010).

O FDSOI apresenta mais vantagens em relação ao PDSOI, como a supressão dos efeitos História e *Kink* e, a nível de indústria, é mais barato de fabricar do que fabricar um FinFET e mais fácil de adaptar a tecnologias planares mais antigas, como a *Bulk*. Os detalhes do dispositivo FDSOI serão explicados mais adiante.

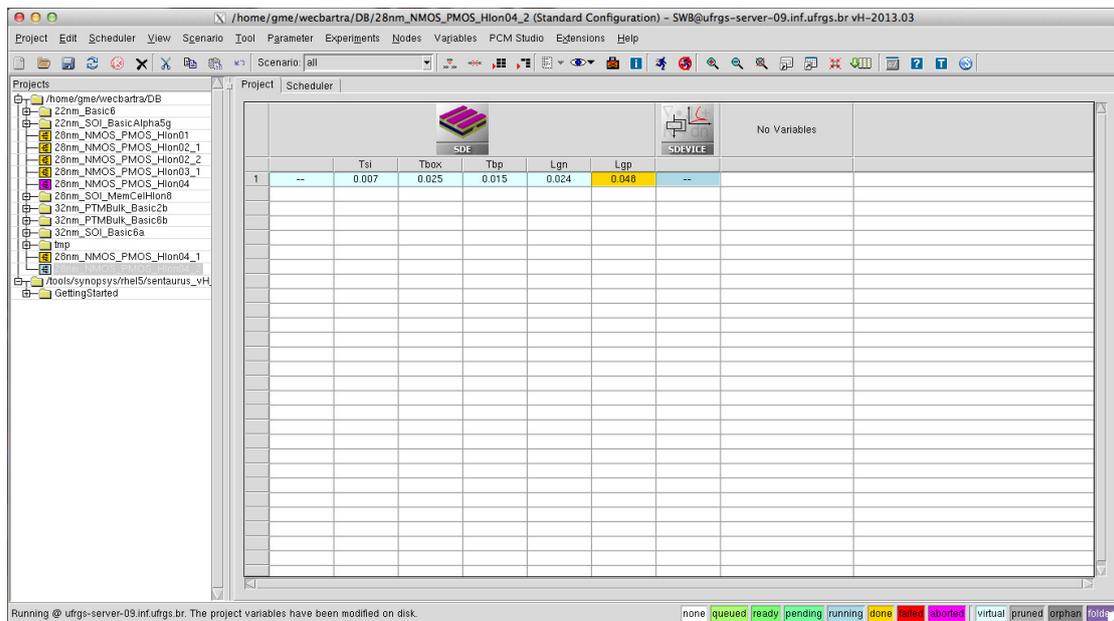
1.3 Sentaurus TCAD

Para poder simular os efeitos de impactos de íons pesados a nível de dispositivo/transistor, o SPICE é insuficiente, pois ele permite simular apenas os efeitos do impacto usando o modelo de Messenger (MESSENGER, 1982) e não o fato de uma partícula atravessar o dispositivo. Para conseguir isso deve-se desenhar o dispositivo alvo (idealmente ou simulando o processo) e simular o impacto de um íon pesado com certas características e coletar os resultados dessa simulação. Uma dessas ferramentas é o *Sentaurus TCAD* da empresa Synopsys, um pacote que contém diversas ferramentas. A seguir é apresentado brevemente as ferramentas usadas neste trabalho:

1.3.1 Sentaurus Workbench

O Sentaurus TCAD possui apenas ferramentas que rodam no ambiente Linux. Nas versões anteriores havia apenas um terminal de linha de comandos para rodar as ferramentas desse pacote. Isso representava problemas para a automação de várias simulações onde eram mudados apenas alguns parâmetros de entrada ou era preciso manipular múltiplos arquivos de resultados por vez. A ferramenta *Sentaurus Workbench* (SYNOPTSYS, 2013f) deste pacote serve para administrar as demais ferramentas usando um ambiente visual. Neste ambiente visual é possível configurar várias simulações usando vários cenários definidos por outras ferramentas e parâmetros que definem vários experimentos.

Figura 1.7: Janela do *Sentaurus Workbench*.



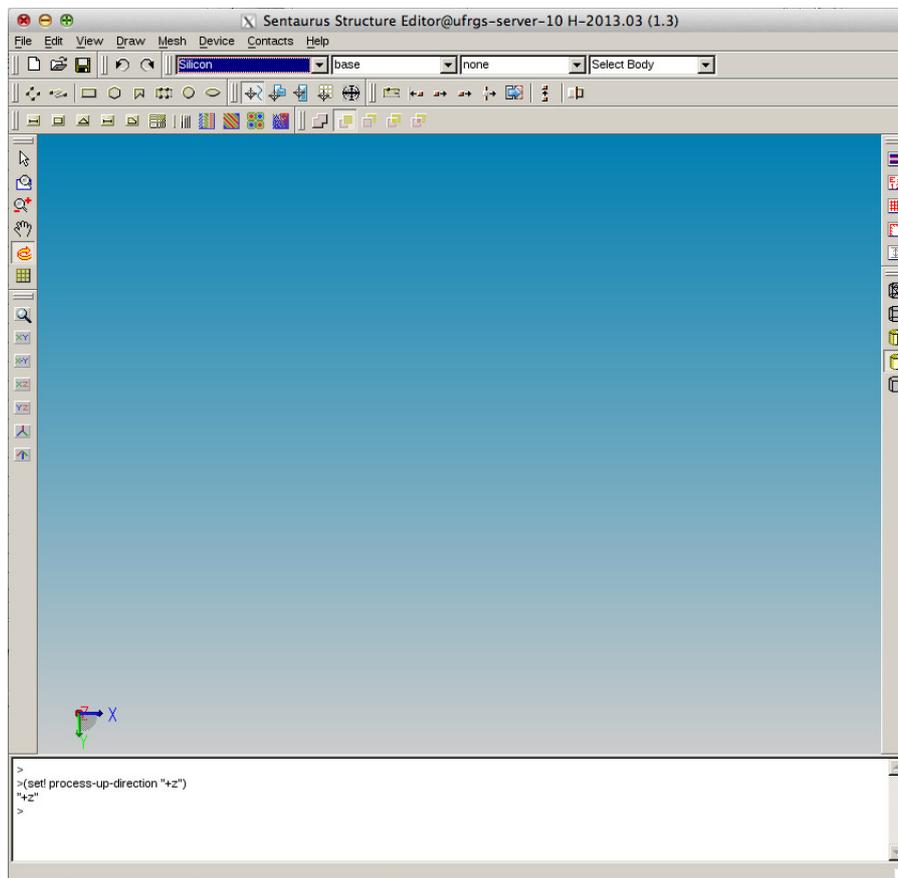
Fonte: Captura de Tela.

1.3.2 Sentaurus Structure Editor

Para poder projetar um dispositivo é usado a ferramenta *Sentaurus Structure Editor* ou SDE (SYNOPTSYS, 2013d). Esta ferramenta pode ser usada de dois modos: em Modo Interativo ou em modo de Processo de Arquivo. No modo Interativo abre uma janela para poder projetar qualquer dispositivo em duas ou três dimensões, incluindo os materiais, tipos de implantação de dopagem, materiais para a dopagem e a grade mate-

mática. No modo de Processo de Arquivo, o *Sentaurus Structure Editor* é usado como cenário no *Sentaurus Workbench* e é usado um script que contém a descrição do dispositivo projetado. A unidade de medida padrão para desenhar é o micrômetro.

Figura 1.8: Ambiente do *Sentaurus Structure Editor*.



Fonte: Captura de Tela.

1.3.3 Sentaurus Device

Para simular o dispositivo projetado com o *Sentaurus Structure Editor* é usada a ferramenta *Sentaurus Device* (SYNOPSYS, 2013c). Esta ferramenta recebe como entrada um script com seções que descrevem o que vai-se fazer na simulação, quais parâmetros vai receber, que recursos computacionais ou de hardware vai usar e que resultados vai apresentar como saída da simulação. O simulador resolve as cinco equações dos semicondutores (KANO, 1998; MUNTEANU; AUTRAN, 2008; SYNOPSYS, 2013c) para encontrar as correntes resultantes tanto em modo transitório como no modo quase-estacionário (SYNOPSYS, 2013c): a equação de Poisson, as duas equações de continuidade e as duas

equações de transporte de cargas. É possível mudar os modelos de continuidade e transporte dentro do script.

Esta ferramenta tem quatro métodos ou níveis de simulação dependendo da complexidade do circuito ou do problema (MUNTEANU; AUTRAN, 2008):

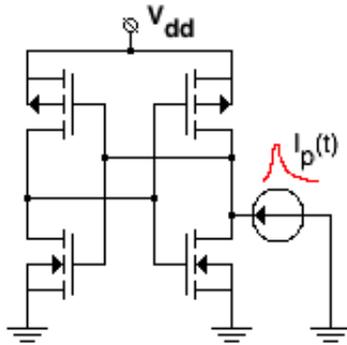
- Simulação a Nível Circuito (Figura 1.9a): Neste nível a descrição do circuito a ser simulado é efetuada de um modo muito parecido com um script de SPICE. Deve-se ter cuidado de incluir as bibliotecas de modelos de componentes de forma certa para garantir que a simulação tenha sucesso. Este método de simulação tem um custo computacional baixo.
- Simulação de Modo Misto (Figura 1.9b): Neste nível alguns componentes são descritos usando o nível circuito, incluindo as ligações entre eles, e outros são descritos numericamente, i.e. projetados usando o *Sentaurus Structure Editor*. O custo computacional deste nível é médio.
- Simulação Numérica Mista (Figura 1.9c): Todos os dispositivos são projetados usando o *Sentaurus Structure Editor*, apenas as ligações entre eles são em nível circuito. Este método tem um custo computacional alto e depende da quantidade de dispositivos a simular.
- Simulação Numérica Completa (Figura 1.9d): O circuito completo é desenhado em três dimensões, incluindo os metais de ligação, a grade matemática e blocos de silício. De todos os métodos ou níveis, este tem o custo computacional mais alto.

Os scripts feitos em *Sentaurus Device* são organizados em secções. Cada secção tem uma tarefa específica para cada parte da simulação (SYNOPSIS, 2013c):

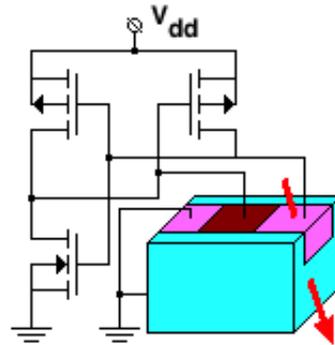
- `File { . . . }`: Nesta secção do script são incluídos os arquivos de entrada e saída da simulação. Neste lugar também devem ser declarados os arquivos de bibliotecas de modelos tecnológicos SPICE se for efetuado uma simulação em modo misto ou a nível circuito.
- `Electrode { . . . }`: Aqui são incluídos os nomes das terminais do dispositivo a ser simulado. Tem a opção de declarar também a Função Trabalho ou *Band-Gap* do metal das terminais de ser necessário.
- `Physics { . . . }`: Nesta secção é indicado que tipo de modelo de recombinação, mobilidade, transporte, continuidade, densidade intrínseca, etc. vai ser usado durante a simulação. Nesta secção também é possível indicar as características de radiação, partículas alfa e íons pesados que podem impactar no dispositivo.

Figura 1.9: Métodos de Simulação TCAD.

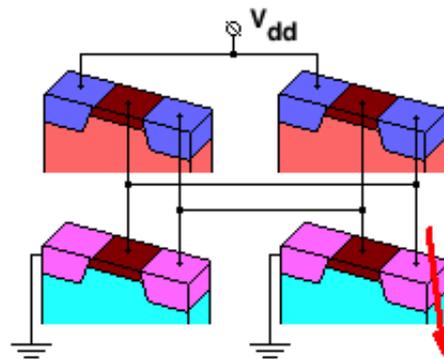
(a) Nível Circuito.



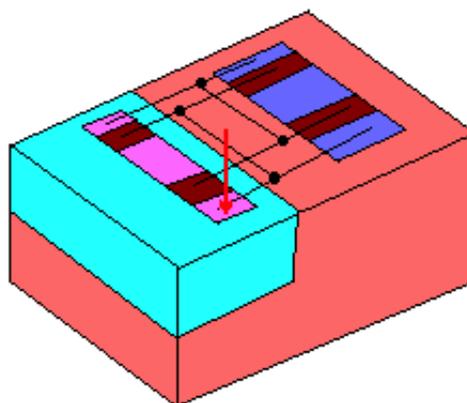
(b) Modo Misto.



(c) Numérica Mista.



(d) Numérica Completa.



Fonte: Adaptado de (MUNTEANU; AUTRAN, 2008).

- `Device device-name{...}`: Esta secção/ambiente é definida quando existem vários dispositivos com diferentes terminais, arquivos de entrada/saída ou modelos físicos. Cada dispositivo recebe um `device-name` para ser instanciado na

secção `System { ... }` e usado dentro de um circuito.

- `System { ... }`: Nesta secção é descrito o circuito a ser simulado. Aqui são incluídos tanto os dispositivos a nível de circuito (SPICE) como os dispositivos criados usando o *Sentaurus Structure Editor*. Podem ser declarados resistores, indutâncias, capacitores e fontes dependentes e independentes.
- `Plot { ... }`: O *Sentaurus Device* tem uma grande quantidade de tipos de gráficos para mostrar os resultados das simulações. Nesta secção é indicado que tipos de gráficos de resultados de deseja ver como saída da simulação.
- `Math { ... }`: Nesta secção é configurado o tipo de algoritmo para solucionar as equações de corrente, indicar e reservar os núcleos de processamento a serem usados, o método de aproximação das soluções e o tamanho da pilha de memória. Também permite configurar os limites para as iterações dos algoritmos de solução e os limites máximo e mínimo do lado direito da equação de solução (RHS).
- `Solve { ... }`: Esta secção serve para definir as soluções e a quantidade máxima de iterações por solução. Estes parâmetros variam dependendo do tipo de solução final da simulação (`QuasiStationary` ou `Transient`).

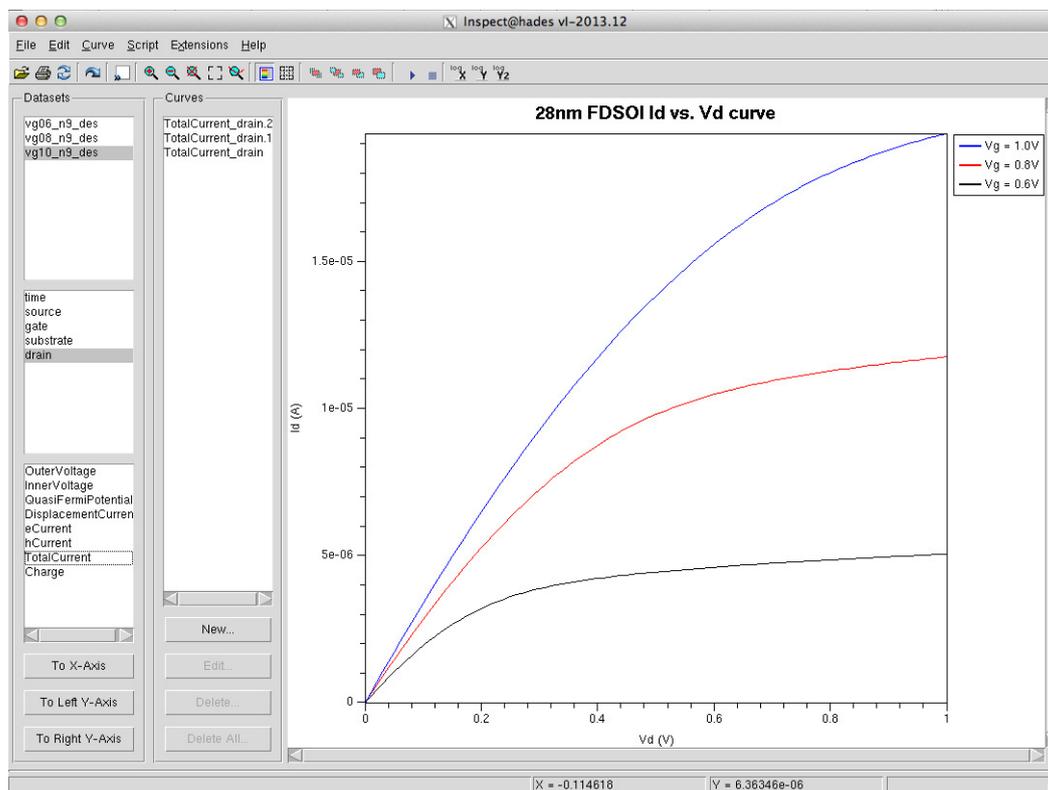
O *Sentaurus Device* pode ser configurado para entregar um arquivo que contém como é que foi realizada a solução das equações (conhecido como arquivo LOG). Este arquivo é útil porque fornece o tempo de simulação e quantas iterações foram feitas a cada ponto de tensão ou corrente. Este arquivo também informa os motivos do fracasso de uma simulação, com essa informação é possível modificar as condições descritas no script e voltar a rodar a simulação.

1.3.4 Inspect

É possível acompanhar os resultados de uma simulação enquanto está em execução. A ferramenta *Inspect* (SYNOPTSYS, 2013a) tem a vantagem de ser simples e leve, mais é poderosa para mostrar resultados em curvas e gráficos. Esta ferramenta de visualização pode ser usada para acompanhar os resultados ou para ver os resultados finais, obter alguns resultados usando as suas “macros” definidas para encontrar e.g. a tensão de limiar a máxima corrente e a tensão de limiar a máxima transcondutância, ou para fazer comparações de corrente, tensão ou carga acumuladas nos terminais do dispositivo estudado. Também permite obter a integral e a primeira e segunda derivadas de curvas, fazer

operações com elas e criar macros personalizadas para processar esses dados. Na figura 1.10 é mostrado o ambiente desta ferramenta. É possível fazer automação das tarefas desta ferramenta usando scripts, como é mostrado nos scripts do anexo G.13.

Figura 1.10: Ambiente do *Inspect*.



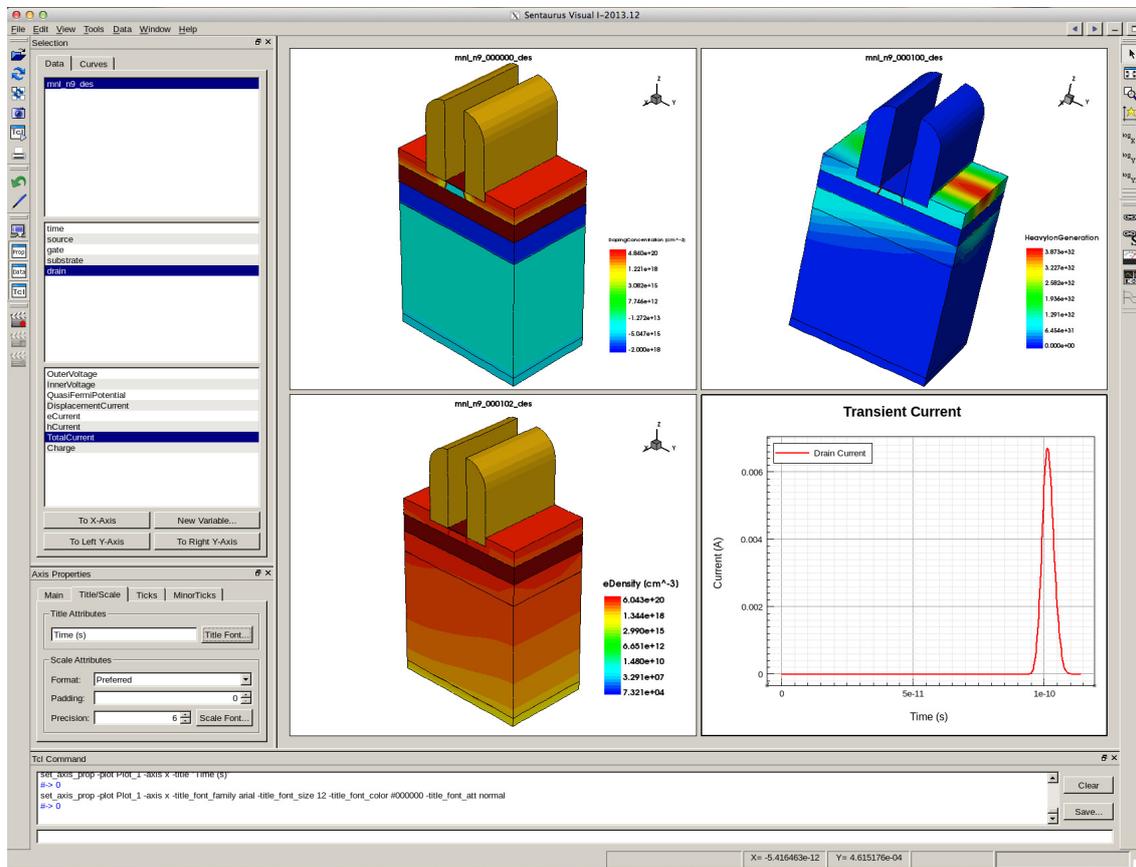
Fonte: Captura de Tela.

1.3.5 Sentaurus Visual

A ferramenta *Sentaurus Visual* (SYNOPTSYS, 2013e) é também uma ferramenta de visualização de resultados. Diferentemente do *Inspect*, esta pode mostrar certos efeitos de forma gráfica no dispositivo, como a distribuição do campo elétrico, a dopagem no dispositivo, a distribuição de cargas, etc. Também pode mostrar gráficos de corrente, tensão e carga acumulada, além de poder gerar gráficos de características do dispositivo polarizado em certas regiões usando linhas (em duas dimensões) ou planos (em três dimensões) do corte. Permite visualizar a grade matemática e a estrutura do dispositivo criada no *Sentaurus Structure Editor*. No *Sentaurus Visual* é possível visualizar vários gráficos por vez, como é mostrado na figura 1.11, o qual é útil para fazer comparações de efeitos entre

diferentes gráficos de resultados ou estruturas de dispositivos simulados.

Figura 1.11: Ambiente do *Sentaurus Visual*.



Fonte: Captura de Tela.

1.4 Objetivos do Trabalho

Primeiro é necessário ter dispositivos para iniciar os testes. Foram modelados três transistores NMOS: o primeiro é um transistor CMOS Bulk de 32nm usando um Modelo de Tecnologia Preditiva (PTM) de 32nm Bulk CMOS de baixo consumo da Universidade Estatal de Arizona (PREDICTIVE TECHNOLOGY MODEL, 2015), e o segundo dispositivo é um transistor FDSOI de 28nm com parâmetros similares ao transistor Bulk criado no início. O último dispositivo é um transistor FDSOI *High-K* de 28nm, parecido com parâmetros similares aos casos anteriores. Para conseguir isso, deve-se usar o SPICE para obter as características do transistor PTM para usar como modelo. Estes dispositivos serão caracterizados electricamente. Depois, são caracterizados cada dispositivo ante os impactos de um mesmo íon pesado de LET=100MeV-cm²/mg. Com isso é possível

obter o lugar mais crítico onde este íon pesado consegue gerar mais carga pelo impacto com o dispositivo e fazer comparações entre estes transistores. Todos esses dados são importantes para os seguintes testes com circuitos de memória.

O objetivo principal deste trabalho é tentar modelar o efeito dos impactos de íons pesados sob circuitos de memória SRAM de 6 transistores (SRAM 6T) que usem a tecnologia FDSOI de 28nm. Como se deseja modelar o impacto destas partículas sob essas estruturas de silício, o uso do SPICE neste caso é inadequado e insuficiente devido ao nível de abstração onde a ferramenta trabalha e porque a ferramenta apenas consegue simular os efeitos do impacto de um íon pesado, i.e. apenas pode simular o transiente de corrente produzido. Para este caso, o uso do *Sentaurus TCAD* é mais adequado e mais preciso devido ao baixo nível de abstração e porque este permite criar o dispositivo e simular o impacto destes íons e ver os efeitos dele sob o material, os erros de aproximação devido às fontes de entrada podem ser evitados e é possível ter acesso as quantidades físicas do dispositivo em qualquer ponto da simulação. A comparação entre as SRAM 6T de 28nm FDSOI e de 32nm Bulk CMOS também vai ser realizada para saber quanta é a carga crítica (Q_{crit}) e LET crítico ou de limiar mínimos necessários para que circuito de memória testado mude seus conteúdos, i.e. consiga fazer um *Bit-Flip*. A partir dessas premissas, é possível obter as características de impacto de íons pesados sob qualquer dispositivo e modelar estes efeitos.

1.5 Motivação

Após o estudo e entendimento de como funciona as ferramentas do *Sentaurus TCAD* (SYNOPTSYS, 2013c; SYNOPTSYS, 2013d; SYNOPTSYS, 2013a), decidiu-se começar a usar estas ferramentas para modelar dispositivos Bulk e FDSOI, e simular impactos de partículas evitando o uso do modelo de corrente transiente dupla exponencial (MESSENGER, 1982). O uso do *Sentaurus Workbench* (SYNOPTSYS, 2013f) deve ser dominado devido a que em este ambiente é possível fazer a automação de ferramentas usando parâmetros e também é possível usar variáveis junto com um *script* em TCL para visualizar resultados numéricos das simulações (SYNOPTSYS, 2013a). Para criar os dispositivos era necessário aprender o uso do *Sentaurus Structure Editor* (SYNOPTSYS, 2013d), que inclui as dimensões, detalhes da dopagem e criação da grade matemática sem ter em conta a variabilidade do processo de fabricação (ZIMPECK; MEINHARDT; REIS, 2014). Para a simulação deve-se usar o *Sentaurus Device* (SYNOPTSYS, 2013c), onde é

possível definir o circuito, modelos dos dispositivos e o tipo de simulação. Para conseguir visualizar os resultados deve-se aprender a usar as ferramentas *Inspect* e *Sentaurus Visual* (SYNOPTIS, 2013a; SYNOPTIS, 2013e) do pacote de ferramentas. Com o *Sentaurus TCAD* é possível projetar, simular e visualizar resultados das simulações. Também foi necessário aprender os detalhes de projeto e caracterização de circuitos SRAM de 6 transistores (RABAEY; CHANDRAKASAN; NICOLIĆ, 2003; MORADI et al., 2009; MAKINO et al., 2012; MAKOSIEJ et al., 2012; RAHMAN; SINGH, 2013; MAKOSIEJ et al., 2013; SAXENA, 2013). Devido ao uso das tecnologias FDSOI sub-micrométricas e novos materiais de isolamento de portas dos transistores (HAMDI et al., 1983; ROBERTSON, 2004; HUANG; YANG; CHU, 2010; THOMAS et al., 2010) é necessário testar e modelar os efeitos da radiação e partículas para usar estes dispositivos em aplicações de onde estes fenômenos são apreciáveis, como no espaço (ECOFFET, 2007). Em (BI et al., 2013; BI et al., 2014) foi relatado o uso destas ferramentas para testar os efeitos de neutrons sob estes dispositivos com apenas impactos perpendiculares ao plano das terminais de fonte, dreno e porta dos FDSOI, mas nunca foram testados com ângulos de impacto distintos e nunca foram simuladas células SRAM de 6 transistores usando Modo Misto ou Modo Numérico Misto. Tampouco foram feitas comparações dos efeitos de partículas pesadas em dispositivos Bulk e FDSOI para quantificar e estudar estes efeitos. Isso é necessário para poder validar o uso de memórias SRAM 6T com dispositivos Bulk e FDSOI para aplicações críticas, como as aplicações espaciais.

1.6 Organização do Trabalho

O capítulo 2 mostra o panorama da modelagem, injeção e simulação de falhas transientes atual, além de uma explicação mais detalhada do que é um FDSOI. No capítulo 3 será explicado em forma detalhada a metodologia de Simulação usando o *Sentaurus TCAD*, assim como os problemas que surgiram durante a aplicação dos métodos para extrair parâmetros desses transistores. No capítulo 4 mostram-se os resultados e considerações obtidos durante as simulações. O capítulo 5 apresenta as conclusões e o trabalho futuro é relatado no capítulo 6.

2 ESTADO DA ARTE DA MODELAGEM, INJEÇÃO E SIMULAÇÃO DE FALHAS EM DISPOSITIVOS FDSOI

Para explicar o panorama de modelagem, injeção e simulação de falhas em dispositivos FDSOI sub-micrométricos, é necessário detalhar o que é um FDSOI, partindo da introdução feita na secção 1.2.3. Depois serão apresentados os trabalhos referentes à modelagem do SEE, e finalmente, os trabalhos que tentaram modelar os SEE nos dispositivos FDSOI.

2.1 O Transistor de Silício sob Isolante Completamente Depletado.

Devido a que os transistores CMOS Bulk estão chegando ao seu limite de confiabilidade devido ao incremento de efeitos de segundo ordem e o tunelagem da porta, foi necessário desenvolver novas formas de fabricar transistores. Destes, os transistores SOI foram desenvolvidos usando um *wafers* parecido ao mostrado na figura 1.2. A partir deste *wafers* é possível criar FinFETs e transistores SOI. Destes dispositivos, os Transistores de Silício sob Isolante Completamente Depletado (FDSOI) tem características únicas e extremamente atrativas. O comportamento dele é muito diferente ao comportamento de um Transistor Bulk em nó tecnológico igual ou próximo, e pode ser fabricado usando as mesmas máscaras destes, com pequenas variações (CAUCHY; ANDRIEU, 2010).

2.1.1 Características e Vantagens dos FDSOI

Um FDSOI tem as seguintes características e vantagens (CAUCHY; ANDRIEU, 2010; REITA, 2011):

2.1.1.1 Melhoria na Escalabilidade

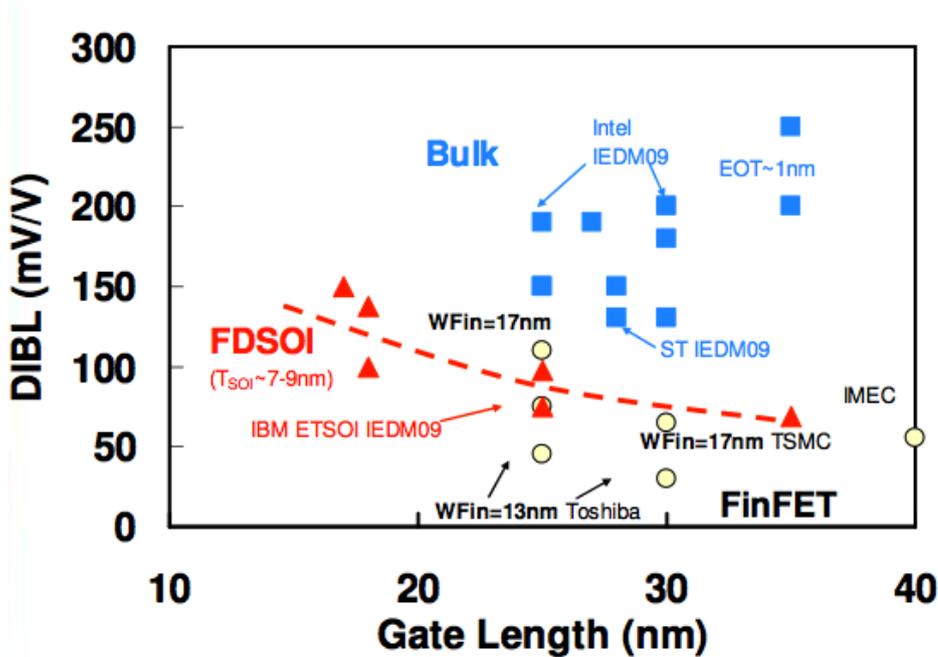
O FDSOI permite escalar com mais facilidade os nós tecnológicos que os transistores CMOS Bulk tradicionais, pois estes últimos tem problemas em nós inferiores a do nó de 90nm. Neste caso, o FDSOI é capaz de enfrentar esses problemas tecnológicos. Além disso, as técnicas de uso de isolantes *High-K* e uso de portas poliméricas usadas nos Bulk melhoram ainda mais as características elétricas do FDSOI (FENOUILLET-

BERANGER et al., 2011b). O FDSOI tem pouco (ou não tem) dopagem no canal e não tem implantes *Pocket* ou *Halo*.

2.1.1.2 Controle Eletrostático Melhorado

Devido a sua construção, o FDSOI tem características melhoradas em velocidade com voltagens de alimentação muito pequenas. Assim, características elétricas como o DIBL, corrente de corte e inclinação sub-limiar (*Subthreshold Slope* em inglês) (RANKA et al., 2011) tem menos variabilidade. A figura 2.1 mostra essa comparação entre DIBLs em diferentes nós tecnológicos de Bulk, FDSOI e FinFET.

Figura 2.1: Característica DIBL de vários nós tecnológicos.

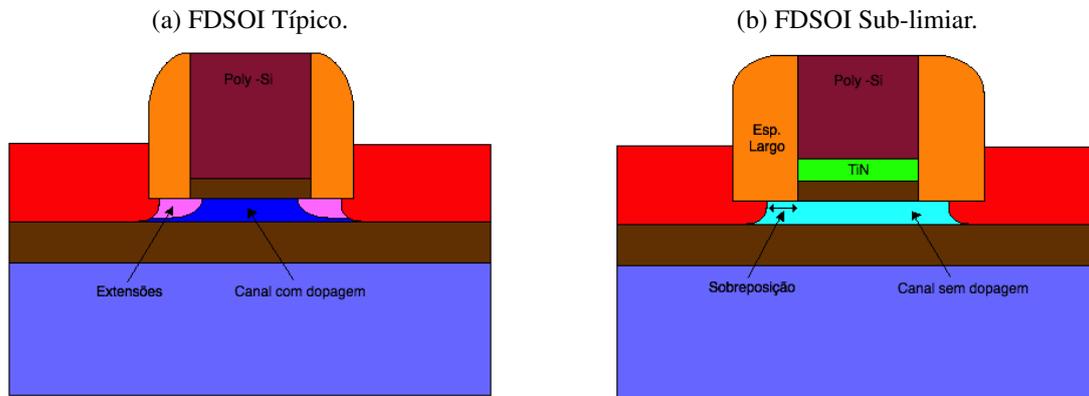


Fonte: (REITA, 2011).

2.1.1.3 Redução da Variabilidade de Dopagem

Devido a que o FDSOI tem muito pouco (ou carece de) dopagem, isso minimiza a variabilidade da voltagem de limiar V_{th} . Isto, em particular, permite criar SRAMs de ultra-baixa voltagem, as quais são bastante estáveis, de alto rendimento ($\cong 6\sigma$) e de alta densidade. Isso acontece com FDSOI UTISOI típicos (figura 2.2(a)) ou desenhados para trabalhar em modo sub-limiar (figura 2.2(b)), com um bom margem de sinal-ruído (CAUCHY; ANDRIEU, 2010; VITALE et al., 2010).

Figura 2.2: Tipos de FDSOI.



Fonte: Adaptado de (VITALE et al., 2010).

2.1.1.4 Redução do Consumo

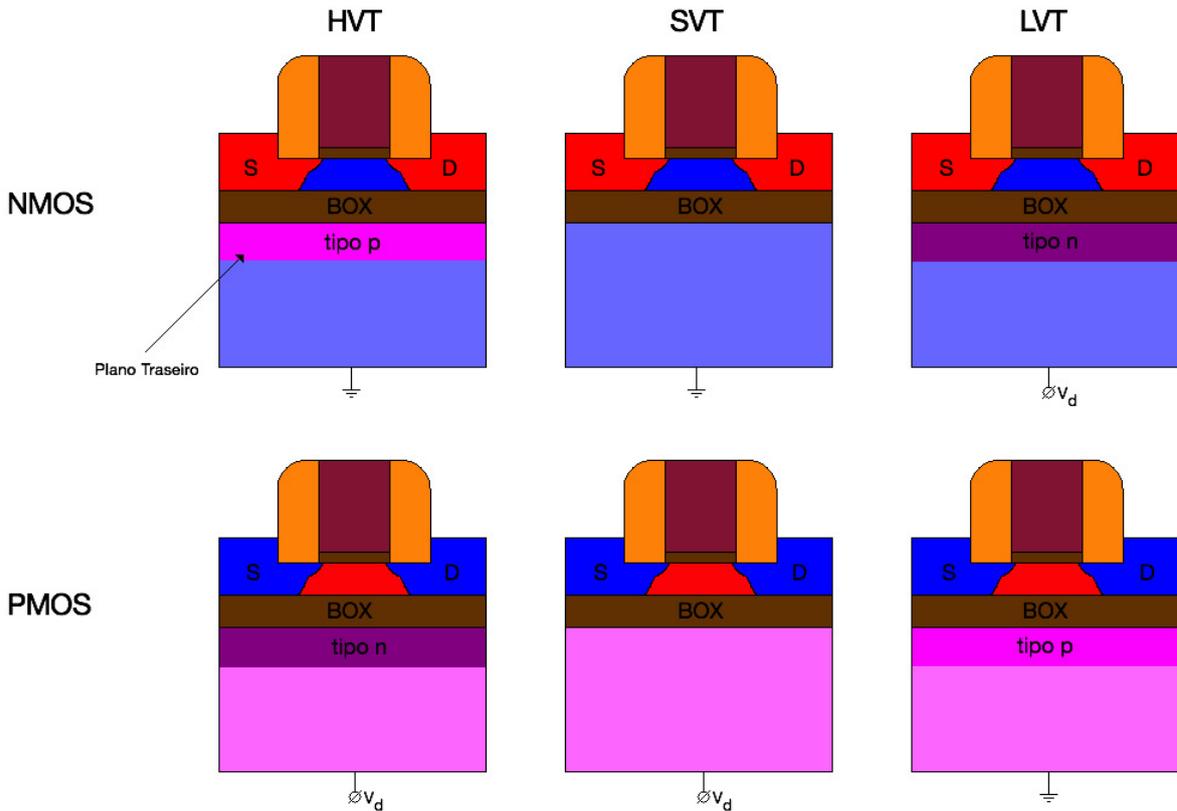
Em dispositivos de ultra-baixo consumo que usam materiais de alto fator K o FDSOI tem uma *Sub-threshold Slope* (Inclinação sub-limiar) muito menor que o transistor Bulk tradicional. Com isso a corrente de desligado I_{off} é muito menor, na ordem de dezenas de pico Amperes (VITALE et al., 2010; FENOUILLET-BERANGER et al., 2011b).

2.1.1.5 Controle Dinâmico da Voltagem de Limiar

A tensão de limiar V_{th} do FDSOI pode ser fortemente modulada como uma função da quantidade e do tipo de dopagem do plano traseiro (*Back Plane*) do transistor. É possível também ter um controle dinâmico do V_{th} polarizando adequadamente este plano traseiro mediante mais uma terminal de controle ou polarizando o substrato, e assim, mudar o valor de V_{th} (NOEL et al., 2009; THOMAS et al., 2010; FENOUILLET-BERANGER et al., 2011b; BEN-AKKEZ et al., 2013). Desta forma, é possível ter um FDSOI de V_{th} normal (*Standard, SVT*), alto (*High, HVT*) e baixo (*Low, LVT*), como é mostrado na figura 2.3. Esta variação de V_{th} também depende da espessura da camada de óxido enterrado T_{BOX} .

2.1.1.6 Mobilidade dos Portadores na camada do Canal

O FDSOI tem melhora na mobilidade dos portadores no canal quando a camada de silício T_{Si} é mais fina e quando a dopagem do canal $N_{ch} = N_A$ (no caso de um FDSOI NMOS) é menor, isso é: $\mu_{ng} \propto (T_{Si}N_A)^{-1}$ (PEREIRA et al., 2015).

Figura 2.3: Sub-tipos do transistor FDSOI Multi- V_{th} .

Fonte: Adaptado de (THOMAS et al., 2010).

2.1.1.7 Competitividade com o FinFET

Além de que um FDSOI é mais barato industrialmente que um FinFET, o FDSOI tem um bom controle de potência dinâmica ($P_{dyn} \propto V_{dd}^2$). Também é possível chegar a nós tecnológicos inferiores a 10nm usando tecnologia UTSOI (REITA, 2011). Com isso tem-se maior densidade nos circuitos lógicos.

2.1.1.8 Competitividade com os transistores CMOS Bulk e PDSOI

O *wafer* para fazer um CI FDSOI é mais caro que o *wafer* típico para um CI Bulk, mas os CI FDSOI tem mais vantagens que seus equivalentes Bulk o PDSOI do mesmo nó tecnológico. A tabela 2.1 foi adaptada de (VITALE et al., 2010) depois da conversa citada em (VLADIMIRESCU; CALIENES, 2015).

Tabela 2.1: Comparação entre Transistores Bulk, PDSOI e FDSOI.

Tipo do Transistor	Bulk	PDSOI	FDSOI
Custo do <i>Wafer</i> (300mm)	US\$300	US\$1000	US\$1000
Espessura da zona ativa (T_{Si})	>1000	~100	<40
Inclinação Sub-Limiar (mV/dec)	>120	80-120	65-80
Capacitância de Junção	Alta	Baixa	Baixa
Corrente de Fuga	Alta	Baixa	Baixa
Sensitividade do V_{th} com o T_{Si}	Nada	Meia	Alta
Performance a condições extremas (<4K ou >300°C)	Ruim	Boa	Boa
Resistência em Serie	Baixa	Meia	Alta
Sensitividade do V_{th} com a carga do BOX	Nada	Baixa	Alta
Transcondutância (g_m)	Alta	Meia	Alta
Efeito de Torção (<i>Kink</i>)	Nada	Alto	Nada

Fonte: (VITALE et al., 2010; VLADIMIRESCU; CALIENES, 2015).

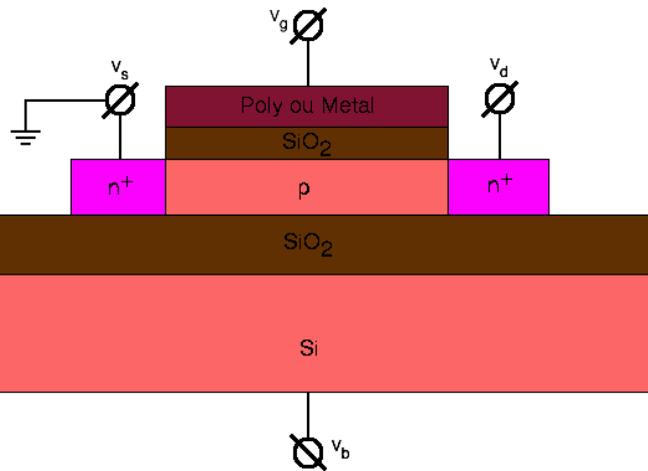
2.1.2 Modelagem dos Dispositivos SOI

No ano 1982 foi demonstrado que era possível fabricar circuitos e dispositivos usando a tecnologia SOI como uma alternativa para o *Silicon On Sapphire* (SOS) (HAMDI et al., 1983), o qual é outro tipo de SOI muito mais caro e de uso militar. Esta tecnologia tem como adicional poder fabricar dispositivos e CIs de três dimensões resistentes à radiação (LIM; FOSSUM, 1983).

Devido a que o canal é extremamente curto, estes dispositivos são influenciados pelo acoplamento de cargas entre as portas da frente (o terminal de porta) e traseira (o terminal de substrato). Por exemplo, a voltagem de limiar do terminal do frente $V_{th_g} = V_{th}$ difere consideravelmente da voltagem de limiar do terminal traseiro V_{th_b} e depende da polarização e características da porta traseira (LIM; FOSSUM, 1983).

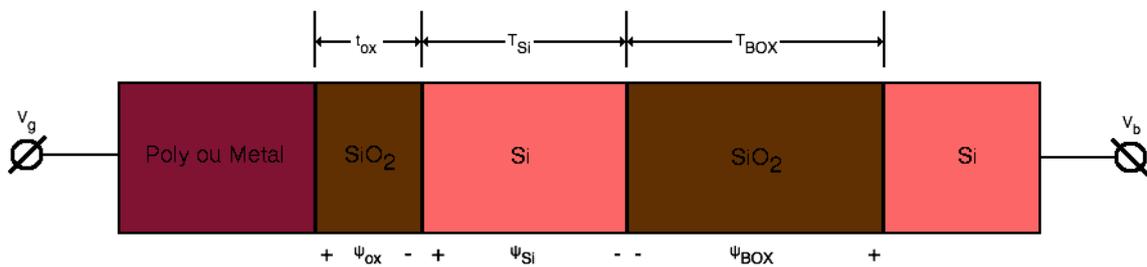
O dispositivo em análise é um MOSFET SOI de canal N mostrado na figura 2.4. Se a camada de silício é suficientemente fina, nunca estará completamente depletada e assim não terá interação, em estado estável, entre as duas portas (terminais de porta e substrato). Neste caso, a condução no canal frontal é tão boa como no canal traseiro. Isso é descrito na teoria do transistor MOSFET bulk convencional (SZE, 1981; KANO, 1998). No caso do MOSFET SOI, o canal é tão fino que toda a zona de depleção cobre todo o canal, nesse caso acontece um acoplamento perfeito entre as duas portas e melhora as tensões de limiar de cada porta, as quais dependem das condições da outra porta.

Figura 2.4: Estrutura MOSFET SOI de quatro terminais ($V_S = 0$).



Fonte: Adaptado de (LIM; FOSSUM, 1983; LIM; FOSSUM, 1984).

Figura 2.5: Parte ativa de um MOSFET SOI.



Fonte: Adaptado de (LIM; FOSSUM, 1983).

2.1.2.1 Voltagem de Limiar V_{th} do MOSFET SOI

Para fazer esta análise, deve-se considerar apenas a porção ativa do transistor MOSFET SOI como mostrado na figura 2.5. Os potenciais de superfície do frente ou de porta (ψ_{sg}) e traseiro ou de substrato (ψ_{sb}) dobram as bandas de energia dos respectivos materiais em contato até chegar a neutralidade teórica (LIM; FOSSUM, 1983). Se o $V_S = 0$, o potencial eletrostático chega a ser a tensão *built-in* da camada fina da junção do terminal de fonte do transistor. Usando a analogia com a teoria do MOSFET (SZE, 1981; KANO, 1998), pode-se escrever:

$$V_g = \psi_{sg} + \psi_{ox} + \Phi_{MSg} \quad (2.1)$$

$$V_b = \psi_{sb} + \psi_{BOX} + \Phi_{MS_b} \quad (2.2)$$

onde V_g é a tensão da porta, V_b é a tensão do substrato, ψ_{ox} e ψ_{BOX} são as quedas de potencial através das camadas de óxido de porta e enterrado respectivamente, e Φ_{MS_g} e Φ_{MS_b} são as funções trabalho dos terminais de porta e substrato respectivamente.

Se a camada de silício do canal de espessura T_{Si} está completamente depletada, então a densidade de carga é $-qN_A$ ($q = 1.6 \times 10^{-19}\text{C}$), e o resultado da integração da equação de Poisson através da camada de silício resulta na queda do potencial ψ_{Si} nesta camada:

$$\psi_{Si} = \psi_{sg} - \psi_{sb} \cong \left(E_{sg} - q \frac{T_{Si} N_A}{2\epsilon_{Si}} \right) T_{Si} \quad (2.3)$$

onde E_{sg} é o campo elétrico no limite da superfície do frente (do lado da porta) da região de depleção e N_A é a densidade de dopagem da camada de silício.

Usando a Lei de Gauss Eletrostática na superfície da porta para obter a queda do potencial do óxido da porta ψ_{ox} :

$$\psi_{ox} = \frac{1}{C_{ox}} (\epsilon_{Si} E_{sg} - Q_{fg} - Q_{cg}) \quad (2.4)$$

onde $C_{ox} = \epsilon_{ox}/t_{ox}$ é a capacitância da camada de óxido da porta, Q_{fg} é a densidade de carga fixa da interface frontal ou de porta Si-SiO₂, e Q_{cg} é a densidade da carga depositada na superfície frontal ou de porta, que na análise para obter a tensão de limiar V_{th} representa a carga de inversão (LIM; FOSSUM, 1983; LIM; FOSSUM, 1984).

Fazendo a mesma análise de (2.4) na superfície traseira para obter a queda do potencial do óxido enterrado ψ_{BOX} :

$$\psi_{BOX} = -\frac{1}{C_{BOX}} (\epsilon_{Si} E_{sg} - qN_A T_{Si} + Q_{fb} - qN_{sb} \psi_{sb} + Q_{cb}) \quad (2.5)$$

onde $C_{BOX} = \epsilon_{ox}/T_{BOX}$ é a capacitância da camada de óxido enterrado, Q_{fb} é a densidade de carga fixa da interface traseira ou de substrato SiO₂-Si, Q_{cb} é a densidade da carga depositada na superfície traseira ou de substrato e N_{sb} é a densidade de estado superficial de carga rápida que é assumido uniformemente distribuído em toda a banda de energia (LIM; FOSSUM, 1983). É levado em conta a N_{sb} em (2.5) porque a carga de estado superficial varia com V_b . Em (2.5) é expressado implicitamente o campo elétrico na borda da superfície traseira da região de depleção como $E_{sg} - qT_{Si}N_A/\epsilon_{Si}$.

É possível expressar o V_g da seguinte forma, combinando (2.1), (2.3) e (2.4):

$$V_g = V_{FB_g} + \left(1 + \frac{C_{Si}}{C_{ox}}\right) \psi_{sg} - \frac{C_{Si}}{C_{ox}} \phi_{sb} - \frac{0.5Q_{Si} + Q_{cf}}{C_{ox}} \quad (2.6)$$

onde $V_{FB_g} = \Phi_{MS_g} - Q_{fg}/C_{ox}$ é a voltagem de banda plana desde o terminal da porta, $C_{Si} = \varepsilon_{Si}/T_{Si}$ é a capacitância de depleção, e $Q_{Si} = -qN_A T_{Si}$ é a densidade de carga por unidade de área da região de depleção.

Algo similar é possível de fazer para V_b usando as equações (2.2), (2.3) e (2.5):

$$V_b = V_{FB_b} - \frac{C_{Si}}{C_{BOX}} \psi_{sg} + \left(1 + \frac{C_{Si} + C_{sb}}{C_{BOX}}\right) \psi_{sb} - \frac{0.5Q_{Si} + Q_{cb}}{C_{BOX}} \quad (2.7)$$

onde $V_{FB_b} = \Phi_{MS_b} - Q_{fb}/C_{BOX}$ é a voltagem de banda plana desde o terminal do substrato e $C_{sb} = qN_{sb}$. Usando as equações (2.6) e (2.7) é possível obter as expressões para a voltagem de limiar $V_{th_g} = V_{th}$ em termos de V_b e dos parâmetros do transistor.

Acumulação: Quando a superfície traseira entra em acumulação, ψ_{sb} é quase zero. Em (KANO, 1998) é definido a condição de limiar em acumulação da superfície frontal ou de porta como $\psi_{sg} = 2\phi_B$, onde $\phi_B = (k_B T/q) \ln(N_A/n_i)$ é o potencial de Fermi na camada de silício. Neste caso $Q_{cg} \cong 0$ ($\ll -Q_{Si}$), então (2.6) resulta:

$$V_{th} = V_{th_g} \cong V_{th_A} = V_{FB_g} + 2\phi_B \left(1 + \frac{C_{Si}}{C_{ox}}\right) - \frac{Q_{Si}}{2C_{ox}} \quad (2.8)$$

porque ψ_{sb} é virtualmente independente do V_b para estas condições (LIM; FOSSUM, 1983).

Inversão: Neste caso onde a carga da superfície traseira está invertida, é certo que $\psi_{sb} \cong 2\phi_B$, então a voltagem de limiar V_{th} usando (2.6) é:

$$V_{th} = V_{th_g} \cong V_{th_I} = V_{FB_g} + 2\phi_B - \frac{Q_{Si}}{2C_{ox}} \quad (2.9)$$

Novamente V_{th_A} e V_{th_I} são independentes de V_b porque ψ_{sb} é invariável nessas condições (LIM; FOSSUM, 1983).

Depleção: Quando a superfície traseira está depletada, ψ_{sb} é fortemente dependente da voltagem V_b ; este valor está em todo o intervalo desde o zero até o $2\phi_B$ entre

os intervalos da acumulação e da inversão respectivamente. Os valores de V_b (V_{b_A} e V_{b_I}) correspondentes a esses intervalos quando a superfície frontal está invertida ($\psi_{sg} \cong 2\phi_B$) e é definida por (2.7) com $Q_{cb} \cong 0$ ($\ll -Q_{Si}$):

$$V_{b_A} \cong V_{FB_b} - 2\phi_B \frac{C_{Si}}{C_{BOX}} - \frac{Q_{Si}}{2C_{BOX}} \quad (2.10)$$

$$V_{b_I} \cong V_{FB_b} + 2\phi_B \left(1 + \frac{C_{sb}}{C_{BOX}}\right) - \frac{Q_{Si}}{2C_{BOX}} \quad (2.11)$$

A dependência do $V_{th_g} = V_{th}$ em V_b para $V_{b_A} < V_b < V_{b_I}$ é obtido combinando (2.6) e (2.7) para eliminar a dependência em ψ_{sb} e fazendo $\psi_{sg} = 2\phi_B$, $Q_{cg} \cong 0$ e $Q_{cb} \cong 0$, resulta em (LIM; FOSSUM, 1983):

$$V_{th} = V_{th_g} \cong V_{th_A} - \frac{C_{Si}C_{BOX}}{C_{ox}(C_{Si} + C_{BOX} + C_{sb})}(V_b - V_{b_A}) \quad (2.12)$$

$$\cong V_{th_I} - \frac{C_{Si}C_{BOX}}{C_{ox}(C_{Si} + C_{BOX} + C_{sb})}(V_b - V_{b_I}) \quad (2.13)$$

Outra Opção: Existe outro modelo da voltagem de limiar $V_{th} = V_{th_g}$ para o FD-SOI mostrado em (XIN-YU; HAI-FENG; DE-XIN, 2001) que depende do comprimento do canal L e se a voltagem em V_d e grande ou pequena:

$$V_{th}(L) = \begin{cases} V_{th0} - [2(2\phi_B - \phi_s) + V_d](e^{-L/2l} + 2e^{-L/l}), & \text{para } V_d \text{ pequena,} \\ V_{th0} - [3(2\phi_B - \phi_s) + V_d]e^{-L/l} + 2\sqrt{(2\phi_B - \phi_s)[(2\phi_B - \phi_s) + V_d]}e^{-L/2l}, & \text{para } V_d \text{ grande} \end{cases} \quad (2.14)$$

onde para este caso

$$V_{th0} = V_{FB_g} + \left[1 + \frac{C_{SiBOX}}{C_{Si}}\right] \frac{qN_A T_{Si}}{C_{ox}} + \psi_{sg} \frac{C_{SiBOX}}{C_{oxSiBOX}} - \frac{C_{SiBOX}}{C_{ox}}(V_g - V_b - V_{FB_b}) \quad (2.15)$$

$$l = \sqrt{\frac{\epsilon_{Si} T_{Si} C_{oxSiBOX}}{\eta C_{ox} C_{BOX}}} \quad (2.16)$$

$$C_{OxSiBOX} = \left[\frac{1}{C_{ox}} + \frac{1}{C_{Si}} + \frac{1}{C_{BOX}} \right]^{-1} \quad (2.17)$$

onde η é um fator de ajuste e $C_{SiBOX} = C_{Si} \parallel C_{BOX} = C_{Si}C_{BOX}/(C_{Si} + C_{BOX})$ é a capacitância efetiva do substrato do FDSOI.

2.1.2.2 Corrente de Dreno I_d do MOSFET SOI

Para iniciar esta análise devemos considerar o MOSFET SOI mostrado na figura 2.4. Para obter as expressões de I_d em função de V_g , V_b e V_d , é assumido o mesmo que o MOSFET quando ele está em inversão forte (LIM; FOSSUM, 1984): Mobilidade constante, canal longo, dopagem uniforme e uma corrente de difusão desprezível. Neste caso, a corrente no canal ($0 \leq y \leq L$) é:

$$I_d = W \mu_{ng} |Q_n(y)| \frac{d}{dy} \psi_{sg}(y) \quad (2.18)$$

onde $Q_n(y)$ é a densidade de carga de inversão (elétrons), $\psi_{sg}(y)$ é o potencial de superfície da porta dependente do comprimento dela e μ_{ng} é a mobilidade dos elétrons no canal. Integrando (2.18) desde $y = 0$ até o comprimento total do canal $y = L$ se obtém:

$$I_d = \frac{W}{L} \mu_{ng} \int_{2\phi_B}^{2\phi_B + V_d} |Q_n(y)| d\psi_{sg}(y) \quad (2.19)$$

onde os limites $\psi_{sg}(0) = 2\phi_B$ e $\psi_{sg}(L) = 2\phi_B + V_d$ são os comumente assumidos na inversão forte (SZE, 1981).

Se o corpo do silício no canal está depletado completamente em qualquer ponto y , pode-se obter $Q_n(y)$ a partir de uma análise de acoplamento de carga em uma dimensão (LIM; FOSSUM, 1983), que usa a equação de Poisson junto com o Teorema de Gauss eletrostática nas interfaces Si-SiO₂ frontal e traseira:

$$|Q_n(y)| = C_{ox} \left[V_g - V_{FB_g} - \left(1 + \frac{C_{Si}}{C_{ox}} \right) \psi_{sg}(y) + \frac{C_{Si}}{C_{ox}} \psi_{sb}(y) + \frac{Q_{Si}}{2C_{ox}} \right] \quad (2.20)$$

onde

$$\psi_{sb}(y) = \frac{C_{BOX}}{C_{BOX} + C_{Si}} \left[V_b - V_{FB_b} + \frac{C_{Si}}{C_{BOX}} \psi_{sg}(y) + \frac{Q_{Si}}{2C_{BOX}} + \frac{Q_{cb}(y)}{C_{BOX}} \right] \quad (2.21)$$

Se a camada de silício é suficientemente larga ($T_{Si} > x_{d(max)} = \sqrt{4\epsilon_{Si}\phi_B/qN_A}$), o canal pode ser apenas parcialmente depletado, o que faz com que (2.20) e (2.21) não sejam estritamente válidos (SZE, 1981; LIM; FOSSUM, 1984).

Usando (2.19), (2.20) e (2.21) pode-se obter equações simplificadas para o I_d em função de V_g , V_b e V_d . Se define primeiro os valores de V_b que correspondem aos intervalos de acumulação e inversão das superfícies traseiras de fonte e dreno. Depois são obtidas as equações de corrente I_d para cada uma das condições de carga das superfícies traseiras mencionadas (LIM; FOSSUM, 1984).

Para valores suficientemente negativos do V_b , a superfície traseira de fonte e dreno entra em acumulação. Incrementando o V_b , eventualmente obtém-se a $V_b = V_{b_A}(L)$, onde a superfície traseira do dreno depleta como indica (2.21). Então, usando (2.21) com $\psi_{sg}(L) = V_d + 2\phi_B$, $\psi_{sb}(L) = 0$, e $Q_{cb}(L) = 0$:

$$V_{b_A}(L) = V_{b_A} - \frac{C_{Si}}{C_{BOX}} V_d \quad (2.22)$$

onde

$$V_{b_A} \cong V_{FB_b} - 2\phi_B \frac{C_{Si}}{C_{BOX}} - \frac{Q_{Si}}{2C_{BOX}} \quad (2.23)$$

é a voltagem correspondente ao intervalo de acumulação da superfície traseira onde $\psi_{sg} = 2\phi_B$ (LIM; FOSSUM, 1983). Se o dispositivo chega à saturação, o V_d em (2.22) deve ser substituído por $V_{d(sat)_A}$, o qual vai ser definido mais adiante. Como o V_b é incrementado em cima de $V_{b_A}(L)$, a parte depletada da superfície traseira se expande na direção da fonte até, em $V_b = V_{b_A}$, toda a superfície traseira fica completamente depletada. Como o V_b é incrementado encima de V_{b_A} , a superfície traseira permanece depletada até V_b chegar a V_{b_I} (LIM; FOSSUM, 1983), onde a superfície fica em inversão. Usando (2.21) pode-se encontrar o mínimo valor de V_b necessário para inverter a superfície traseira, o que acontece quando $\psi_{sg}(0) = \psi_{sb}(0) = 2\phi_B$ e $Q_{cb}(0) = 0$:

$$V_{b_I} = V_{FB_b} + 2\phi_B - \frac{Q_{Si}}{2C_{BOX}} \quad (2.24)$$

Superfície Traseira em Acumulação desde a Fonte até o Dreno: Este é o caso de $V_b < V_{b_A}(L)$. Quando a superfície traseira está acumulada em toda a região, $\psi_{sg}(y) \rightarrow$

0. Usando então (2.19) e (2.20):

$$I_d = I_{dA} = \frac{W}{L} \mu_{ng} C_{ox} \left[(V_g - V_{thA}) V_d - \left(1 + \frac{C_{Si}}{C_{ox}} \right) \frac{V_d^2}{2} \right] \quad (2.25)$$

onde V_{thA} é definido em (2.8) como a voltagem de limiar em acumulação quando $\psi_{sg} = 2\phi_B$ (LIM; FOSSUM, 1983).

Pode-se ver em (2.25), que I_{dA} não depende de V_b porque a carga acumulada na camada de silício do canal evita a modulação do campo elétrico por V_b .

A voltagem do dreno $V_{d(sat)}$ no qual a corrente do dreno satura é obtida a partir de

$$\left. \frac{\partial I_d}{\partial V_d} \right|_{V_d=V_{d(sat)}} = 0 \quad (2.26)$$

Usando (2.25) em (2.26) pode-se obter $V_{d(sat)}$:

$$V_{d(sat)} = V_{d(sat)A} = \frac{V_g - V_{thA}}{1 + C_{Si}/C_{ox}} \quad (2.27)$$

Então, se usar (2.25) com $V_d = V_{d(sat)A}$ de (2.27) pode ser obtida a corrente de dreno em saturação $I_{d(sat)}$ quando está em acumulação:

$$I_{d(sat)} = I_{d(sat)A} = \frac{W}{L} \frac{\mu_{ng} C_{ox}}{2(1 + C_{Si}/C_{ox})} (V_g - V_{thA})^2 \quad (2.28)$$

Superfície Traseira Depletada desde a Fonte até o Dreno: Neste caso $V_{bA} < V_b < V_{bI}$. Quando a superfície traseira está completamente depletada em qualquer ponto dela, $Q_{cb}(y) = 0$. Usando (2.19), (2.20), (2.21):

$$I_d = I_{dD} = \frac{W}{L} \mu_{ng} C_{ox} \left[(V_g - V_{thg}) V_d - \left(1 + \frac{C_{SiBOX}}{C_{ox}} \right) \frac{V_d^2}{2} \right] \quad (2.29)$$

onde $C_{SiBOX} = C_{Si} \parallel C_{BOX} = C_{Si} C_{BOX} / (C_{Si} + C_{BOX})$ é a capacitância efetiva do substrato do transistor e V_{thg} é a tensão de limiar da porta descrita em (2.12) quando a superfície está completamente depletada (LIM; FOSSUM, 1983):

$$V_{thg} = V_{thA} - \frac{C_{SiBOX}}{C_{ox}} (V_b - V_{bA}) \quad (2.30)$$

Neste caso, observando (2.29) e (2.30), $I_d = I_{dD}$ incrementa quando V_b incrementa porque V_{thg} decresce.

Usando (2.26) e (2.29), obtém-se o seguinte:

$$I_{d(sat)} = I_{d(sat)D} = \frac{W}{L} \frac{\mu_{ng} C_{ox}}{2(1 + C_{SiBOX}/C_{ox})} (V_g - V_{thg})^2 \quad (2.31)$$

Praticamente (2.31) é idêntica a (2.28), mas nesse caso V_{thA} e C_{Si} foram trocados por V_{thg} e C_{SiBOX} respectivamente.

Superfície Traseira Acumulada junto a Fonte e Depletada junto ao Dreno:

Esta condição acontece quando $V_{bA}(L) < V_b < V_{bA}$. Quando V_d é grande, a superfície traseira pode ser depletada no lado do Dreno e manter o estado de acumulação no lado da Fonte. Esta condição é conhecida também como condição de *pinch-off* o de enforcamento do canal (KANO, 1998; RABAEY; CHANDRAKASAN; NICOLIĆ, 2003; CAMPANA, 2012). Seja $y = \Delta L$ onde acontece essa transição de carga na superfície traseira, então (2.19) deve ser reescrita para separar esses efeitos:

$$I_d = \mu_{ng} \frac{W}{L} \left[\int_{2\phi_B}^{\psi_{sg}(\Delta L)} |Q_n(y)|_{\psi_{sb}(y)=0} d\psi_{sg}(y) + \int_{\psi_{sg}(\Delta L)}^{2\phi_B + V_d} |Q_n(y)|_{Q_{cb}(y)=0} d\psi_{sg}(y) \right] \quad (2.32)$$

onde $\psi_{sg}(\Delta L)$ está dada por (2.21) com $\psi_{sb}(y) \cong 0$ e $Q_{cb}(y) \cong 0$:

$$\psi_{sg}(\Delta L) \cong 2\phi_B + \frac{C_{BOX}}{C_{Si}} (V_{bA} - V_b) \quad (2.33)$$

Usando (2.32) e (2.33) leva a:

$$I_d = I_{dAD} = \frac{W}{L} \mu_{ng} C_{ox} \left[(V_g - V_{thA}) V_d - \left(1 + \frac{C_{SiBOX}}{C_{ox}} \right) \frac{V_d^2}{2} - \frac{C_{SiBOX}}{C_{ox}} (V_{bA} - V_b) V_d + \frac{C_{SiBOX} C_{BOX}}{2 C_{ox} C_{Si}} (V_{bA} - V_b)^2 \right] \quad (2.34)$$

É possível ver que I_{dAD} incrementa quando V_b incrementa porque ΔL decrementa. Combinando (2.27) e (2.34) se tem o seguinte:

$$V_{d(sat)} = V_{d(sat)AD} = \frac{V_g - V_{thA} - (C_{SiBOX}/C_{ox})(V_{bA} - V_b)}{1 + C_{SiBOX}/C_{ox}} \quad (2.35)$$

e também:

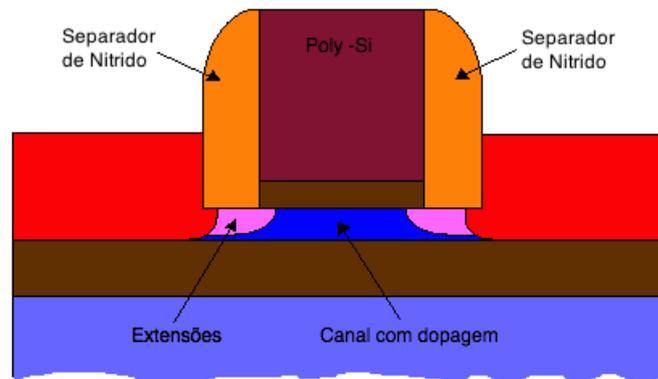
$$I_{d(sat)} = I_{d(sat)AD} = \frac{W}{L} \frac{\mu_{ng} C_{ox}}{2(1 + C_{SiBOX}/C_{ox})} \left[(V_g - V_{th_A})^2 - 2 \frac{C_{SiBOX}}{C_{ox}} (V_g - V_{th_A})(V_{b_A} - V_b) + \frac{C_{BOX} C_{SiBOX}}{C_{ox} C_{oxSi}} (V_{b_A} - V_b)^2 \right] \quad (2.36)$$

onde $C_{OxSi} = C_{ox} \parallel C_{Si} = C_{Si} C_{ox} / (C_{Si} + C_{ox})$ é a capacitância efetiva da porta do transistor SOI.

2.1.2.3 Processos, Efeitos e Extração de Parâmetros dos transistores SOI

Os separadores ao lado da porta dos transistores (ou *spacers* em inglês) são componentes adicionados desde que a tecnologia CMOS Bulk começou a ter portas com um comprimento de canal inferior a 250nm (ADA-HANIFI et al., 1997). Estes componentes são colocados em ambos lados da porta do transistor e são comumente feitos com compostos Nitretos (geralmente de Si_3N_4). Algo importante que deve-se ter em conta é que enquanto estes separadores mantêm uma boa compatibilidade com novas tecnologias, deve-se ter cuidado de que suas dimensões sejam corretamente escaladas de acordo com o nó tecnológico para manter um bom controle dos efeitos de canal curto, além do processo para sua manufatura (WENG, 2009). No caso de transistores CMOS Bulk o uso de drenos com baixo dopagem (LDD) perto da porta do transistor e separadores compridos solucionavam o problema de efeitos de canal curto. A figura 2.6 mostra onde estão localizados estes separadores num transistor FDSOI. A localização destes separadores é igual nos transistores Bulk e FDSOI.

Figura 2.6: Separadores de Nitrido no transistor FDSOI.



Fonte: Os Autores.

No caso do FDSOI o comprimento dos separadores, unido com a existência de extensões de dopagem, a composição polimérica da terminal de porta (FENOUILLET-BERANGER et al., 2011b) e a dopagem do canal tem influência no tipo de transistor, como é mostrado na figura 2.2.

Devido a que junto a estes separadores existe uma zona de inversão, a mobilidade dos portadores é reduzida nos FDSOI sub-limiar (PEREIRA et al., 2015).

O uso de materiais de K grande para os separadores no FDSOI, como são o Si_3N_4 ($K = 7$) e o HfO_2 ($K = 25$) melhoram os efeitos do canal curto: melhorias no DIBL, SS e a eliminação do *fringing* vertical (ROBERTSON, 2004; FENOUILLET-BERANGER et al., 2011b). Se relataram melhoras de 20% na I_{on} , 30% na I_{off} , 12% no SS e 22% no DIBL usando separadores de HfO_2 em vez de separadores de SiO_2 tradicionais (RANKA et al., 2011).

A temperatura tem influência nos parâmetros de um transistor FDSOI devido à mudança da mobilidade dos portadores do canal (KARSENTY; CHELLY, 2014). Isto afeta o I_d , o V_{th} e a função Y do transistor que depende da transcondutância g_m ($Y \equiv I_d/\sqrt{g_m}$). Em (ANGOT et al., 2012) e (ANGOT et al., 2013) é apresentado um modelo de Instabilidade da Temperatura por Polarização Negativa (*Negative Bias Temperature Instability* ou NBTI) para os transistores UTSOI.

Em (AKKEZ et al., 2012) é apresentado uma metodologia para obter os parâmetros de capacitância dos transistores FDSOI usando o método “C-V dividido”. Esta metodologia pode ser usado para caracterizar diodos SOI controlados por porta e FDSOI dos tipos ‘N’ e ‘P’.

Um problema durante o processo de fabricação de um transistor FDSOI é a variabilidade. A variabilidade no comprimento do canal, na espessura do óxido e na zona de dopagem leve no dreno são críticas. Esta variabilidade aumenta a probabilidade de existência de Injeção de Portadores Quentes (*Hot-Carrier Injections* ou HCI). O modelo mostrado em (ARFAOUI et al., 2014) prediz a tendência de degradação da corrente I_d nos FDSOI devido aos efeitos de HCI. Esta variação Δ pode-se expressar da seguinte forma:

$$\left\{ \begin{array}{l} \Delta = A \cdot t^n \cdot e^{(B(V_d - V_{d(sat)}))} \cdot (V_g - V_{th})^p \\ V_{d(sat)} = \frac{\frac{2(V_g - V_{th})}{m}}{1 + \sqrt{1 + \frac{2(V_g - V_{th})}{mF_C(L)}}} \end{array} \right. \quad (2.37)$$

O Plano Traseiro nos FDSOI (*Back Plane* ou BP) é um processo adicional que dopa uma camada curta do substrato do transistor por baixo do BOX, igual ao mostrado na figura 2.3, fornece a vantagem de controle sob o valor de V_{th} no processo de fabricação (THOMAS et al., 2010). Isto poderia ser utilizado para controlar a variabilidade que expõe (ARFAOUI et al., 2014) devido ao controle da mobilidade (BEN-AKKEZ et al., 2013).

2.2 Modelagem dos Single-Event Effects

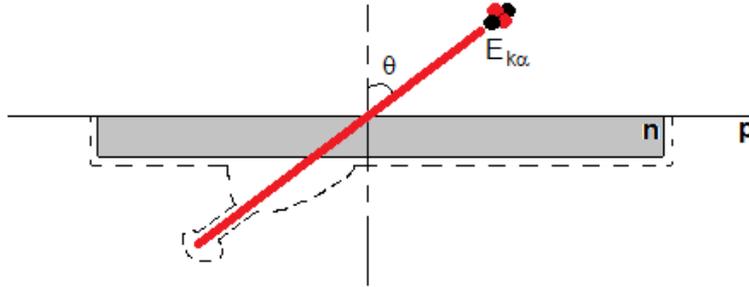
2.2.1 Nível Dispositivo

O meio ambiente espacial é composto por muitas partículas geradas pela atividade tanto solar, cósmica ou terrestre (MESSENGER, 1982; KASTENSMIDT; CARRO; REIS, 2006). Estas partículas podem ser de dois tipos: partículas carregadas (como os elétrons, prótons e íons pesados) e radiação eletromagnética (formada por fótons como raios X ou Gamma). Quando uma destas partículas carregadas atravessa o silício de um chip, ela perde energia devido à produção de pares elétron-lacuna. Os prótons e nêutrons também podem causar reações nucleares e ionizar o silício da mesma maneira. Este efeito ioniza o silício no trajeto percorrido pela partícula carregada que é ilustrado na figura 2.7. Em resumo, pode-se descrever o mecanismo básico de um transiente devido a uma partícula, em três estágios no tempo: (1) Deposição de Carrega, (2) Transporte de carga e (3) Coleção de carga (MUNTEANU; AUTRAN, 2008). De acordo com (ALEXANDER, 2003), estes fenômenos são devidos à geração de foto-correntes no silício quando a radiação bate sobre ele (CALIENES; REIS, 2011).

As cargas criadas pelo impacto destas partículas variam dependendo do tipo de partícula, do ângulo de incidência e do local de impacto (MESSENGER, 1982). Estas cargas causam uma corrente adicional transiente $I_p(t)$ e uma carga anômala Q_p na estrutura do silício. A modelagem dessa corrente transitória é descrito pelas seguintes equações:

$$I_p(t) = I_0 (e^{-t/\tau_F} - e^{-t/\tau_R}) \quad (2.38a)$$

Figura 2.7: Partícula Alfa de energia $E_{k\alpha}$ batendo em uma superfície do Silício n-p inversamente polarizada em um angulo de impacto θ . A linha pontilhada representa o campo elétrico da união metalúrgica.



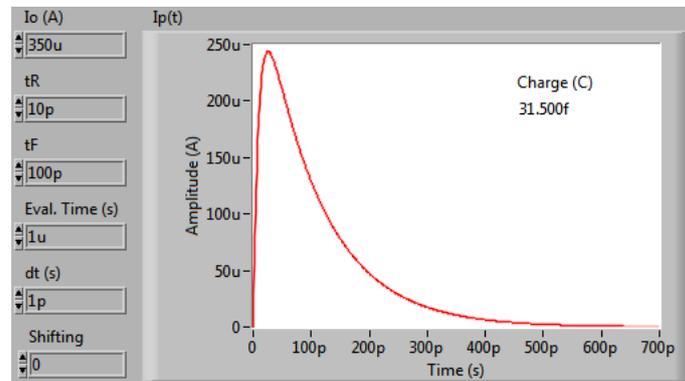
Fonte: Os Autores.

$$Q_p = \int_0^{\infty} I_p(t) dt = I_0(\tau_F - \tau_R) \quad (2.38b)$$

$$I_{tpeak} = I_0 \left(e^{\left[\frac{\tau_R \ln(\tau_R/\tau_F)}{\tau_F - \tau_R} \right]} - e^{\left[\frac{\tau_F \ln(\tau_R/\tau_F)}{\tau_F - \tau_R} \right]} \right) \quad (2.38c)$$

onde I_0 é a máxima corrente entregue pelas cargas, τ_F é a constante de tempo de coleção de cargas na junção, τ_R é a constante de tempo para estabelecer a trilha do íon pesado e I_{tpeak} é a corrente máxima que tem o transiente $I_p(t)$. Na figura 2.8 é mostrada a corrente $I_p(t)$ para $I_0=350\mu A$, $\tau_R=10ps$ e $\tau_F=100ps$. Os termos da equação (2.38a), de acordo com (MESSENGER, 1982) podem ser desenvolvidos da seguinte maneira:

Figura 2.8: Simulação de um transiente de corrente usando (2.38a) e (2.38b). A carga equivalente deste é 31.5fC aproximadamente.



Fonte: (CALIENES; REIS, 2011).

$$I_0(t) = q \bar{\mu} N E_0 \sec \theta \quad (2.39a)$$

$$\tau_F = \left[\bar{\mu} \frac{dE}{dX} \right]^{-1} \quad (2.39b)$$

onde $q = 1.602 \times 10^{-19} \text{C}$ é a carga do elétron, $\bar{\mu}$ é a mobilidade média que depende do campo elétrico E (que depende além da concentração de dopantes N_D e N_A e da temperatura T (KANO, 1998)), N é a densidade linear do pares elétron-lacuna gerados (em cm^{-1}), E_0 é o campo elétrico inicial na junção n-p (posição $X = 0$), θ é o ângulo de impacto da partícula e dE/dX é o gradiente do campo elétrico respeito da posição. A densidade linear dos pares elétron-lacuna N depende da Transferência Linear de Energia Absoluta da partícula (LET) dada em MeV/cm (HOLBERT, 2012). O LET depende da energia da partícula $E_{k\alpha}$:

$$N = G = \frac{\text{LET}}{E_{\text{gSi}}} \quad (2.40)$$

onde $E_{\text{gSi}} = 3.6 \text{eV}$ é a energia necessária para criar um par elétron-lacuna no silício. Define-se Transferencia Linear de Energia Relativa ao material de uma partícula dada em MeV-cm²/mg como:

$$\text{LET}_M = \frac{\text{LET}}{\rho_M} \quad (2.41)$$

onde ρ_M é a densidade volumétrica do material que a partícula ou radiação vai atravessar e tem por unidades mg/cm³. Em particular, a densidade do silício é $\rho_{\text{Si}} = 2329 \text{mg/cm}^3$. É possível aproximar a densidade linear de carga depositada no material pelo transiente com o LET relativo: $1 \text{pC}/\mu\text{m} = 96.525 \text{MeV-cm}^2/\text{mg}$ no Silício (NASEER, 2008; MUNTEANU; AUTRAN, 2008).

Além da corrente transiente gerada, pode-se observar o efeito do afunilamento (*funneling*), que consiste na deformação do campo elétrico da junção metalúrgica inversamente polarizada da figura 2.7. Este fenômeno foi estudado em (HSIEH; MURLEY; O'BRIEN, 1981a) onde o campo elétrico e a tensão das linhas de força do campo diminuem com a profundidade. A modelagem mostrada em (MESSENGER, 1982) indica que este efeito do afunilamento do campo elétrico é modelado com uma Integral Elíptica do Primeiro Tipo Definida. Os estudos feitos por (SHANFIELD et al., 1987) sobre dispositivos de Silício e Arseneto de Gálio demonstram que os processos dinâmicos de coleta

de cargas (HSIEH; MURLEY; O'BRIEN, 1981b) acontecidos durante o efeito do afunilamento ainda não podem ser modelados e que este efeito também depende do ângulo de incidência da partícula. Mas foi desenvolvido um modelo mais simples para a representação do campo elétrico durante o o efeito do afunilamento em (MUSSEAU, 1991), o qual pode-se modelar da seguinte forma em função da longitude de trilha t_z percorrida pela partícula dentro do silício:

$$E(t_z) = E_0 e^{-\frac{qN_A M}{\varepsilon_{\text{si}}} t_z} \quad (2.42)$$

onde ε_{si} é a permissividade do silício, $M = \mu_n \mu_p / (\mu_n + \mu_p)$, μ_n é a mobilidade dos doadores e μ_p é a mobilidade dos aceitadores.

O LET do íon tem forte relação com o raio e alcance do mesmo na matéria (TOMBRELLO, 1993). Os íons mais pesados com LETs maiores tem uma trilha uniforme e constante na matéria, onde o raio característico da trilha a (Å) pode ser modelado como:

$$a = 9.2 \frac{\text{LET}^{0.578}}{\epsilon^{0.156}} \quad (2.43)$$

onde ϵ é a energia do íon dividido pela masa do íon (MeV/amu) e a unidade do LET é definida em (2.43) como keV/nm. Todos os testes foram feitos usando vários tipos de íons que foram usados para impactar um alvo de $\text{Y}_3\text{Fe}_5\text{O}_{12}$ (TOMBRELLO, 1993; TOMBRELLO, 1994).

Com os dados coletados de todas as experiências, foram desenvolvidas técnicas de predição destas falhas, como é o caso de (SRINIVASAN; TANG; MURLEY, 1994) que desenvolveu um método de modelagem preditivo das falhas ocasionadas por partículas dos núcleos atômicos contidos nos raios cósmicos baseado no Método Montecarlo.

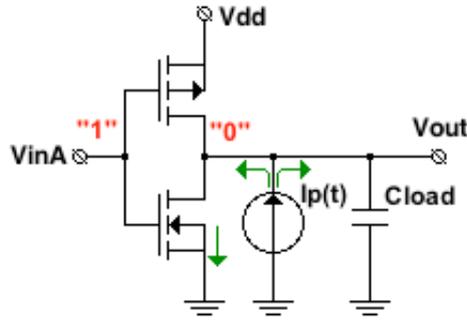
2.2.2 Nível Circuito

O SPICE é o simulador elétrico mais usado para simular circuitos eletrônicos e esta baseado no Algoritmo de Nodo de Corrente ou Analise Nodal (HO; RUEHLI; BRENNAN, 1975). Este algoritmo converte o circuito descrito em texto em uma matriz e resolve uma equação linear que é criada a partir da lei de Correntes de Kirchoff (CALIENES; REIS, 2011).

Para o caso da simulação de SETs num circuito descrito no SPICE, deve-se usar

a análise transitório do simulador para poder obter o resultado da simulação ao longo do tempo de simulação (NENZI; VOGT, 2010; SYNOPSIS, 2005) e inserir uma fonte de corrente transiente tipo exponencial aos transistores afetados. Na figura 2.9 pode-se ver esta modelagem a nível SPICE do SET sobre o transistor PMOS de uma porta Inversora (WIRTH; VIEIRA; KASTENSMIDT, 2007). Este método tem o inconveniente de demandar a escrita dos transientes um a um no *netlist* SPICE, além de que serve para inserir SETs só nas redes *pull-up* das porta CMOS e quando o sinal de saída está no nível baixo para o caso da figura 2.9.

Figura 2.9: Simulação a nível SPICE do mecanismo de deposição de cargas. A modelagem do efeito usa uma fonte transiente baseada na equação (2.38a).



Fonte: Adaptado de (WIRTH; VIEIRA; KASTENSMIDT, 2007).

Para este caso é possível saber a tensão na saída do inversor $V_{out} = V(t)$ da figura 2.9, assumindo a R_n como a resistência do transistor NMOS quando está ligado, que τ_R é muito pequeno e que a carga capacitiva é $C_{load} = C_L$:

$$V(t) = \frac{I_0 \tau_F R_n}{\tau_F - R_n C_L} (e^{-t/\tau_F} - e^{-t/R_n C_L}) \quad (2.44)$$

É possível obter o tempo em que a tensão $V(t)$ chega até o máximo valor t_{peak} derivando a equação (2.44) e igualando-a a zero:

$$t_{peak} = \frac{\tau_F R_n C_L \ln(\tau_F / R_n C_L)}{\tau_F - R_n C_L} \quad (2.45)$$

O valor da tensão de pico na saída do circuito é obtido substituindo (2.45) na equação (2.44):

$$V_{peak} = \frac{I_0 \tau_F R_n}{\tau_F - R_n C_L} \left(\left(\frac{\tau_F}{R_n C_L} \right)^{R_n C_L / (R_n C_L - \tau_F)} - \left(\frac{\tau_F}{R_n C_L} \right)^{\tau_F / (R_n C_L - \tau_F)} \right) \quad (2.46)$$

Então, a mínima carga injetada Q_C ($Q_C = I_0\tau_F$) para obter um pulso de tensão transiente de valor máximo V_{peak} é de:

$$Q_C = \frac{V_{peak}(\tau_F - R_n C_L)}{R_n [(\tau_F/R_n C_L)^{R_n C_L/(R_n C_L - \tau_F)} - (\tau_F/R_n C_L)^{\tau_F/(R_n C_L - \tau_F)}]} \quad (2.47)$$

Olhando o comportamento assintótico de (2.47) o modelo pode ser simplificado (WIRTH; VIEIRA; KASTENSMIDT, 2007) ainda mais:

$$Q_C = V_{peak} C_L + (V_{peak}/R_n)\tau_F \quad (2.48a)$$

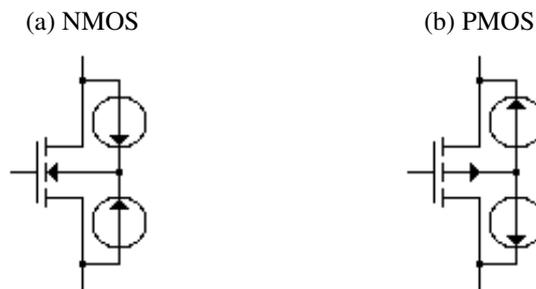
$$T_D = t_{peak} - R_n C_L \ln \left(\frac{V_{dd}/2}{V_{peak}} \right) - \tau_F \ln \left(\frac{V_{dd}/2}{V_{peak}} \right) \quad (2.48b)$$

$$V_{peak} = \frac{I_0 \tau_F R_n}{\tau_F + R_n C_L} \quad (2.48c)$$

onde T_D é o tempo de duração do pulso transiente. A equação (2.48c) é mais eficiente computacionalmente que (2.46). Este modelo de V_{peak} é mais simples que o modelo de V_{max} mostrado por (DAHLGREN; LIDEN, 1995).

A patente de (KLEINOSOWSKI et al., 2009) fala de uma modificação da forma de inserir as fontes pulsos de corrente transiente. Eles propõem o uso de duas fontes de corrente modeladas por (2.38a) entre dreno e substrato e entre fonte e substrato para simular os *soft-errors* de circuitos de memória de forma mais precisa. Este modelo é mostrado na figura 2.10, tanto para transistores NMOS como para PMOS.

Figura 2.10: Modelo SET de Duas Fontes.



Fonte: Adaptado de (KLEINOSOWSKI et al., 2009).

Atualmente, devido ao avanço tecnológico, a modelagem e injeção de falhas transientes no SPICE deve ser mudada. Devido a mudança de comportamento do pulso tran-

siente em tecnologias por abaixo dos 90nm, este já não pode ser modelado com (2.38a). Agora, em vez de usar uma fonte exponencial deve-se usar uma fonte linear contínua a troços para modelar os pulsos transientes em tecnologias *sub-micron* (TUROWSKI et al., 2008; ARTOLA et al., 2010).

2.3 Simulação do Transistor CMOS Bulk e dos efeitos dos SEEs em dispositivos e circuitos

Os transistores Bulk foram os primeiros transistores criados usando um capacitor MOS e causaram uma revolução na indústria dos dispositivos semicondutores e na microeletrônica (RABAEY; CHANDRAKASAN; NICOLIĆ, 2003; CAMPANA, 2012).

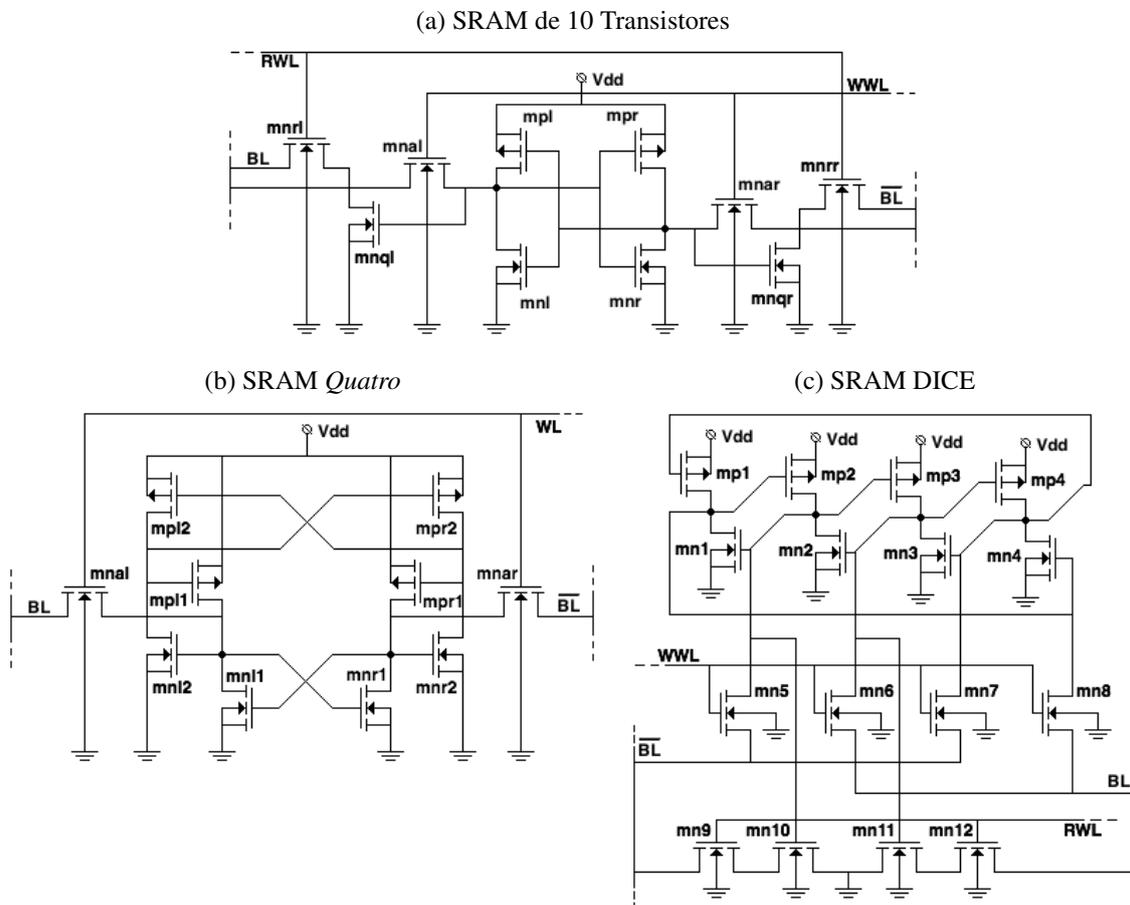
As primeiras simulações de SET e SEU em dispositivos e circuitos CMOS Bulk foram feitas usando SPICE, mas apenas foi possível simular a corrente transiente (MESSENGER, 1982) causada pelo impacto de partículas nas juncturas inversamente polarizadas (WIRTH; VIEIRA; KASTENSMIDT, 2007). Os efeitos de SET e SEU em circuitos analógicos, conversores analógicos-digitais $\Sigma\Delta$ e circuitos FPAAs baseados em SRAMs feitos com dispositivos CMOS Bulk de 90nm foram relatados em (LUBASZEWSKI et al., 2007). As primeiras simulações feitas usando simuladores TCAD em 2D e 3D são relatadas em (ANGHEL et al., 2007), usando modelos numéricos de íons pesados, onde o íon pesado é modelado por colunas de pares elétron-lacuna com uma trilha tipo eixo e distribuição de tempo gaussiana. Para tecnologias de 90nm, o transiente de corrente produzido pelo impacto coincide com o modelo descrito em (2.38a).

Em (PONTES; CALAZANS; VIVET, 2012) é proposta uma metodologia de desenho para modelos de SEEs não permanentes que pode ser aplicado a nível sistema. Os SEE são caracterizados, modelados e simulados no desenho digital usando ferramentas comerciais. O teste desta metodologia foi feito em um processador criptográfico desenhado com tecnologia Bulk de 32nm. Testes de impactos de íons pesados feitos em ASICs Bulk de 65nm para processamento digital de sinais a baixa tensão de alimentação foram relatados em (CHEN; KNAG; ZHANG, 2014). Estes ASICs foram projetados com técnicas para fazer eles mais tolerantes aos SEE.

Em (WU et al., 2015) foram feitas simulações TCAD para validar os experimentos feitos em laboratório de SEEs em células SRAM de 6 e 10 transistores Bulk de 65nm, além de células DICE e *Quatro* feitas com o mesmo tipo de dispositivo. Foi descoberto que as células *Quatro* tem mais resistência aos SEE que as SRAM de 10 transistores. A

figura 2.11 mostra estes outros tipos de células SRAM.

Figura 2.11: Diferentes tipos de células SRAM.



Fonte: Adaptado de (WU et al., 2015).

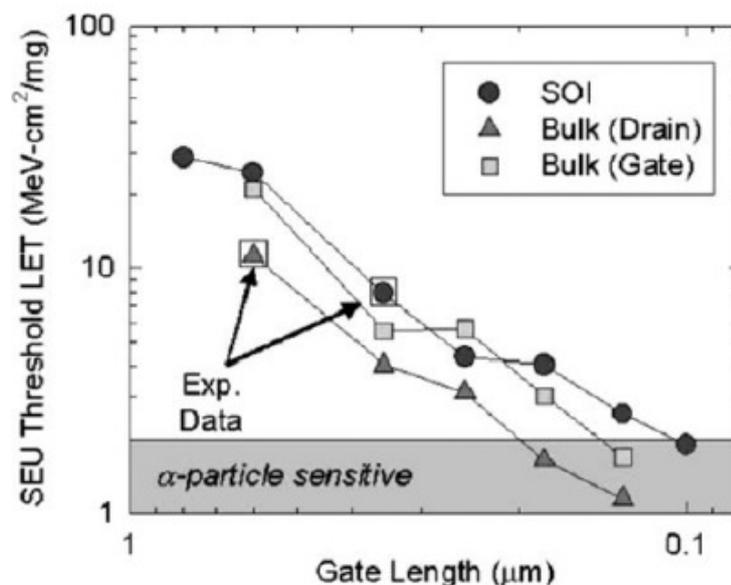
2.4 Simulação do FDSOI e dos efeitos dos SEEs em dispositivos

O PDSOI foi o primeiro dispositivo SOI a ser desenvolvido, e foi o primeiro a ser testado em ambientes radiativos. Em (FERLET-CAVROIS et al., 2006) foram descritos os testes de laboratório feitos com impactos de íons pesados em dispositivos PDSOI e Bulk de diferentes nós tecnológicos: desde $0.25\mu\text{m}$ até 70nm , para depois fazer uma análise estatística com os dados obtidos.

Estudos do SEE sob dispositivos de óxido enterrado com modelos alternativos ao modelo *Drift-Diffusion* são mostrados em (MUNTEANU; AUTRAN, 2008) para tecnologias micrométricas. Também é apresentado um estudo da sensibilidade ante o SEU dos circuitos SRAM 6T projetados com dispositivos PDSOI e Bulk de nós de até 100nm , o

qual é mostrado na figura 2.12. Também é relatado certos cuidados que deve-se ter quando são usadas simulações TCAD com circuitos de tecnologias sub micrométricas no uso dos níveis de simulação.

Figura 2.12: Limiar de LET simulado vs. Comprimento da porta L de células SRAM de 6 Transistores. As Tecnologias usadas são Bulk e PDSOI.



Fonte: (MUNTEANU; AUTRAN, 2008).

Em (KRASUKOV; MANSUROV, 2009) é apresentado o uso de um simulador TCAD para projetar um PDSOI e estudar o efeito de Dose Total de Radiação sob ele. O objetivo desse estudo foi o quanto os amplificadores baseados em PDSOI poderiam suportar os efeitos radiativos. Estes amplificadores foram desenvolvidos para trabalhar a frequências maiores que 2GHz.

Em (THOMAS et al., 2010) foi feito um estudo do desempenho dos UTBB FDSOI de multipla voltagem de limiar V_{th} . Falou-se da compatibilidade destes processos de fabricação com a tecnologia de fabricação FDSOI padrão e dos benefícios de ter um canal sem dopagem. Foram feitas simulações TCAD para testar a performance dos circuitos digitais feitos com estes dispositivos FDSOI de 32nm multi- V_{th} .

Em (ALLES et al., 2011) são apresentadas as considerações para uma análise quantitativa dos SEE em dispositivos com óxido enterrado e as vantagens dos dispositivos SOI frente aos dispositivos Bulk. Também são apresentadas comparações preliminares de parâmetros de dispositivos Bulk e SOI de nós tecnológicos sub micrométricos. É necessário caracterizar as tecnologias de dispositivos experimentalmente e desenvolver modelos para os mecanismos devido aos efeitos da radiação.

Em (YAU et al., 2011) é descrito como os dispositivos FDSOI (fabricados em wafers de $T_{Si} = 40\text{nm}$ e $T_{BOX} = 145\text{nm}$) podem ser usados como medidores de dose D_{rad} para vários tipos de radiação (partículas alfa, raios-X, prótons, etc.). Para isso, são usadas as variações da tensão do limiar ΔV_{th} do dispositivo causadas pelas cargas presas nas interfaces do BOX. Esta carga pode ficar no dispositivo até por 90 dias. Este tipo de medidor de dose tem uma sensibilidade de $617\text{mV}/10^{18}\text{cm}^{-3}\text{-nm}$ com um $t_{ox} = 3\text{nm}$. A espessura do óxido enterrado T_{BOX} , a espessura do óxido de porta t_{ox} , a espessura da camada do silício no canal T_{Si} , a constante dielétrica do óxido da porta ε_{ox} e a característica de dependência da carga respeito do campo elétrico no silício $f(E)$ são parâmetros usados para ajustar e otimizar a sensibilidade deste medidor de dose, o qual é mostrado na tabela 2.2 de forma resumida. O modelo de $|\Delta V_{th}|$ apresentado aqui é mais simples que o apresentado em (BANNA et al., 1995).

Tabela 2.2: Resumo dos Parâmetros Estruturais e Materiais para otimizar a sensibilidade do Medidor de Dose FDSOI.

	Estrutura	Material
Para Incrementar	$t_{ox}, T_{BOX} \uparrow$	$f(E) \uparrow$
$\Delta V_{th}/D_{rad}$	$T_{Si} \downarrow$	$\varepsilon_{ox} \downarrow$

Fonte: (YAU et al., 2011).

Um modelo compacto de corrente transiente devido aos impactos de íons pesados em MOSFETS PDSOI sub-micrométricos foi apresentado em (ALVARADO et al., 2011; ALVARADO et al., 2012). O modelo foi validado com resultados experimentais em dispositivos de 150nm e 130nm. Este modelo de corrente transiente I_{SEU} foi projetado em Verilog-A e está baseado nas seguintes equações:

$$I_{SEU} = \pi r^2 (J_n + J_p) \quad (2.49a)$$

$$J_n = qD_n \nabla \rho_n(LET, r, T_{Si}, t) + q\rho_n(LET)\mu_n E \quad (2.49b)$$

$$J_p = -qD_p \nabla \rho_p(LET, r, T_{Si}, t) + q(N_A + \rho_p(LET))\mu_p E \quad (2.49c)$$

$$E = \sqrt{\frac{2v_{sat}}{\phi_T L \mu_{eff}} (q_S - q_D)} \quad (2.50)$$

$$\mu_{eff} = \frac{\mu_0}{1 + \alpha_{ox}qN_{ox}C_{ox}^{-1} + \alpha_{it}qN_{it}C_{ox}^{-1}} \quad (2.51)$$

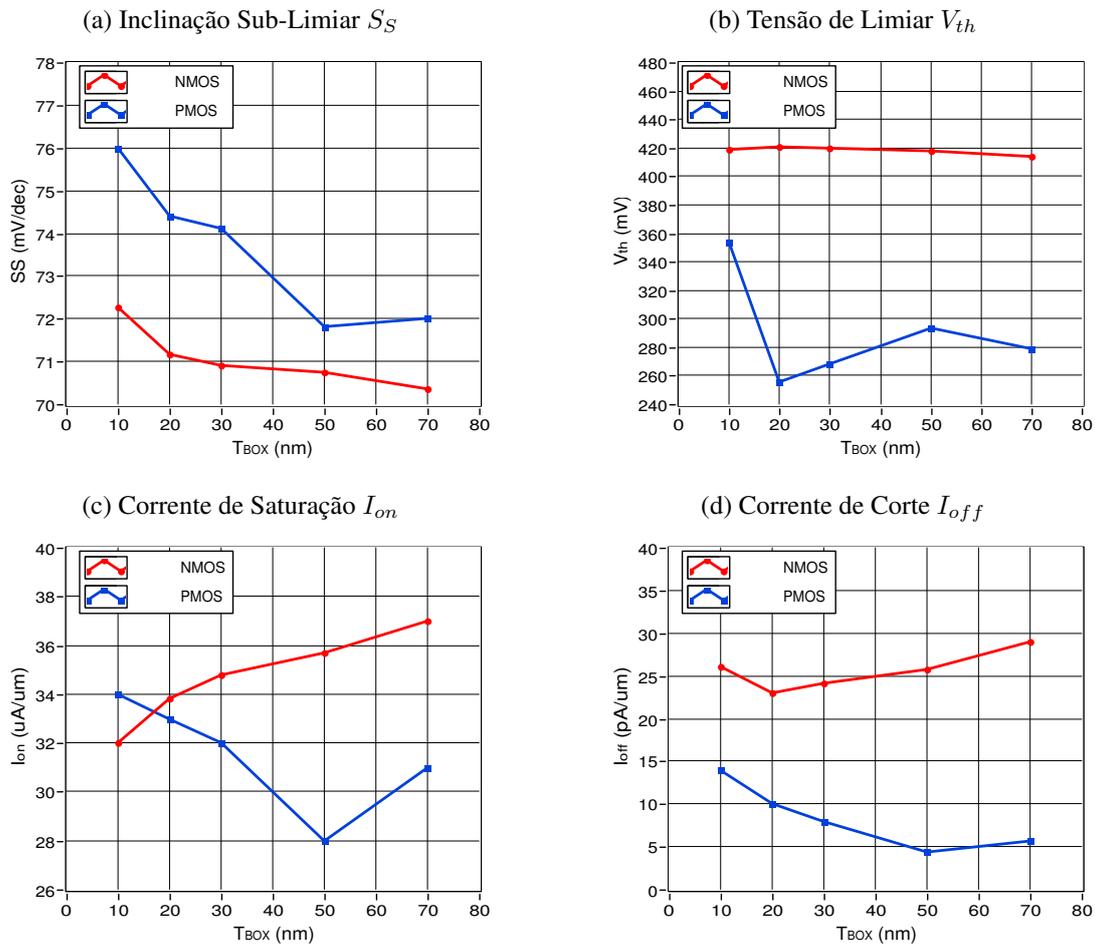
onde r é o raio da trilha do íon que gera o transiente, J_n e J_p são as densidades de corrente de elétrons e lacunas respectivamente para o caso do transistor N-FET, μ_n e μ_p são as mobilidades de elétrons e lacunas, D_n e D_p são os coeficientes de difusão de elétrons e lacunas, N_A é a concentração de aceitadores na camada do corpo do dispositivo, $\rho(LET)$ é a densidade de pares elétron-lacuna gerados pela trilha do íon pesado que depende do LET, $\nabla\rho_n$ e $\nabla\rho_p$ são as gradientes das densidades de pares elétron-lacuna, E é o campo elétrico, v_{sat} é a velocidade de saturação, ϕ_T é a tensão térmica, L é o comprimento do canal, q_S e q_D são a carga invertida normalizada das terminais de Fonte e Dreno respectivamente, μ_{eff} é a mobilidade efetiva no canal do transistor, N_{ox} é a quantidade de carga positiva no óxido da terminal de Porta, N_{it} são os estados de interfase da camada fina do óxido da Porta, e α_{ox} e α_{it} são valores para quantificar os efeitos das cargas no óxido da porta e na interfase respectivamente (SCHRIMPF, 2007; PAUCAR; SILVA, 2011).

Foram feitos testes em laboratório de impacto de íons pesados com diferentes LETs em células standard de tecnologia PDSOI de 45nm. Os resultados foram comparados com simulações TCAD em 3D e os resultados foram mostrados em (LOVELESS et al., 2012). Também foram feitos testes com impactos em ângulo de 52°. Neste caso, as incertezas devidas a velocidade dos pulsos transientes foram removidas pelo uso de um circuito de auto teste feito com a mesma tecnologia.

Em (SHARMA; BAISHYA, 2014) foi feita uma extração de parâmetros de um UTBB FDSOI usando um simulador TCAD. Para este caso foram usados os métodos mostrados no anexo B. A figura 2.13 mostra a extração do S_S , V_{th} , I_{on} , I_{off} com diferentes espessuras do óxido enterrado T_{BOX} , e na figura 2.14 é mostrado a extração dos mesmos parâmetros variando o comprimento de canal L_g de um FDSOI com $T_{BOX}=10\text{nm}$ e uma tensão $V_{dd}=0.9\text{V}$. Não foram explicados detalhes sobre a variação destes parâmetros.

Na figura 2.13a é mostrado o Inclinação Sub-Limiar S_S do dois dispositivos FD-SOI: NMOS e PMOS. Pode-se ver como o S_S cai quando o T_{BOX} vai aumentando. No caso da tensão de limiar V_{th} da figura 2.13b, o NMOS tem um valor de V_{th} quase constante (perto dos 420mV), algo que não acontece com o PMOS que tem um V_{th} menor que o NMOS (menor que 355nV) e não é constante quando o T_{BOX} varia. A Corrente de Saturação I_{on} dependente do T_{BOX} é apresentada na figura 2.13c; no caso do NMOS I_{on} aumenta quando T_{BOX} aumenta, mas para o PMOS I_{on} diminui quando T_{BOX} aumenta. A

Figura 2.13: Extração de Parâmetros de diferentes tecnologias de *wafer* FDSOI.



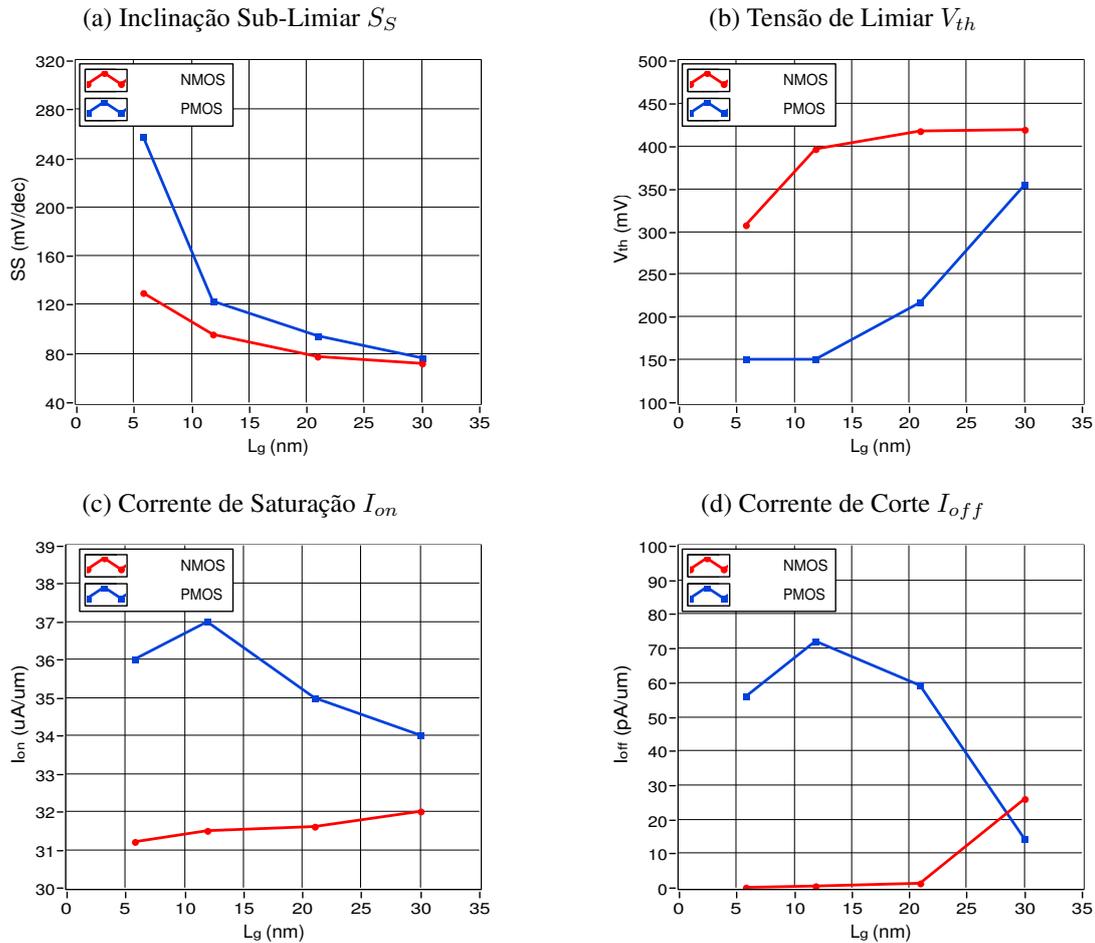
Fonte: Dados adaptados de (SHARMA; BAISHYA, 2014).

figura 2.13d apresenta a Corrente de Corte I_{off} vs. T_{BOX} ; neste caso a variação do NMOS vai desde $23\text{pA}/\mu\text{m}$ até $29\text{pA}/\mu\text{m}$ e para o PMOS vai desde $4\text{pA}/\mu\text{m}$ até $14\text{pA}/\mu\text{m}$.

A figura 2.14a apresenta a característica extraída S_S vs. L_g para os FDSOI NMOS e PMOS com $T_{BOX}=10\text{nm}$ e $V_{dd}=0.9\text{V}$; para os dois dispositivos o S_S diminui quando o valor de comprimento da porta L_g aumenta. A variação de V_{th} vs. L_g dos dispositivos estudados em (SHARMA; BAISHYA, 2014) é mostrada na figura 2.14b; aqui a tendência do V_{th} é de aumentar quando o L_g aumenta. Enquanto para a variação da Corrente de Saturação mostrada na figura 2.14c, no caso do NMOS o I_{on} aumenta lentamente quando o L_g aumenta, mas para o caso do PMOS o I_{on} diminui rapidamente. No caso do I_{off} vs. L_g mostrada na figura 2.14d, acontece algo parecido com o caso do I_{on} vs. L_g da figura 2.14c.

Também foram simulados os efeitos da baixa temperatura nos dispositivos FDSOI. O trabalho de (KARSENTY; CHELLY, 2014) usando o simulador TCAD “Csupreme”

Figura 2.14: Extração de Parâmetros para um FDSOI de $T_{BOX}=10\text{nm}$ e $V_{dd}=0.9\text{V}$.

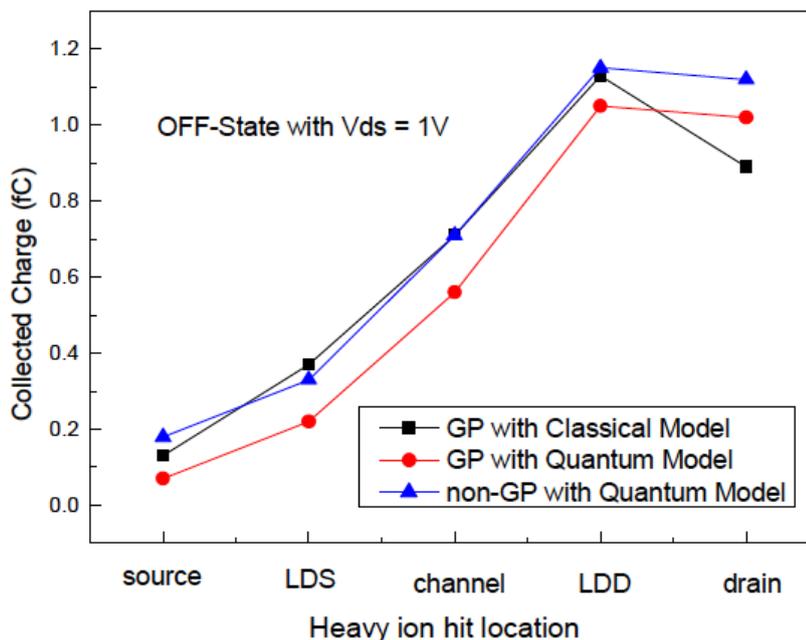


Fonte: Dados adaptados de (SHARMA; BAISHYA, 2014).

demonstra que o desempenho do FDSOI desce quando tem-se temperaturas perto dos 77K devido ao aumento de resistência no dispositivo. Também fala da invalidade da função “Y” de capacitância (AKKEZ et al., 2012) para dispositivos com corpos de escalas nanométricas abaixo dos 300K.

Em (BI et al., 2013) foram simulados impactos de nêutrons em dispositivos FDSOI com e sem Planos Traseiros (GP) usando modelos de corrente *Drift-Diffusion* e Quântico. O simulador usado foi um TCAD e os dispositivos foram projetados em duas dimensões. Os impactos foram feitos em 5 locais diferentes de cada dispositivo e perpendiculares às suas respectivas superfícies de impacto. Conclui-se que o dreno é a parte mais sensível do dispositivo, que o pico transiente depende da polarização do substrato do transistor e que os FDSOI com Planos Traseiros tem menor Carga Coletada depois do impacto. A figura 2.15 apresenta a Carga Coletada em 3 diferentes simulações e em lugares de impacto diferentes. Cada uma destas 3 simulações corresponde a um tipo de modelo

Figura 2.15: Carga Coletada vs. Local de Impacto do nêutron.



Fonte: (BI et al., 2013).

e condição diferente: Modelo Classico Deriva-Difusão com camada de Plano Aterrado (em inglês *Ground Plane* ou GP, o qual é o mesmo que o BP), Modelo Quântico com a camada GP e Modelo Quântico sem a camada GP. É possível observar a diferença na carga coletada quando é definida uma camada GP (ou BP): quando é definida um GP do tipo n de $1 \times 10^{-18} \text{cm}^{-3}$ (para este caso particular) a carga coletada é menor em todos os casos de impacto vertical dos íons. O modelo Quântico também foi usado em (NGUYEN et al., 2014) para estudar a mobilidade dos portadores nos dispositivos FDSOI High-K de pilas de óxidos múltiplos usando para o cálculo de resultados funções de Green não equilibradas.

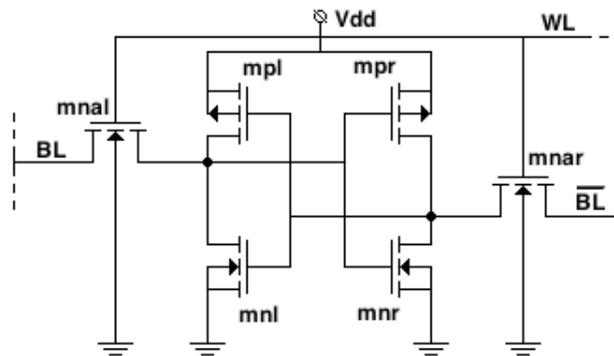
Em (BI et al., 2014) foram feitas melhorias em relação aos testes feitos em (BI et al., 2013). Neste caso, o FDSOI foi projetado em 3 dimensões, mas foram feitas algumas variações na estrutura, como mudar a forma dos separadores de nitrido para conseguir a convergência das simulações no Sentaurus TCAD. Também os impactos de íons pesados simulados foram feitos verticalmente em 10 locais diferentes do dispositivo. O íon pesado tinha um LET de $50 \text{MeV-cm}^2/\text{mg}$.

2.5 Células SRAM de 6 transistores Sub-Micrométricas

O primeiro relato conhecido de SRAMS de 6 transistores foi feito no ano 1974 pela RCA, de acordo com (DINGWALL; STRIEKER, 1974). A SRAM desenvolvida foi de 1024 bit de alta densidade. Foram usados 75000 transistores MOS total em uma área de 0.134×0.168 polegadas quadradas.

Para garantir a confiabilidade da SRAM e a estabilidade dos dados armazenados durante a leitura é necessário que as margens de ruído de leitura e escrita sejam as adequadas (LIST, 1986). Para quantizar os efeitos das margens de ruído para a SRAM de 6 transistores pode-se usar o método mostrado no anexo C.

Figura 2.16: Célula de Memória SRAM de 6 Transistores



Fonte: Adaptado de (LIST, 1986) e (RABAEY; CHANDRAKASAN; NICOLIĆ, 2003)

Em (KUMAR et al., 2010) é apresentado um estudo da influência das dimensões dos transistores da célula SRAM 6T usando o nó tecnológico de 130nm. A margem de ruído da célula projetada é diretamente proporcional ao quociente entre os W/L dos transistores de DRIVER **mnl** e de ACCESS **mna1** da figura 2.16, isso é conhecido como o *Cell Ratio CR* da célula de memória (RABAEY; CHANDRAKASAN; NICOLIĆ, 2003):

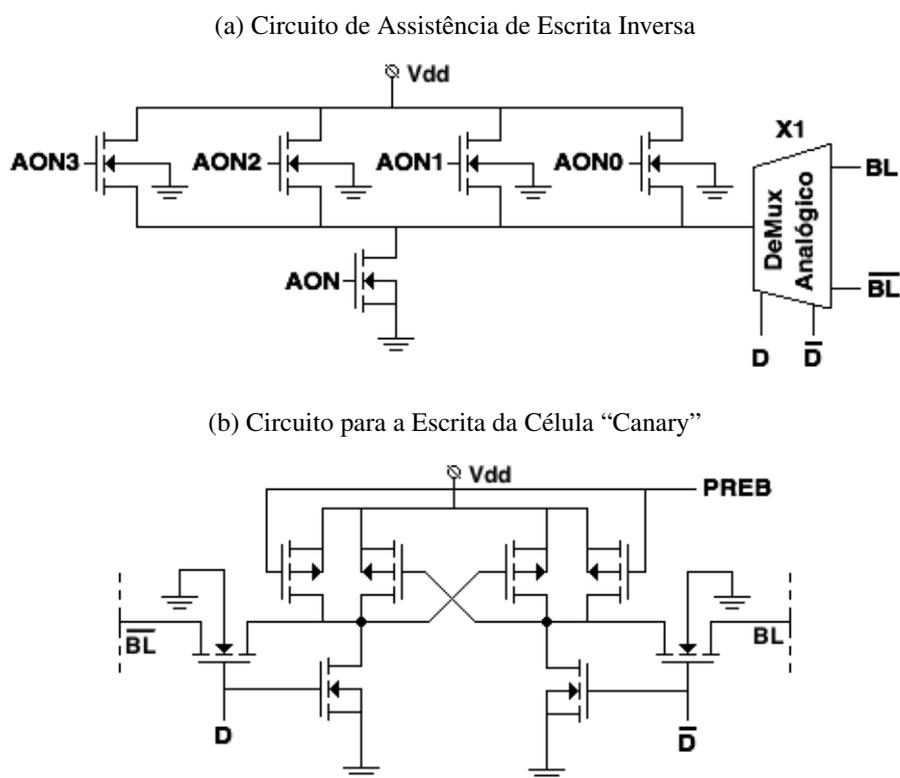
$$CR = \frac{(W/L)_{mnl}}{(W/L)_{mna1}} \quad (2.52)$$

Para circuitos abaixo dos 90nm, o problema da corrente de fuga é crítico para os sistemas, essencialmente para os sistemas de comunicação portáteis e médicos, onde é necessário tensões baixas e baterias menores. Em (BIRLA et al., 2010) foi relatada a simulação de uma célula SRAM 6T projetada para ter baixa corrente de fuga. Com isso, foi modelada a Corrente Total de Fuga nos dispositivos destes circuitos de memória. São relatadas os três componentes da corrente total de fuga: Fuga por Tunelamento das

Junções, Fuga Sub-Limiar e Fuga por Tunelamento na Terminal de Porta.

Devido a que a escrita em uma SRAM 6T é mais sensível a falhas que a leitura a tensões muito pequenas, nos trabalhos (BANERJEE et al., 2014; BANERJEE; BREIHOLZ; CALHOUN, 2015) é pesquisado e desenvolvido o método de assistência a escrita inversa mediante o uso de circuitos SRAM “Canary” para conseguir rastrear a tensão dinâmica, envelhecimento e variações de temperatura. A tecnologia usada para este caso foi 130nm. A Figura 2.17 mostra partes da implementação do circuito de teste desse tipo de célula: o circuito de escrita e o circuito de assistência de escrita inversa.

Figura 2.17: Circuitos de Teste da Célula SRAM Canary.

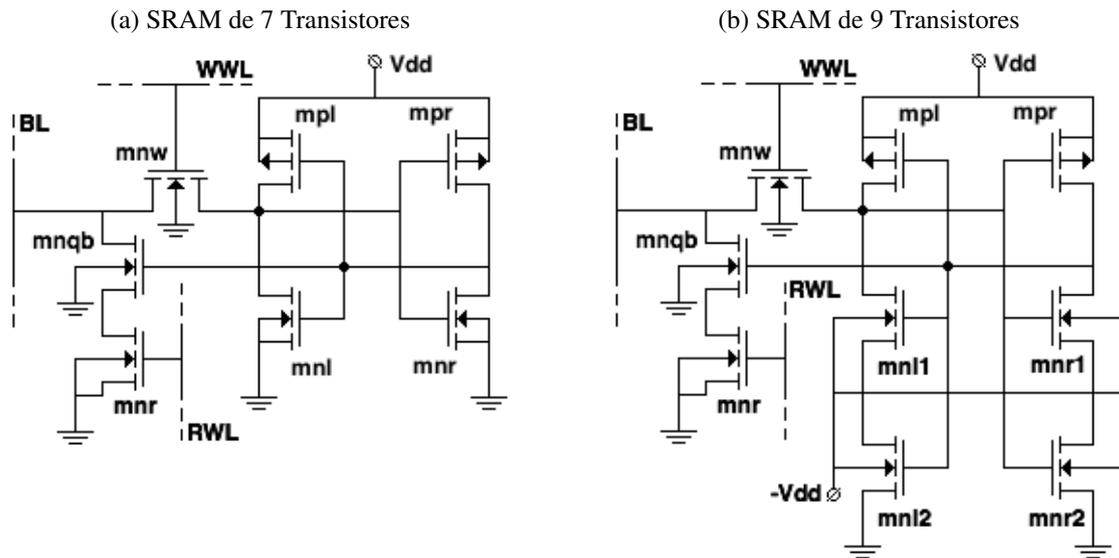


Fonte: Adaptado de (BANERJEE et al., 2014).

Em (GOMASE; TIJARE; KAKDE, 2015) foi feita uma análise por simulação da redução do consumo de energia das células SRAM de 6, 8 e 12 transistores em tecnologias sub-micrométricas. A análise de potência foi feita a distintas temperaturas nos casos de leitura e escrita usando o nó tecnológico de 50nm. Neste caso a célula SRAM 12T é a que mais consome em todos os casos.

Uma célula SRAM de 9 transistores foi proposta em (ROHIT; SAINI, 2015), a qual aproveita a região sub-limiar dos transistores para poupar consumo de energia. Para conseguir isso, é necessário o uso de uma fonte de tensão negativa nos substratos dos tran-

Figura 2.18: Células SRAM de 7 e 9 Transistores.



Fonte: Adaptado de (ROHIT; SAINI, 2015).

istores DRIVER da célula, como se mostra na figura 2.18b. Nesse trabalho foi efetuado uma comparação entre SRAMs de 6 e 7 transistores. A célula de 7 transistores é mostrada na figura 2.18a. Neste caso, a célula SRAM 9T proposta tem um consumo muito baixo devido a que esta apresenta uma redução de consumo de corrente de fuga em *standby* de 50% com o custo do incremento de atraso na escrita da célula e um leve incremento na sua área.

3 METODOLOGIA DE SIMULAÇÃO

Para iniciar as pesquisas deste trabalho foi necessário aprender a usar alguns dos programas oferecidos pelo pacote Sentaurus TCAD da Synopsys usado no projeto e caracterização dos transistores utilizados nas simulações. Para sintonizar as curvas e parâmetros dos dispositivos criados foram obtidas as curvas características dos *Compact Model Cards PTM* à partir do HSPICE. Também foi usado o LabVIEW, da National Instruments, para comparar curvas características e visualizar resultados das simulações.

3.1 Modelos para as Simulações

Antes de começar a relatar a Metodologia que foi usada para realizar as simulações, é necessário conhecer os modelos que foram usados, e os motivos pelos quais foram escolhidos ou não para este trabalho.

3.1.1 Modelos de Transporte

Estes modelos são historicamente os primeiros que foram usados para simulações de dispositivos eletrônicos (MUNTEANU; AUTRAN, 2008). Estes resolvem o problema dos fenômenos elétricos em função do campo elétrico, incluso se estes fenômenos dependem da energia dos portadores. Isso é possível considerando que a energia de portadores e o campo elétrico estão sempre balanceados. Estes modelos estão baseados no uso de gradientes de potencial e também em gradientes de concentração. A densidade de correntes totais tem componentes de deriva (*drift*) e difusão (*diffusion*), como mostra a seguinte equação para os elétrons (KANO, 1998; CAMPANA, 2012):

$$J_n = q\mu_n n E + qD_n \nabla n \quad (3.1)$$

onde E é o campo elétrico, n é a densidade de elétrons, μ_n é a mobilidade dos portadores. Os valores D_n e μ_n são dependentes do material e do campo elétrico. Estes estão relacionados pela equação de Einstein (KANO, 1998):

$$D_n = \mu_n \frac{k_B T_L}{q} \quad (3.2)$$

onde T_L é a temperatura da estrutura cristalina do material (*lattice*). Para as lacunas existem equações similares, as quais são mostradas na secção 3.1.1.1 com maior detalhe.

3.1.1.1 Modelo Deriva-Difusão

Este modelo (conhecido em inglês como *Drift-Diffusion Model*) é o modelo mais usado e é um padrão na indústria dos semicondutores (MUNTEANU; AUTRAN, 2008; CAMPANA, 2012). Neste caso, o modelo considera que a energia dos portadores não é maior que a energia térmica e que a mobilidade dos portadores é função do campo elétrico que não depende da energia destes portadores. Isso é aceitável para dispositivos onde as variações do campo elétrico sejam lentas dentro da zona ativa do dispositivo.

Para a simulação, é preciso resolver primeiro a equação de Poisson junto com as demais equações do modelo Deriva-Difusão. A equação é a seguinte:

$$\nabla(\varepsilon_{Si} \vec{\nabla} \phi) = -\rho \quad (3.3)$$

onde ρ é a densidade volumétrica de carga, ϕ é o potencial e ε_{Si} é a permitividade elétrica do silício. Para óxidos e isolantes $\rho = 0$, fazendo que (3.3) transforme em uma Equação de Laplace. As equações de continuidade para o modelo Deriva-Difusão são as seguintes:

$$\nabla \cdot \vec{J}_n = qR + q \frac{\partial n}{\partial t} \quad (3.4a)$$

$$\nabla \cdot \vec{J}_p = -qR + q \frac{\partial p}{\partial t} \quad (3.4b)$$

onde R é o coeficiente de geração-recombinação e p e a densidade de lacunas no material. As densidades de corrente para elétron e lacunas no modelo Deriva-Difusão são as seguintes:

$$J_n = -q\mu_n n \nabla \phi + qD_n \nabla n \quad (3.5a)$$

$$J_p = -q\mu_p p \nabla \phi - qD_p \nabla p \quad (3.5b)$$

O primeiros termos do lado direito das equações (3.5a) e (3.5b) são conhecidas

como as componentes de deriva, e os segundos termos das mesmas como as componentes de difusão.

No modelo Deriva-Difusão os portadores obtêm máxima energia balanceada instantaneamente com o campo elétrico (MUNTEANU; AUTRAN, 2008). Os efeitos não estacionários, como disparos na velocidade dos portadores ou transporte de portadores devido aos processos de difusão térmica pelos gradientes de temperatura, são ignorados.

3.1.1.2 Modelo Hidrodinâmico

Na real, a energia dos portadores não responde imediatamente pelas mudanças do campo elétrico no dispositivo (MUNTEANU; AUTRAN, 2008). Em MOSFETs nanométricos os altos campos elétricos produzem aquecimento apreciável nos elétrons. No Modelo Hidrodinâmico a propagação dos elétrons no semiconductor é tratado como o fluxo de um gás carregado e termicamente condutivo afetado pelo campo elétrico. Neste modelo a energia dos portadores pode ser maior que a energia térmica e todos os parâmetros são dependentes da energia. As equações do Modelo Hidrodinâmico para os elétrons e o fluxo de energia são as seguintes:

$$\vec{J}_n = q\mu_n \left[-n\vec{\nabla}\phi + \frac{k_B T_n}{q} \vec{\nabla}n + \frac{k_B}{q} (1 + \xi_n)n\vec{\nabla}T_n \right] \quad (3.6a)$$

$$\nabla \cdot \vec{S}_n = -\vec{J}_n \vec{\nabla}\phi - \frac{3k_B}{2} \frac{\partial}{\partial t} (nT_n) - W_n \quad (3.6b)$$

$$\vec{S}_n = -K_n \vec{\nabla}T_n - \frac{k_B \Delta_n}{q} \vec{J}_n T_n \quad (3.6c)$$

onde T_n é a temperatura dos elétrons, ξ_n é o coeficiente do modelo, K_n é a condutividade térmica obtida da lei de Wiedmann-Franz (MUNTEANU; AUTRAN, 2008), W_n é a razão de cambio da perda de densidade de energia dos elétrons, e também:

$$\Delta_n = 2.5 + \xi_n \quad (3.7)$$

A perda de energia W_n mostrada em (3.6b) é modelada pela seguinte equação:

$$W_n = \frac{3}{2}n \frac{k_B(T_n - T_L)}{\tau_{rel}} + \frac{3}{2}k_B T_n R_{SRH} + E_{gsi}(G_n - R_n^A) \quad (3.8)$$

onde τ_{rel} é o tempo de relaxamento de energia, R_{SRH} é a razão de câmbio da recom-

binação de portadores usando o modelo Shockley-Read-Hall (CAMPANA, 2012; SYNOPSIS, 2013c), G_n é a razão de câmbio do Impacto de Ionização dos elétrons (conhecido também como Geração Avalanche), R_n^A é razão de câmbio de Auger (CAMPANA, 2012; SYNOPSIS, 2013c), e $E_{gsi} = 3.6\text{eV}$ é a energia necessária para criar um par elétron-lacuna no silício. A mobilidade μ_n aqui é modelada como uma função decrescente da energia devido a que o espalhamento incrementa com a energia do elétrons. Para as lacunas existem equações similares no modelo Hidrodinâmico. O sistema de equações do modelo é completado usando (3.4a) e (3.4b).

3.1.1.3 Modelo Quântico

Os efeitos quânticos foram considerados como efeitos de segunda ordem em tecnologias micrométricas e foram praticamente ignorados nos modelos clássicos. Devido a que as dimensões dos dispositivos diminuem, os efeitos quânticos começam a aparecer e incrementar-se pois as dimensões estão muito perto do comprimento de onda dos elétrons (MUNTEANU; AUTRAN, 2008). Efeitos quânticos, como o transporte balístico e confinamento quântico do portadores, podem dominar a operação do dispositivo nas tecnologias atuais e futuras. Modelos de transporte clássicos, como Deriva-Difusão ou Transporte de Energia, não tem a capacidade de predição para simular dispositivos e estruturas nanométricas. Existem muitas técnicas para simular estes efeitos. A mais exata é a resolução das equações de Schrödinger com condições de fronteira abertas usando o formalismo das Funções de Green não equilibradas. Outras técnicas de modelagem foram propostas, como o modelo de Densidade-Gradiente, baseada na correção na densidade de portadores dos modelos Deriva-Difusão ou Hidrodinâmico. A validade deste tipo de modelo foi relatada na primeira vez para ionização por tunelamento de fônons nos semicondutores por (MAKRAM-EBEID; LANNOO, 1982).

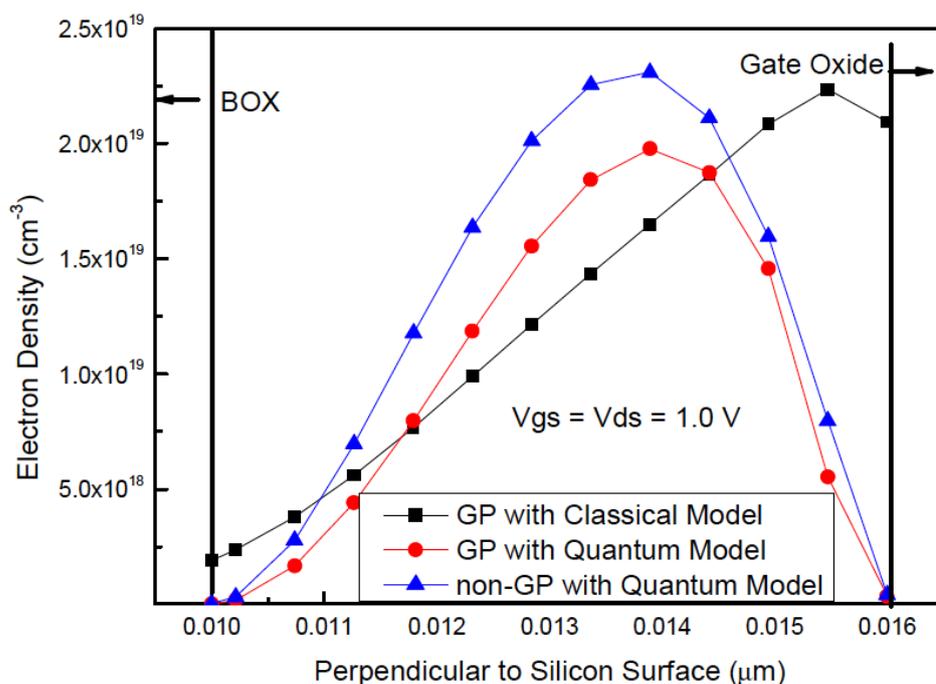
3.1.1.4 Detalhes dos Modelos Apresentados

Para poder desenvolver este trabalho, foi preciso estudar estes modelos do ponto de vista de complexidade computacional, tempo de simulação e precisão dos resultados obtidos.

De acordo com as comparações feitas em (BI et al., 2013), os resultados de simulação usando o Modelo Quântico e o Modelo Deriva-Difusão foram muito similares quando foram testados sobre dispositivos FDSOI de 22nm com impactos verticais de nêutrons,

embora o Modelo Quântico modela com mais detalhes os efeitos quase-estacionários do dispositivo, e.g. a Densidade de Elétrons no centro do canal do FDSOI simulado, como é mostrado na Figura 3.1.

Figura 3.1: Distribuição Vertical da Densidade de Elétrons usando Modelos Clássicos e Quânticos.

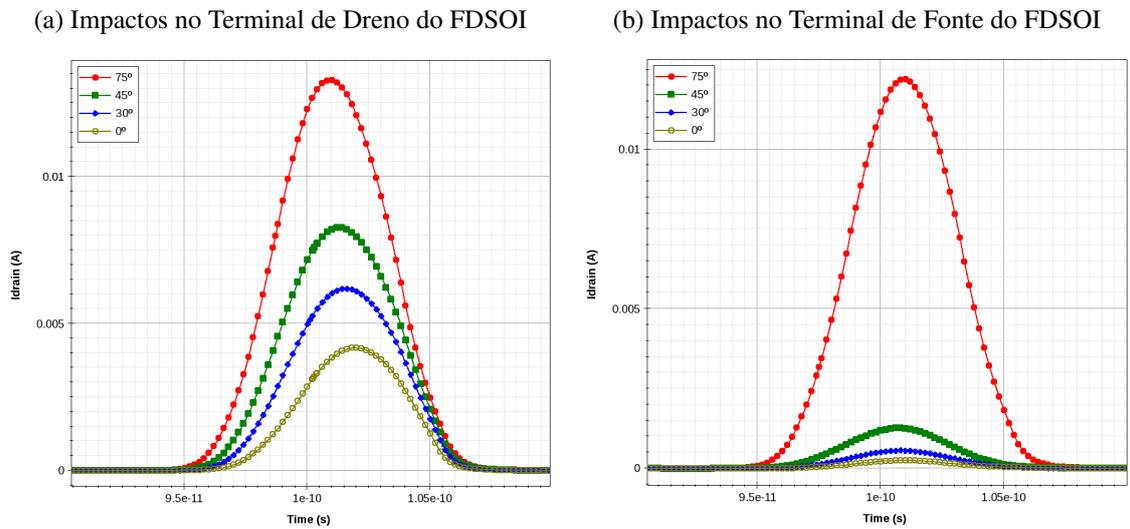


Fonte: (BI et al., 2013).

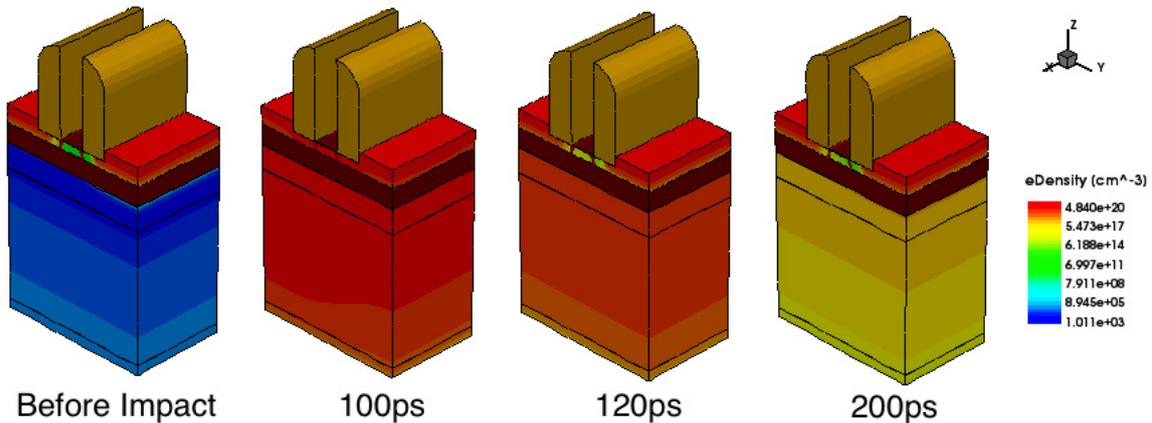
O Modelo Hidrodinâmico foi usado em (CALIENES; REIS; VLADIMIRESCU, 2015) em simulações 3D de impacto de íon pesado de $150\text{MeV}\cdot\text{cm}^2/\text{mg}$ em 4 ângulos θ diferentes (0° , 30° , 45° e 75°). Em (SYNOPTSYS, 2013c), é dito que este modelo é adequado para dispositivos sub-micrométricos. As figuras mostradas em 3.2 são resultados obtidos através destas simulações. Este modelo, de acordo com (VASILESKA, 2010), tem dois problemas fundamentais, o primeiro é que deve ser usado com cuidado em dispositivos que tem incrementos repentinos de velocidade nos portadores, e o segundo é a escolha adequada dos tempos de relaxamento de energia nos portadores dentro do fluxo.

O motivo para escolher um modelo são a complexidade computacional (que pode-se tratar como o tempo de simulação) e a precisão dos resultados que fornecem. Se bem que os Modelos Quânticos são muito mais precisos, a complexidade computacional é muito alta incluso para simulações de duas dimensões, assim que eles devem ser usados com cuidado, embora sejam fortemente recomendados (MUNTEANU; AUTRAN, 2008). O Modelo Hidrodinâmico tem os problemas que foram relatados por (VASILESKA,

Figura 3.2: Simulação de SET no FDSOI de 28nm usando o Modelo Hidrodinâmico.



(c) Densidade de Elétrons no FDSOI de 28nm quando um Íon Pesado impacta o Dreno (LET=150MeV-cm²/mg, $\theta=45^\circ$)



Fonte: (CALIENES; REIS; VLADIMIRESCU, 2015).

2010), além de ser um modelo de complexidade computacional elevado. Os Modelos Quânticos e o modelo Hidrodinâmico são modelos ainda não implementados nas versões industriais do SPICE (SYNOPTIS, 2005), mas o modelo Deriva-Difusão está bem consolidado sendo um padrão da indústria atualmente. O Modelo Deriva-Difusão tem uma complexidade computacional menor que os modelos Hidrodinâmico e Quânticos. Essas são as razões para usar neste trabalho o modelo Deriva-Difusão.

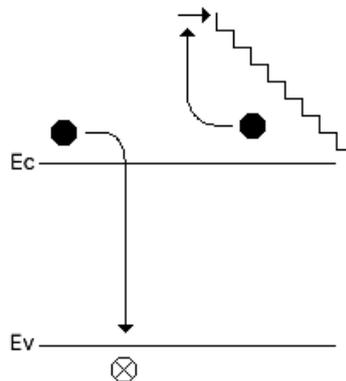
3.1.2 Modelos de Geração e Recombinação

O modelos de geração e recombinação servem para representar quão rapidamente os portadores gerados por um evento físico no semiconductor (seja elétrico, térmico ou radiativo) voltam ao equilíbrio, anulando os pares elétron-lacuna quando estes recombina-m. Dependendo da natureza dos processos de recombinação e geração de portadores, a energia liberada pode ser dissipada na forma de calor ou por radiação mediante a emissão de um fóton (CAMPANA, 2012).

3.1.2.1 Modelo de Recombinação Auger

Na recombinação Auger, um elétron da banda de condução cai dentro de uma lacuna da banda de valência, a energia devida a essa transição é absorvida por outro elétron na banda de condução (CAMPANA, 2012), como pode-se ver na Figura 3.3. Para que este tipo de recombinação aconteça, a dopagem do semiconductor deve ser razoavelmente alta para que a probabilidade de existência desses três portadores seja alta. Se o semiconductor não é fortemente dopado, este tipo de recombinação pode não existir.

Figura 3.3: Recombinação Auger.



Fonte: (CAMPANA, 2012).

O coeficiente (ou razão de câmbio) da recombinação de Auger R_n^A é dado por (SYNOPTSYS, 2013c):

$$R_n^A = (nC_n + pC_p)(np - n_{i,eff}^2) \quad (3.9)$$

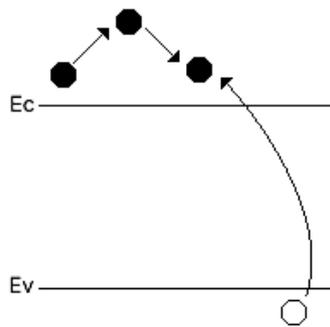
onde $n_{i,eff}$ é a concentração intrínseca efetiva do semiconductor e C_n e C_p são os coeficientes de Auger, os quais são dependentes da temperatura.

3.1.2.2 Geração Avalanche

A produção de pares elétron-lacuna devido à geração avalanche (também conhecido como ionização por impacto) G_{ii} precisa de certo limiar de campo de força e espaço para que seja possível a aceleração dos portadores (SYNOPTSYS, 2013c). Um par elétron-lacuna surge devido à energia produzida quando um portador impacta a rede cristalina do semiconductor, como é mostrado na Figura 3.4 (CAMPANA, 2012). Se o comprimento da região de depleção é muito maior que o espaço entre dois impactos de ionização, a geração acontece por multiplicação das cargas no semiconductor, o qual pode causar uma ruptura elétrica neste. O inverso do espaço entre impactos de ionização é conhecido como coeficientes α , os quais existem para elétrons e lacunas. O valor dos coeficientes α dependem do modelo usado para eles. Então, a razão de Geração Avalanche pode ser expressada como:

$$G_{ii} = \alpha_n n v_n + \alpha_p p v_p \quad (3.10)$$

Figura 3.4: Geração Avalanche.



Fonte: (CAMPANA, 2012).

onde v_n e v_p são as velocidades de emissão de elétrons e lacunas respectivamente nas interfaces com isolantes do dispositivo (SYNOPTSYS, 2013c). Para este trabalho foi usado os coeficientes α_n e α_p do modelo van Overstraeten-de Man para Geração Avalanche.

3.1.2.3 Teoria de Recombinação Shockley-Read-Hall

Uma “Armadilha” é definida como qualquer estado de energia permitido dentro da banda proibida E_T (CAMPANA, 2012). As Armadilhas podem capturar lacunas e elétrons com uma probabilidade igual. Vai-se assumir que toda armadilha é aceitadora, i.e. vai ficar carregada negativamente quando “captura” um elétron e vai ficar neutra quando não

tiver um elétron. A Teoria de recombinação Shockley-Read-Hall fala que cada processo de emissão e captura de portadores deverá proceder de relações exatamente iguais e no estado de equilíbrio. Existem quatro processos básicos de captura e emissão, os quais são descritos na Figura 3.5, os quais podem acontecer todos na mesma armadilha. A razão de mudança de Recombinação Shockley-Read-Hall R_{SRH} pode-se modelar com a seguinte equação (CAMPANA, 2012; SYNOPSIS, 2013c):

$$R_{SRH} = \left[\frac{np - n_{i,eff}^2}{\tau_n(p + p') + \tau_p(n + n')} \right] \quad (3.11)$$

onde τ_n e τ_p são os tempos de vida meio de elétrons e lacunas respectivamente, n' é a concentração de elétrons na banda de condução quando o nível intrínseco de Fermi E_{Fi} é igual a E_T e p' é a quantidade de lacunas na banda de valência quando $E_{Fi} = E_T$; então n' e p' podem ser modelados usando as seguintes expressões em função do Nível de Fermi do semiconductor E_F , a temperatura T e o Nível de Energia das Armadilhas E_T (SYNOPSIS, 2013c):

$$n' = n_{i,eff} e^{\left[\frac{E_F - E_T}{k_B T} \right]} \quad (3.12a)$$

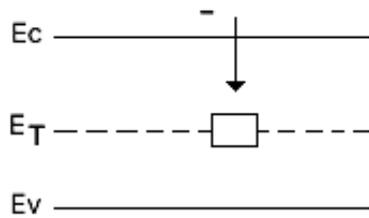
$$p' = n_{i,eff} e^{\left[\frac{E_T - E_F}{k_B T} \right]} \quad (3.12b)$$

3.1.2.4 Uso dos Modelos de Geração e Recombinação

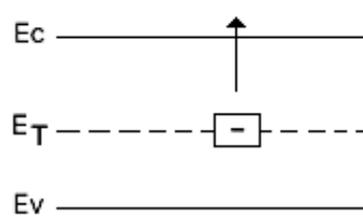
Devido a que estes modelos servem para modelar fenômenos distintos na física dos semicondutores, todos eles são usados neste trabalho. O Modelo de Recombinação Auger modela o fenômeno de recombinação dos portadores, enquanto o Modelo de Geração Avalanche modela a geração dos portadores no semiconductor. O Modelo Shockley-Read-Hall usa os dois modelos anteriores para modelar a captura e emissão de portadores desde as armadilhas modeladas na banda proibida do semiconductor.

Figura 3.5: Os Quatro processos Básicos de Captura e Emissão.

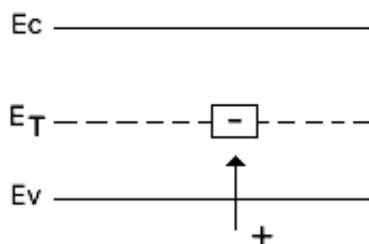
(a) Processo 1: Captura do Elétron



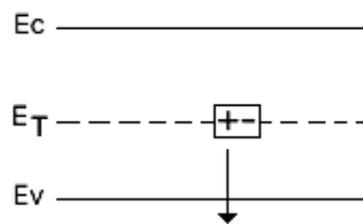
(b) Processo 2: Emissão do Elétron



(c) Processo 3: Captura da Lacuna



(d) Processo 4: Emissão da Lacuna



Fonte: (CAMPANA, 2012).

3.1.3 Modelos de Mobilidade dos Portadores

A dispersão aleatória dos portadores na rede cristalina dos semicondutores afeta a mobilidade dos elétrons, e assim, a corrente dos dispositivos. A mobilidade pode ser afetada pelas impurezas no semiconductor, assim como pelos defeitos na rede cristalina dele, temperatura de funcionamento e outras condições de estresse no dispositivo.

3.1.3.1 Modelo Unificado de Mobilidade de Philips

Neste modelo a mobilidade, tanto de lacunas p como de elétrons n , tem duas contribuições. A primeira contribuição vem dos fônons espalhados pela rede cristalina do semiconductor $\mu_{i,fL}$. A segunda contribuição vem dos portadores ionizados (tanto aceitadores como doadores) no corpo do dispositivo semiconductor $\mu_{i,DA}$. Essas mobilidades parciais são combinadas usando a regra de Matthiessen da seguinte forma (CAMPANA, 2012; SYNOPSIS, 2013c):

$$\frac{1}{\mu_i} = \frac{1}{\mu_{i,fL}} + \frac{1}{\mu_{i,DA}} \quad (3.13)$$

onde o i subscrito neste caso pode ser cambiado para n se a mobilidade é dos elétrons ou para p se a mobilidade é para as lacunas.

3.1.3.2 Modelo de Mobilidade dependente da Dopagem de Masetti

Este modelo é usado para conhecer a mobilidade dos portadores apenas no Silício (SYNOPTSYS, 2013c). A mobilidade dependente da Dopagem μ_{dop} do modelo de Masetti é expressada como segue (MASETTI; SEVERI; SOLMI, 1983):

$$\mu_{dop} = \mu_{min1} e^{\left[-\frac{P_{cM}}{N_A + N_D} \right]} + \frac{\mu_{const} - \mu_{min2}}{1 + [(N_A + N_D)/C_{rM}]^{\alpha_M}} + \frac{\mu_1}{1 + [C_{sM}/(N_A + N_D)]^{\beta_M}} \quad (3.14)$$

onde as mobilidades de referência μ_{min1} , μ_{min2} e μ_1 , as dopagens de referência P_{cM} , C_{rM} e C_{sM} , e os expoentes α_M e β_M são parâmetros fixos no Sentaurus Device (SYNOPTSYS, 2013c); μ_{const} é a Mobilidade Constante do Lombardi a qual é detalhada na secção 3.1.3.4.

3.1.3.3 Modelo Extendido de Saturação de Campo Elétrico Elevado de Canali

Quando o campo elétrico no semiconductor é elevado, a variação da velocidade dos portadores não é mais proporcional ao campo elétrico, em vez disso, a velocidade satura até chegar a um valor constante e finito v_{sat} (MESSENGER, 1982; KANO, 1998; CAMPANA, 2012). O Modelo de Canali (CANALI et al., 1975) depende da temperatura e foi obtido a partir da fórmula de Caughey-Thomas (CAUGHEY; THOMAS, 1967). Este modelo é válido até temperaturas de 430K (SYNOPTSYS, 2013c):

$$\mu(F) = \frac{(\alpha_C + 1)\mu_{low}}{\alpha_C + \left[1 + \left(\frac{(\alpha_C + 1)\mu_{low} F_{hfs}}{v_{sat}} \right)^{\beta_C} \right]^{1/\beta_C}} \quad (3.15)$$

onde μ_{low} é a mobilidade quando o campo elétrico é baixo (SYNOPTSYS, 2013c). O expoente β_C e dependente da temperatura:

$$\beta_C = \beta_0 \left(\frac{T}{T_0} \right)^{\beta_{exp}} \quad (3.16)$$

onde $T_0 = 300K$ é a temperatura ambiente (25° Celsius), e β_0 , β_{exp} e α_C são parâmetros

do Sentaurus Device (SYNOPTSYS, 2013c).

Detalhes sob o Modelo de Velocidade de Saturação $v_{sat} = v_{sat,0}(T_0/T)^{v_{sat,exp}}$ e o Modelo de Campo Elétrico Dirigido F_{hfs} são explicados em (SYNOPTSYS, 2013c).

3.1.3.4 Modelo de Mobilidade Constante por Espalhamento dos Fônons de Lombardi

A mobilidade μ_{const} é obtida usando o modelo de Mobilidade Constante de Lombardi (LOMBARDI et al., 1988), a qual depende da temperatura T e modela o espalhamento dos fônons na rede cristalina do silício:

$$\mu_{const} = \mu_L \left(\frac{T}{T_0} \right)^{-\zeta} \quad (3.17)$$

onde $T_0 = 300\text{K}$ é a temperatura ambiente (25° Celsius), e μ_L e o expoente ζ são parâmetros fixos do Sentaurus Device (SYNOPTSYS, 2013c).

3.1.3.5 Uso dos Modelos de Mobilidade

Neste caso, os Modelos de Canali, Lombardi e Masetti aportam um maior detalhe ao Modelo Unificado de Philips. O Modelo de Lombardi está já incluso no Modelo de Masetti como padrão. Para este trabalho eles vai ser usados em conjunto para modelar a física da Mobilidade dos Portadores nos dispositivos a simular.

3.1.4 Modelo de Largura da Banda Proibida nos Semicondutores

Existem vários modelos da largura e variação da banda proibida E_g dependendo das concentrações de dopantes nos semicondutores. Para este trabalho foi usado o Modelo de Slotboom, o qual está baseado nas medições de $\mu_n n_i^2$ nos transistores bipolares NPN (ou $\mu_p n_i^2$ no caso dos PNP) com diferentes concentrações de dopantes e um modelo unidimensional para a corrente da terminal de Coletor (SYNOPTSYS, 2013c). A variação da banda proibida ΔE_g modelada pelo Slotboom é:

$$\Delta E_g = E_{ref} \left[\ln \left(\frac{N_{tot}}{N_{ref}} \right) + \sqrt{\left[\ln \left(\frac{N_{tot}}{N_{ref}} \right) \right]^2 + 0.5} \right] \quad (3.18)$$

onde $N_{tot} = N_A + N_D$ é a soma das concentrações de Aceitadores N_A e Doadores N_D do

semicondutor, $E_{ref} = 9.0 \times 10^{-3} \text{eV}$ e $N_{ref} = 1.0 \times 10^{17} \text{cm}^{-3}$ para o caso do Modelo de Slotboom de parâmetros antigos (SYNOPTSYS, 2013c).

Para este trabalho vai-se usar o Modelo de Slotboom para Largura da Banda Proibida, usando os parâmetros antigos que tem o simulador como padrão.

3.1.5 Modelos Estatísticos de Concentração dos Portadores

Os seguintes modelos quantitativos servem para expressar, em função dos estados de energia (KANO, 1998; CAMPANA, 2012), a quantidade de elétrons que tem a camada de condução e a quantidade de lacunas na camada de valência de um mesmo semicondutor.

3.1.5.1 Modelo de Boltzmann

As densidades de lacunas e elétrons podem ser calculadas desde os potenciais quase-Fermi. Se é usado o Modelo Estatístico de Boltzmann, as concentrações de elétrons n e lacunas p são as seguintes (SYNOPTSYS, 2013c):

$$n = N_c e^{\left(\frac{E_{Fn} - E_c}{k_B T} \right)} \quad (3.19a)$$

$$p = N_v e^{\left(\frac{E_v - E_{Fp}}{k_B T} \right)} \quad (3.19b)$$

onde N_c e N_v são as densidades efetivas dos estados das camadas de condução e valência respectivamente, $E_{Fn} = -q\Phi_n$ e $E_{Fp} = -q\Phi_p$ são as energias quase-Fermi dos elétrons e lacunas respectivamente, Φ_n e Φ_p são os potenciais quase-Fermi dos elétrons e lacunas respectivamente, e E_c e E_v são as bandas de condução e valência respectivamente.

3.1.5.2 Modelo de Fermi-Dirac

No caso de (3.19a) e (3.19b), foi assumido o modelo estatístico de Boltzmann para elétrons e lacunas. Usando o modelo estatístico de Fermi-Dirac é mais correto fisicamente, devido a que as concentrações de portadores são muito grandes nas regiões ativas do dispositivo (SYNOPTSYS, 2013c). Para o uso do Modelo de Fermi-Dirac, deve-

se mudar as equações (3.19a) e (3.19b) da seguinte forma:

$$n = N_c Fm_{0.5} \left(\frac{E_{Fn} - E_c}{k_B T} \right) \quad (3.20a)$$

$$p = N_v Fm_{0.5} \left(\frac{E_v - E_{Fp}}{k_B T} \right) \quad (3.20b)$$

onde $Fm_{0.5}$ é a Integral de Fermi-Dirac para 0.5. A integral Fermi-Dirac tem a seguinte forma geral para o valor real j :

$$Fm_j(x) = \frac{1}{\Gamma(j+1)} \int_0^\infty \frac{t^j}{e^{(t-x)} + 1} dt \quad (3.21)$$

onde $\Gamma(k) = \int_0^\infty x^{k-1} e^{-x} dx$ é a função Gamma de Euler.

3.1.5.3 Uso dos Modelos de Concentração de Portadores

Devido a que o Modelo de Fermi-Dirac aporta um maior detalhe e exatidão modelando a concentração dos portadores nos semicondutores que o Modelo de Boltzmann, além de que Fermi-Dirac é uma melhora do Boltzmann. Neste trabalho vai-se usar o Modelo de Fermi-Dirac para modelar a estatística da concentração dos portadores nos dispositivos simulados.

3.1.6 Modelos de Radiação para *Singe-Event Effects*

Quando as partículas de alta energia ou radiação penetram o dispositivo semicondutor, eles geram pares elétron-lacuna não previstos enquanto atravessam o semicondutor. Estas cargas podem perturbar o funcionamento normal do dispositivo (SYNOPTIS, 2013c) e provocar *Singe-Event Effects*.

3.1.6.1 Modelo de Partícula Alfa

A geração de pares elétron-lacuna $G(u, v, w, t)$ causadas pelo impacto de uma partícula Alfa com uma energia E em MeV pode ser modelado da seguinte forma se

$u < \alpha_1 + \alpha_3$ (ERLEBACH, 1999; SYNOPSIS, 2013c):

$$G(u, v, w, t) = \frac{\alpha}{s \sqrt{2\pi}} e^{\left[-\left(\frac{t-t_m}{4s}\right)^2 - \frac{v^2+w^2}{2w_t^2} \right]} \left[c_1 e^{\alpha u} + c_2 e^{-\left(\frac{u-\alpha_1}{4\alpha_2}\right)^2} \right] \quad (3.22)$$

e se $u \geq \alpha_1 + \alpha_3$:

$$G(u, v, w, t) = 0 \quad (3.23)$$

onde u é a magnitude do vetor da trilha da Partícula Alfa, v e w são as magnitudes dos vetores ortogonais ao vetor u , t_m é o tempo onde é definida a geração pico, $\alpha_1 = \alpha_1(E) = a_0 + a_1 E + a_2 E^2$ é o Pico de Bragg máximo que depende da energia E (NORTHCLIFFE; SCHILLING, 1970), e $c_1 = e^{\alpha(\alpha_1(10\text{MeV}) - \alpha_1(E))}$.

O fator de Escalada de Energia E/E_{gsi} , onde $E_{\text{gsi}} = 3.6\text{eV}$, é determinado a seguir:

$$\frac{E}{E_{\text{gsi}}} = \int_0^\infty \int_{-\infty}^\infty \int_{-\infty}^\infty \int_{-\infty}^\infty G(u, v, w, t) dt dw dv du \quad (3.24)$$

Este modelo apenas é válido para partículas Alfa de 1MeV até os 10MeV. Os parâmetros s , α , α_2 , α_3 , a_0 , a_1 , a_2 , c_2 e w_t são valores padrões do Sentaurus Device (SYNOPSIS, 2013c).

3.1.6.2 Modelo de Íon Pesado

O Modelo de Impacto de Íon Pesado nos dispositivos semicondutores pode ser considerado como uma forma geral do Modelo de Impacto de uma Partícula Alfa. Este modelo pode ser usado com energias muito acima dos 10MeV. A Figura 3.6 mostra o como o íon pesado atravessa o semicondutor até uma distância máxima da trilha l_{max} . Enquanto isto acontece, são gerados pares elétron-lacuna. A velocidade de geração destes pares $G(l, w, t)$ pode-se expressar da seguinte forma se $l < l_{max}$ (SYNOPSIS, 2013c):

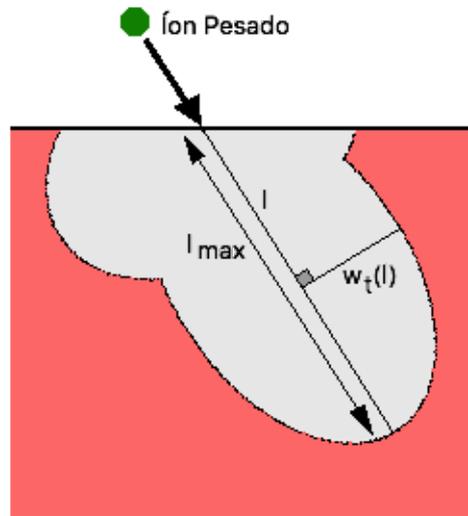
$$G(l, w, t) = G_{LET}(l)R(w, l)T(t) \quad (3.25)$$

e para quando $l \geq l_{max}$:

$$G(l, w, t) = 0 \quad (3.26)$$

onde $R(w, l)$ e $T(t)$ são funções que modelam o comportamento espacial e temporal do íon respectivamente, e $G_{LET}(l)$ é a densidade de geração de pares elétron-lacuna dependentes da Transferência Linear de Energia (LET) do íon no semicondutor.

Figura 3.6: Íon Pesado penetrando um Semicondutor.



Fonte: Adaptado de (SYNOPTSYS, 2013c).

A função $R(w, l)$ pode ser definida como uma função exponencial (3.27a) ou Gaussiana (3.27b) dependendo qual é o modelo a ser usado nas simulações com o Sentaurus Device (SYNOPTSYS, 2013c):

$$R(w, l) = e^{-\left(\frac{w}{w_t(l)}\right)} \quad (3.27a)$$

$$R(w, l) = e^{-\left(\frac{w}{w_t(l)}\right)^2} \quad (3.27b)$$

onde w é o raio perpendicular à trilha do íon pesado e $w_t(l)$ é a distância característica a qual pode ser uma função dependente da distância percorrida pelo íon l .

A função $T(t)$ é definida como uma função Gaussiana:

$$T(t) = \frac{2e \left[-\frac{(t - t_0)^2}{2s_{hi}^2} \right]}{\sqrt{2\pi} s_{hi} \left[1 + \operatorname{erf} \left(\frac{t_0}{s_{hi}\sqrt{2}} \right) \right]} \quad (3.28)$$

onde t_0 é o tempo quando o íon pesado impacta, s_{hi} é o valor característico do Gaussiano definido pelo Sentaurus Device (SYNOPTSYS, 2013c), e a função $\operatorname{erf}(x) = (2/\sqrt{\pi}) \int_0^x e^{-t^2} dt$ é a Função Erro de Gauss.

A densidade de Geração em função do LET do íon $G_{LET}(l)$ é obtida pela seguinte equação:

$$G_{LET}(l) = a_1 + a_2l + a_3e^{a_4l} + k' \{c_1(c_2 + c_3l)^{c_4} + LET_f(l)\} \quad (3.29)$$

onde $LET_f(l)$ é a Transferência Linear de Energia em função da distância e $k' = k'(w_t(l), k)$ e uma função que depende do tipo de modelo para $R(w, l)$, das unidades escolhidas para a simulação e da quantidade de dimensões do dispositivo simulado, i.e. se o dispositivo é 2D ou 3D (SYNOPTSYS, 2013c). Os parâmetros $a_1, a_2, a_3, a_4, k, c_1, c_2, c_3$ e c_4 estão definidos pelo Sentaurus Device (SYNOPTSYS, 2013c).

3.1.6.3 Uso dos Modelos de Radiação para SEE

Neste trabalho foi usado apenas o Modelo para Íons Pesados com LET superiores aos 80MeV-cm²/mg. O modelo de partícula Alfa tem a desvantagem de não conseguir modelar partículas deste tipo com Energias maiores de 10MeV. Além disso, o modelo de Íon Pesado fornecido pelo Sentaurus TCAD é simples de usar. Deve-se usar esse modelo com cuidado para arranjos de dados devido a que isto aumenta o custo computacional.

3.2 Modelagem dos Transistores

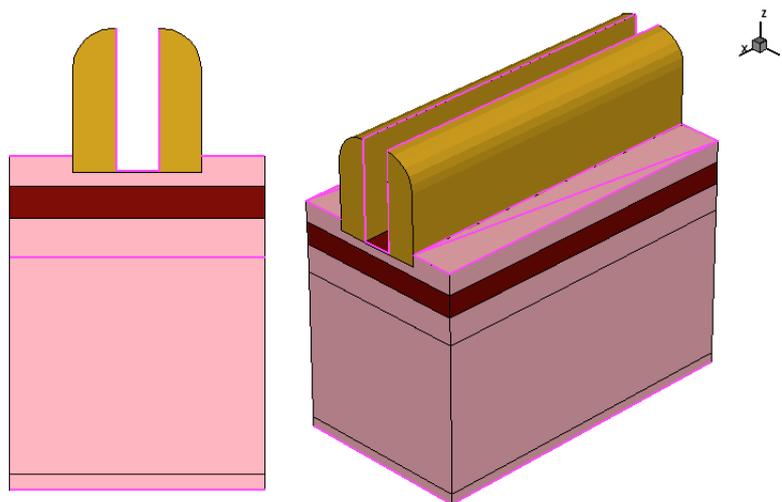
Para modelar os transistores foi usado o Sentaurus Structure Editor (SDE) (SYNOPTSYS, 2013d). O primeiro a fazer é definir a forma do dispositivo e se o dispositivo vai ser criado em duas ou três dimensões. Decidir isto é importante pois o custo computacional e o tempo de simulação vai depender da complexidade do dispositivo e da quantidade de dimensões do dispositivo projetado. Uma simulação 3D é muito custosa

em termos computacionais que uma simulação 2D.

Depois de decidir a forma do dispositivo, deve-se escolher os materiais. O SDE tem uma grande biblioteca de materiais para usar que vão desde o silício e polisilício até o nitreto de silício e óxido de hafnium. Dependendo do dispositivo projetado e nó tecnológico, deve-se escolher os materiais. Até esta versão, a biblioteca de materiais não contém nitreto de titanium nem safira como materiais isolantes. Em nosso caso, apenas usamos silício, poli-silício, nitreto de silício (Si_3N_4), óxido de silício (SiO_2) e óxido de hafnium (HfO_2).

Dependendo do tipo de dispositivo deve-se declarar os terminais. Para fazer isto deve-se escolher a borda (em 2D) ou plano (em 3D) onde vai-se declarar o terminal. É necessário dar um nome adequado a cada terminal para que possa ser instanciado depois no script de simulação usando o Sentaurus Device (SYNOPTSYS, 2013c). Para estes casos, os nomes “drain”, “source”, “gate”, “backplane” e “substrate” foram definidos para identificar os terminais dos dispositivos em todo o trabalho. A figura 3.7 apresenta um FDSOI de 28nm feito usando o SDE e mostrado usando o Sentaurus Visual (SYNOPTSYS, 2013e), em vistas de duas e três dimensões. Os blocos rosados representam o silício, os marrom claros o nitreto de silício e os marrom escuros o óxido de silício. A porta de polisilício foi removida. Os contatos dos dispositivos são representados com linhas da cor rosa clara.

Figura 3.7: Desenho de um dispositivo FDSOI em 2D e 3D usando o SDE.

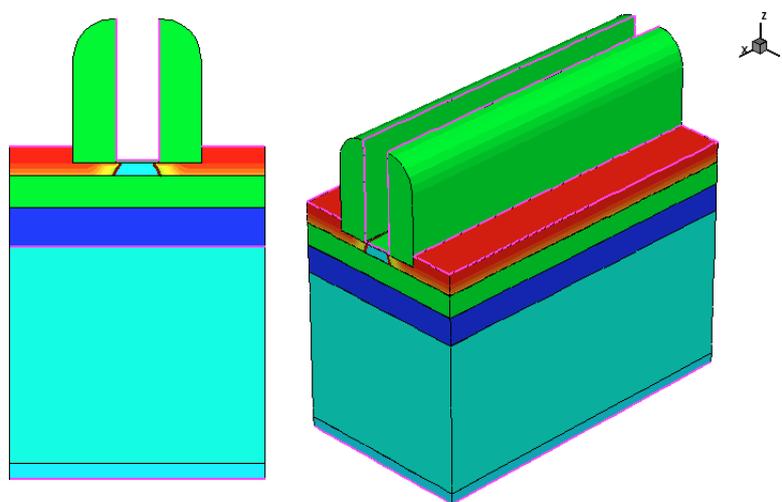


Fonte: Os Autores.

Quando o dispositivo foi terminado de modelar, é definido a dopagem das regiões do dispositivo. Cada região pode ter dopagens diferentes com impurezas N ou P diferentes

(implantes, com boro e arsênio são as mais comuns). As dopagens podem ter perfis gaussiano, constante ou função erro dependendo do processo de fabricação. As características dos dispositivos Bulk e FDSOI dependem da profundidade do implante das impurezas e o fator da dopagem (CALIENES; VLADIMIRESCU, 2013; SYNOPSIS, 2013d). A figura 3.8 mostra este estágio do projeto. Neste caso é possível enxergar a diferença entre os implantes dos poços de dreno/fonte (implantado com um perfil gaussiano) e o perfil do substrato (feito com um perfil constante).

Figura 3.8: Dopagem de um dispositivo FDSOI em 2D e 3D usando o SDE.

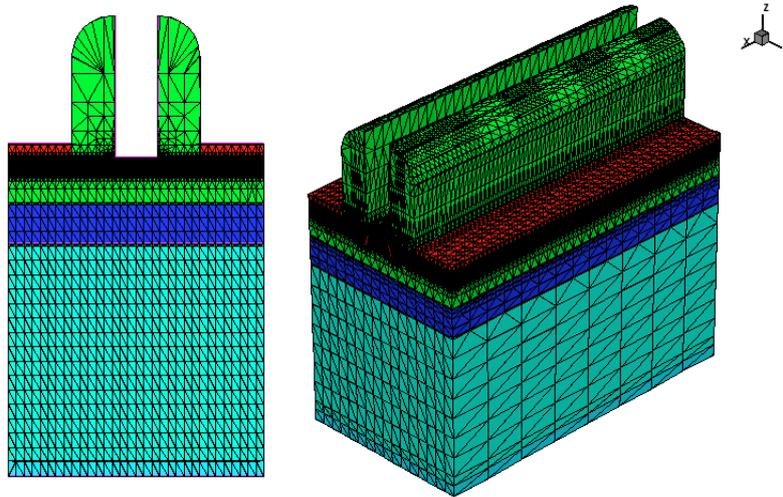


Fonte: Os Autores.

Quando é terminado a modelagem do dispositivo, é necessário definir uma grade matemática para poder realizar a simulação. Isso é conseguido usando o comando `snmesh` (SYNOPSIS, 2013b). A grade é definida para cada região do dispositivo a similar. Dependendo do tamanho da grade, o tempo de simulação e a precisão podem ser regulados. Uma grade muito fina tem um custo de tempo de simulação alto, porém a simulação entrega dados mais precisos (CALIENES et al., 2014). Deve-se criar um compromisso entre tempo de simulação/custo computacional e precisão dos dados quando vai-se definir a grade. Um exemplo desta grade em duas e três dimensões é mostrado na figura 3.9. Pode-se definir uma grade muito mais fina nas regiões ativas do dispositivo (neste caso, no canal do FDSOI).

Dois exemplos de scripts de entrada para projetar transistores de duas dimensões usando o SDE podem-se ver nos anexos G.1 (para um Transistor CMOS Bulk de 32nm), G.2 (para um transistor FDSOI de 28nm) e G.3 (Para um transistor FDSOI de 28nm *High-K*). Nestes scripts existem alguns parâmetros que devem ser definidos no ambiente do

Figura 3.9: Grade de um dispositivo FDSOI em 2D e 3D usando o SDE.



Fonte: Os Autores.

Sentaurus Workbench (SYNOPSYS, 2013f), e.g. @Type@ ou @Lg@, para poder definir vários tipos de dispositivos no mesmo ambiente de simulação. O uso do Sentaurus Visual é necessário para poder controlar os estágios de desenho do dispositivo. Nos anexos G.4 e G.5 são apresentados os scripts equivalentes do 32nm Bulk e 28nm FDSOI em três dimensões.

Devido a que os dispositivos a ser projetados são simétricos, foi decidido neste caso usar apenas dispositivos em 2D. Também, o uso de dispositivos projetados em 2D tem um custo computacional muito menor que os dispositivos 3D, i.e. o tempo de simulação no caso de dispositivos 2D é muito menor que no caso dos 3D.

3.3 Comparação com um modelo compacto SPICE

Devido a que ainda não temos dados reais para poder comparar os resultados obtidos com simulações feitas no Sentaurus, foi necessário recorrer ao uso do HSPICE da Synopsys para obter as curvas características e sintonizar os transistores modelados usando o SDE. Para isso foi usado como base o *model card* (MC) preditivo de um transistor CMOS Bulk de 32nm de baixo consumo fornecido pela Universidade de Arizona (PREDICTIVE TECHNOLOGY MODEL, 2015) (no anexo F.1 está o script HSPICE deste MC). Para poder usar este MC com o transistor FDSOI de 28nm projetado, deve-se modificar o MC para que fique parecido com o nó FDSOI de 28nm e os CMOS Bulk de

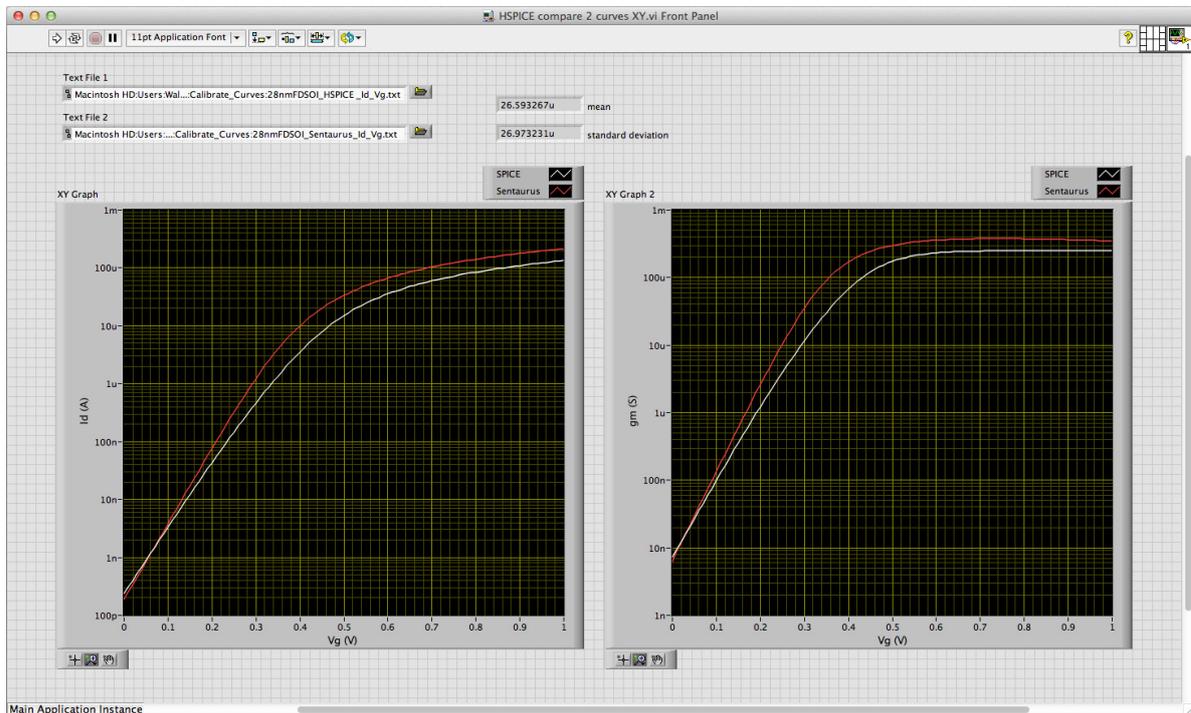
32nm da *ST* (CALIENES; VLADIMIRESCU, 2013) (no anexo F.2 está o script HSPICE deste MC modificado). Foi feito isto devido a que os MCs dos nós tecnológicos *ST* são de propriedade privada e estão encriptados, e também para usar estes dispositivos em uma simulação de Modo Misto no Sentaurus Device (SYNOPTSYS, 2013c).

Primeiro foram rodadas as simulações em HSPICE usando este MC modificado para poder obter as curvas I_d vs. V_g e I_d vs. V_d . Apos, rodou-se a simulação usando o Sentaurus Device em modo “quase-estacionário” (SYNOPTSYS, 2013c) e os transistores criados com o SDE. O Objetivo é de modificar a função trabalho do metal da porta $\Phi_{MSg} = \Phi_M$ e as características dos transistores feitos no SDE (isso é modificar o script SDE) para que as curvas características fiquem parecidas com as curvas fornecidas pelo HSPICE. Para fazer as comparações entre os resultados do HSPICE e Sentaurus deve-se criar Instrumentos Virtuais (VIs) em LabVIEW (TRAVIS; KRING, 2006; JOHNSON; JENNINGS, 2006). A figura 3.10 mostra um desses VIs criados. Na real isso não deveria ser feito devido ao fato de que o Sentaurus TCAD modela o dispositivo fisicamente e não de forma elétrica como o faz o HSPICE (uma simulação física é mais precisa que uma elétrica), mas a única referência que temos até o momento são as simulações HSPICE. Os parâmetros usados para fazer as comparações foram a corrente de saturação I_{on} , a corrente de corte I_{off} e a tensão de limiar em saturação $V_{th(sat)}$, as quais podem ser obtidas com os métodos relatados no anexo B.

3.4 Extração de Parâmetros

Depois de conseguir com que as curvas características dos dispositivos feitos em HSPICE e Sentaurus sejam parecidas, foram obtidas da curva I_d vs. V_g os seguintes parâmetros do transistor: Corrente de Saturação (I_{on}), Corrente de Corte (I_{off}), Tensão de Limiar em Saturação ($V_{th(sat)}$), Tensão de Limiar Linear ($V_{th(lin)}$), Inclinação Sub-Limiar (S_S) e Diminuição da Barrera Induzida no Dreno (*DIBL*). Também, se necessário, pode-se extrair a transcondutância do dispositivo em função de V_g (g_m). Para poder fazer esta tarefa é usado o Inspect (SYNOPTSYS, 2013a), o qual contém ferramentas de visualização e macros úteis que extraem estas características. No anexo B é descrito como é obtido estes valores a partir das curvas I_d vs. V_g de um transistor.

Figura 3.10: VI para comparar dois gráficos de resultados.



Fonte: Os Autores.

3.5 Caracterização do transistor projetado com SET

Para poder caracterizar um transistor num ambiente de partículas alfa e íons pesados, deve-se primeiro configurar o dispositivo para que fique em estado de desligado, para quando a partícula bater no dispositivo, este gere uma corrente transiente de curta duração. Para este caso a simulação deve ser de curta duração, mas com o tempo suficiente para registrar o transitório de corrente. O objetivo é fazer um estudo dos locais de impacto e em que ângulo do impacto é possível ter mais carga coletada (CC) para a mesma partícula.

Deve-se cuidar de configurar o script de comandos do Sentaurus Device para poder convergir nas simulações, simular o impacto de um íon pesado ou partícula alfa, indicar que gráficos devem ser obtidos, e configurar a solução da simulação para modo transitório (SYNOPTSYS, 2013c). Os modelos usados para simular os impactos dos íons pesados ou partículas alfa foram detalhados na secção 3.1.6. Uma opção útil é também configurar a simulação para tirar “fotografias” do dispositivo no tempo para ver o que acontece durante o impacto de uma partícula no dispositivo modelado.

Nas simulações do Sentaurus Device, diferentemente dos simuladores elétricos

como o SPICE, este tem que resolver cinco equações diferenciais referentes a um dispositivo semiconductor. Para resolver isso, é usado o Algoritmo Bank-Rose não linear ou Método de Amortecimento (SYNOPSYS, 2013c), que é uma modificação do Método de Newton para computadores com passos entre amostras muito pequenos (SELBERHERR, 1984), o qual é muito útil para resolver as equações que descrevem o comportamento das cargas nos dispositivos semicondutores (BANK; ROSE, 1981; BANK; ROSE; FICHTNER, 1983) por meio de elementos finitos. A quantidade de iterações, iterações de amortecimento, lado direito da equação (RHS) e valor mínimo do passo de simulação devem ser ajustados para configurar uma simulação rápida e precisa (CALIENES et al., 2014; CALIENES; REIS; VLADIMIRESCU, 2015). Tudo isso pode ser ajustado nas seções `Math { ... }` e `Solve { ... }` do script usando os comandos adequados para isso (SYNOPSYS, 2013c).

Para configurar o impacto de íon pesado usando o Sentaurus Device, é necessário indicar na seção `Physics { ... }` do script o uso do comando `HeavyIon(...)` o LET da partícula, o distância ou raio característico perpendicular a trilha do impacto e a longitude da trilha. Estes três dados podem ser configurados como arranjos de dados para representar a variação de densidade de cargas produzidas pelo íon quando penetra o material (SYNOPSYS, 2013c). Outros dados que devem ser configurados nesse comando são a localização do impacto, a direção dele (a qual deve ser definida como um vector), as unidades padrão, o tipo de distribuição que modela o espalhamento das cargas produzidas e o momento (tempo) onde a partícula atravessa o dispositivo.

Os gráficos que descrevem o que acontece com o dispositivo testado no tempo são importantes porque eles permitem saber o que acontece dentro do dispositivo em cada momento da simulação (isso é traçar um histórico) ou no final desta. Primeiro deve-se indicar ao script o que é que nos interessa observar na seção `Plot { ... }`. Sentaurus Device pode fornecer como padrão o que acontece no final da simulação. Para criar um histórico é necessário indicar na seção `Solve { ... }` do script o tempo de início do período da obtenção do histórico, de fim do período e a divisão do do período para obter os gráficos em cada momento de tempo (SYNOPSYS, 2013c). Cada gráfico, dependendo da complexidade, pode ser muito grande pela quantidade de dados que pode conter quando estiver pronto. As curvas de características podem ser vistas usando o `Inspect` e o `Sentaurus Visual` (SYNOPSYS, 2013a; SYNOPSYS, 2013e). Apenas os gráficos do dispositivo podem ser visualizadas usando o `Sentaurus Visual`.

3.6 Caracterização Estática de uma Célula de Memória de 6 Transistores em Modo Misto

Depois de projetar a célula de memória de 6 transistores usando dados de tecnologia adequados, é necessário caracterizar ela estaticamente, i.e. ver que tão sensível é a célula quando é acessada para leitura e escrita. Para isso deve-se obter as características de margem de ruído da células de memória feitas com dispositivos criados. Assim é possível determinar quão sensível é o circuito nas operações de leitura e escrita (LIST, 1986).

Para conseguir isso, é necessário projetar os transistores com as dimensões adequadas nos terminais deles, incluindo também o transistor caracterizado usando o Sentaurus TCAD. As caracterizações são feitas usando Simulações de Modo Misto, usando os procedimentos e circuitos relatados no anexo C. Assim é possível obter as margens de ruído de leitura (RNM) e escrita (WNM) desta Célula de Memória.

3.7 Simulação dos efeitos do SEU em uma célula de Memória em Modo Misto

Depois de encontrar o local e ângulo de impacto onde a CC é maior, pode-se fazer qualquer teste, estudo e modelagem de efeitos em circuitos mais complexos que possuam esses dispositivos. Usando estes dados e a célula de memória de 6 transistores devidamente caracterizada, deve-se configurar a célula em modo de retenção de dados (*IDLE*), trocar o transistor alvo do impacto de íon pesado pelo transistor projetado com o Sentaurus TCAD e variar o LET da partícula até encontrar a mínima carga onde a célula muda o valor que tem armazenado (isso é fazer um *Flip*).

É necessário usar os dados obtidos da caracterização do transistor desligado para saber em qual posição de impacto e em que ângulo de impacto a carga coletada obtida é maior. Com esses dados e mesmo tipo de partícula deve-se realizar os testes de SEU na célula de memória.

Assim, o transistor que vai ser usado nesta simulação deve ser modificado. As modificações a fazer são a mudança nas dimensões dos terminais de fonte e dreno e a largura W do transistor, preservando a largura da porta L igual. Isso é devido a que nas células de memória atuais apenas varia a largura dos transistores e não o comprimento da porta. O *Cell Ratio* e o *Pull-Up Ratio* devem ser compatíveis com a tecnologia usada quando se modelou o transistor no Sentaurus TCAD (RABAEY; CHANDRAKASAN;

NICOLIĆ, 2003; PAVLOV; SACHDEV, 2008).

Esta simulação é feita em modo misto, isto é, um dos transistores vai ser descrito usando o Sentaurus TCAD, e os outros cinco vão ser instanciados usando o *Model Card* (MC) do SPICE para este caso particular (SYNOPTSYS, 2013c; CALIENES et al., 2014). A descrição do circuito é feita na seção `System { . . . }` do script de Sentaurus Device. Antes que o MC do SPICE seja usado para fazer uma simulação em Modo Misto, este deve ser convertido usando o comando `spice2sdevice` (SYNOPTSYS, 2013g), como é mostrado no anexo G.10.

4 RESULTADOS OBTIDOS

O propósito de fazer simulações em Sentaurus TCAD é conseguir demonstrar a resistência que tem os transistores FDSOI em ambientes agressivos, com presença de íons pesados. Para este caso foram feitas muitas simulações tanto para testar SETs como para testar SEUs em células de memória feitas com transistores FDSOI de 28nm e Bulk de 32nm. Estes estudos podem ser estendidos para outras tecnologias e circuitos usando simulação de modo misto.

4.1 Modelagem dos Transistores

O processo começou lendo o MC PTM de 32nm de baixo consumo (PREDICTIVE TECHNOLOGY MODEL, 2015). Lendo os parâmetros dos modelos (mostrado no anexo F.1), pode-se ter uma ideia da dopagem do corpo do transistor Bulk de 32nm (NDEP) e dos poços de dreno e fonte (NSD), profundidade das juntas metalúrgicas (XJ) e espessura do óxido de porta (TOXP). Estes dados são apresentados na tabela 4.1. Com estes dados é possível iniciar a construção deste transistor Bulk usando o SDE. Foi decidido usar Boro para criar semicondutores do tipo P e Arsênio para o tipo N.

Tabela 4.1: Parâmetros Básicos do MC SPICE PTM 32nm Bulk de Baixo Consumo.

Parâmetro	NMOS	PMOS
NSD	$2.00 \times 10^{20} \text{cm}^{-3}$	$2.00 \times 10^{20} \text{cm}^{-3}$
NDEP	$4.12 \times 10^{18} \text{cm}^{-3}$	$3.07 \times 10^{18} \text{cm}^{-3}$
TOXP	1.30nm	1.30nm
XJ	50nm	10nm

Fonte: Adaptado de (PREDICTIVE TECHNOLOGY MODEL, 2015)

Para a modelagem do transistor FDSOI de 28nm foi usado um corpo do dispositivo com uma dopagem baixa. Neste caso, foi usada uma concentração constante no corpo/canal do dispositivo de $1.00 \times 10^{15} \text{cm}^{-3}$, e para o substrato uma dopagem de $1.00 \times 10^{14} \text{cm}^{-3}$ constante. Os blocos do BP foram definidos com uma dopagem constante de $2.00 \times 10^{18} \text{cm}^{-3}$. Para os poços dreno/fonte foi usada uma concentração inicial de $5.00 \times 10^{20} \text{cm}^{-3}$. A espessura do BOX foi escolhida em 20nm, do óxido em 0.90nm, do corpo do transistor em 8.5nm e do BP em 25nm. Todos os dispositivos tem uma espessura total de 200nm aproximadamente sem considerar os separadores de nitreto. Os

contatos de substrato dos dispositivos são blocos adicionais, que tem uma concentração de dopantes relativamente maior devido a que servem como interface entre o dispositivo e o contato metálico, o mesmo acontece com os contatos dos poços de fonte e dreno.

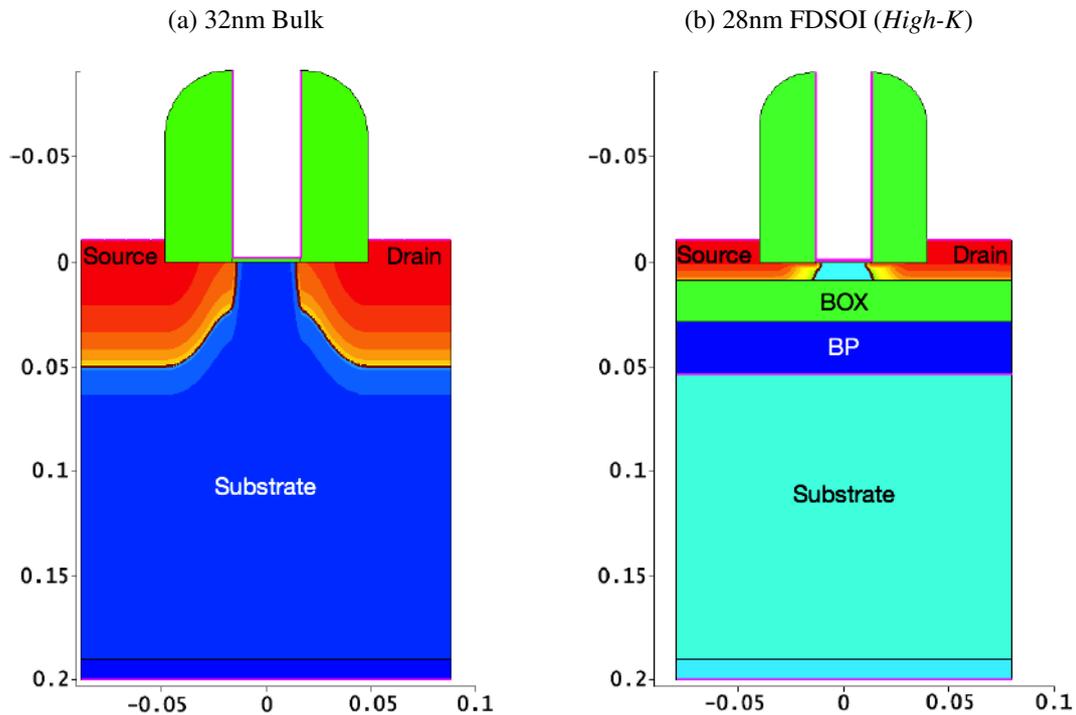
Devido ao uso de contatos que ficam acima do nível do óxido de porta do dispositivo, as janelas de implantação foram definidas com muito cuidado. Para cada poço foram definidas duas janelas de implantação: uma para o poço mesmo e outra para a extensão do poço por baixo dos separadores de Nitreto de Silício. Foram definidas as concentrações das extensões como 10 vezes menores que as concentrações dos poços. O tipo de perfil usado para a implantação através destas janelas foi do tipo gaussiano, variando os fatores de implantação dependendo das características desejadas para o dispositivo. Alterar o fator de implantação, as dopagens e espessura do óxido da porta também afetam a tensão de limiar e as correntes de saturação e corte do transistor. A Figura 4.1 mostra estes dois dispositivos.

Para o caso do transistor FDSOI de 28nm *High-K*, a estrutura é a mesma que o transistor FDSOI de 28nm relatada acima e mostrada na Figura 4.1b, a diferença é a composição do isolante na porta. Neste caso, foi usada um isolante polimérico na porta do dispositivo: Óxido de Silício (SiO_2) e Óxido de Háfênio (HfO_2) juntos. A espessura do SiO_2 foi de $t_1 = 0.55\text{nm}$ e a do HfO_2 de $t_2 = 1.283\text{nm}$, fazendo com que a espessura equivalente de óxido na porta seja de $t_{EOT} = 0.75\text{nm}$. No anexo E são relatados os detalhes para obter o t_{EOT} para este dispositivo.

Em todos os dispositivos, os metais dos terminais de fonte e dreno foram removidos. Também foi removido o metal da porta. Os testes feitos em (BI et al., 2013; BI et al., 2014) mostram que os impactos verticais de nêutrons nas portas dos FDSOI tem uma quantidade de carga coletada menor que o ensaio de impacto vertical nas terminais de dreno e maior que os resultados de ensaios feitos nas terminais de fonte, como é mostrado na figura 2.15. Fazer impactos no terminal de porta limita os testes a impactos quase verticais devido ao pouco comprimento da porta ($L \leq 32\text{nm}$). Também foi decidido usar a função trabalho do metal da porta Φ_M para simular ela, devido ao desconhecimento da concentração de dopantes no polisilício desta terminal e os componentes isolantes que a compõem (por isso se nomeia de porta polimérica). Normalmente estes componentes isolantes contem Nitrato de Titanium (TiN) e Safira (Al_2O_3) (FENOUILLET-BERANGER et al., 2011a), materiais que não existem na atual biblioteca do Sentaurus Structure Editor.

Para a definição da grade do dispositivo devem ser feitas constantes provas para poder escolher uma grade de precisão razoável. Nos dois dispositivos foram definidas

Figura 4.1: Estrutura dos Dispositivos Criados no SDE.



Fonte: Os Autores.

grades em cada região. Primeiro foi definida uma grade regular em todas as regiões. Para isso deve-se definir o máximo e mínimo tamanho da grade, a função de geração e sua localização. Depois, dependendo da necessidade, é definida uma grade multi caixa ou *multi-box* nas regiões mais importantes do dispositivo ter resultados mais detalhados (SYNOPTIS, 2013d). Neste caso, a *multi-box* é definida no canal dos dispositivos, justo embaixo da porta. A qualidade da grade depende da qualidade dos resultados e da velocidade da simulação.

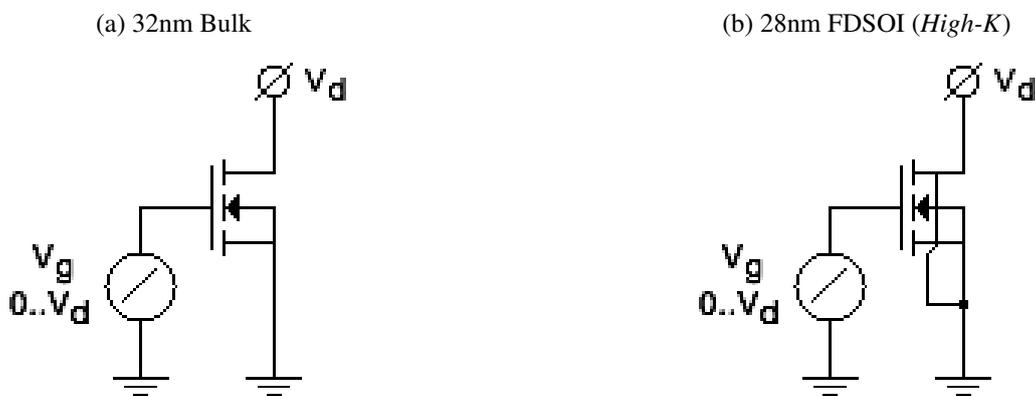
4.2 Comparação com um modelo compacto SPICE

Devido a falta de modelos reais feitos em Sentaurus TCAD, deve-se usar os modelos SPICE para poder caracterizar e refazer a estrutura dos dispositivos efetuados no Sentaurus para que suas características sejam parecidas. Para isso, foram usadas as curvas I_d vs. V_g e I_d vs. V_d dos transistores para poder calibrar os dispositivos criados no Sentaurus.

Depois de rodar as simulações em HSPICE, foi rodada uma primeira simulação

no Sentaurus. Foram mudados os parâmetros do dispositivo no SDE e a função trabalho do metal da porta Φ_M no script do SDevice. Para o Bulk de 32nm $\Phi_M = 4.25\text{eV}$, e para o FDSOI de 28nm e *High-K* de 28nm $\Phi_M = 4.52\text{eV}$. Isso deve ser efetivado várias vezes variando o dispositivo sob teste, até encontrar uma semelhança com as curvas do HSPICE. Os circuitos usados para extrair as curvas I_d vs. V_g são mostrados na figura 4.2 para cada dispositivo criado. A figura 4.3 mostra a comparação entre as curvas I_d vs. V_g das simulações SPICE e Sentaurus dos transistores FDSOI de 28nm, FDSOI *High-K* de 28nm e Bulk de 32nm. Estas curvas vão ser úteis para caracterizar estes dispositivos. Neste caso os transistores foram simulados com uma tensão de dreno de $V_d = V_{dd} = 1\text{V}$.

Figura 4.2: Circuito para extração da curva I_d vs. V_g ($V_d = V_{dd} = 1\text{V}$).

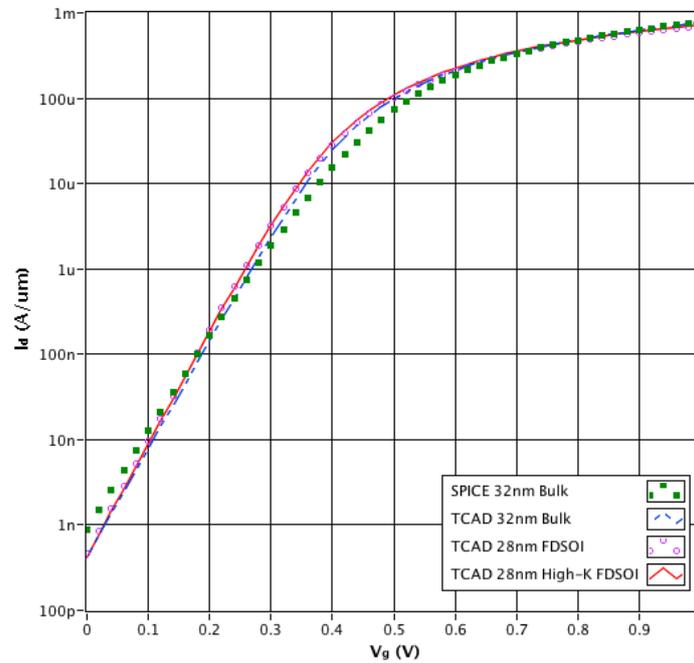


Fonte: Os Autores.

4.3 Extração de Parâmetros

Como foi dito na secção 4.2, a curva I_d vs. V_g de um transistor serve para extrair as características elétricas deste. A tabela 4.2 mostra as características dos três dispositivos projetados em Sentaurus TCAD. Pode-se notar que o transistor Bulk de 32nm é um pouco melhor em correntes de corte I_{off} e saturação I_{on} que as versões FDSOI de 28nm projetadas, mas, em linha geral, são muito parecidos, onde o dispositivo Bulk de 32nm modelado com Sentaurus TCAD tem uma característica I_d vs. V_g quase igual à característica I_d vs. V_g do FDSOI *High-K* de 28nm. A diferença mínima entre I_{on} dos três dispositivos é do 6.56% e do I_{off} é de 0.47%, menor que o 10%. No caso das tensões de limiar, a diferença entre $V_{th(sat)}$ a mínima diferença destes transistores é de 4.49%, e a diferença de $V_{th(tin)}$ é de 15.33%, sendo esta última a característica com maior diferença.

Figura 4.3: Comparação das curvas I_d vs. V_g do HSPICE e Sentaurus TCAD para os dispositivos desenvolvidos: 32nm Bulk CMOS, 28nm FDSOI e 28nm FDSOI *High-K* ($V_{dd} = 1V$).



Fonte: Os Autores.

No anexo B é explicado como pode-se obter essas características elétricas a partir das curva I_d vs. V_g .

Tabela 4.2: Características Elétricas dos Dispositivos Criados.

Parâmetro	32nm Bulk	28nm FDSOI	28nm FDSOI HK
Corrente de Saturação (I_{on})	778 $\mu A/\mu m$	702 $\mu A/\mu m$	727 $\mu A/\mu m$
Corrente de Corte (I_{off})	423pA/ μm	461pA/ μm	421pA/ μm
Tensão de Limiar Saturação ($V_{th(sat)}$)	188mV	178mV	179mV
Tensão de Limiar Linear ($V_{th(lin)}$)	260mV	215mV	213mV
Dim. da Bar. Ind. no Dreno ($DIBL$)	81mV/V	41mV/V	38mV/V
Inclinação Sub-Limiar (S_S)	78mV/dec	75mV/dec	75mV/dec

Fonte: Os Autores.

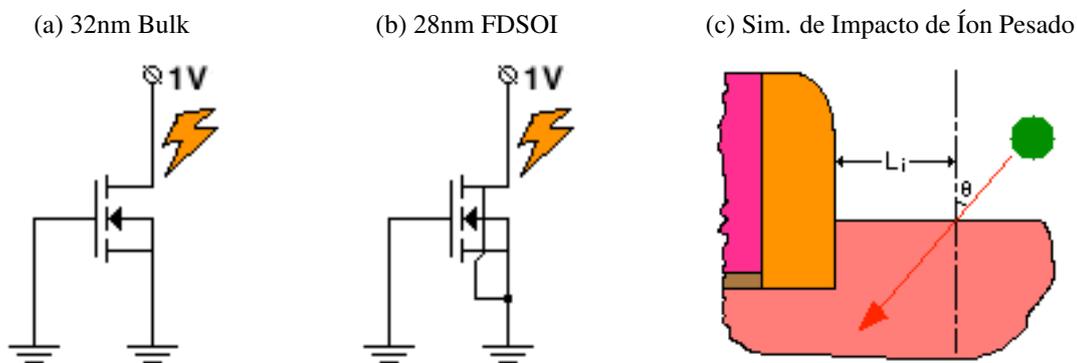
4.4 Caraterização do transistor modelado com SET

Para realizar esta simulação, os dispositivos devem estar em estado de desligado, como é mostrado nas Figuras 4.4a e 4.4b. O terminal BP dos FDSOI está aterrada. O

objetivo é estudar o efeito do pulso transiente de corrente quando um íon pesado atinge um dos terminais do dispositivo, como o terminal do dreno ou de fonte.

Para este caso, cada dispositivo a ser testado vai ter uma largura $W_g = 100\text{nm}$. Foi usado o modelo de impacto de Íon Pesado de (SYNOPTSYS, 2013c) mostrado na secção 3.1.6.2. O íon vai ter um $LET = 100\text{MeV}\cdot\text{cm}^2/\text{mg}$ ($1.0447\text{pC}/\mu\text{m}$), um comprimento de trilha total percorrida de $l = 300\text{nm}$ e uma distância característica de $w_t = 20\text{nm}$. O tempo total de simulação será de $T_s = 100\text{ps}$ e o impacto do íon pesado acontecerá no $t_i = 25\text{ps}$.

Figura 4.4: Circuitos para Simulação e Configuração de Impacto de Íons.



Fonte: Os Autores.

Os impactos vão acontecer nos terminais elevados de fonte e dreno dos três dispositivos com seis diferentes ângulos de impacto θ (0° , 15° , 30° , 45° , 60° e 75°) em cinco diferentes locais L_i desde o separador de nitreto para cada ângulo (6nm, 12nm, 18nm, 24nm e 30nm). A Figura 4.4c mostra como a simulação de impacto de íon pesado é configurado usando L_i e θ .

4.4.1 Transistor Bulk de 32nm

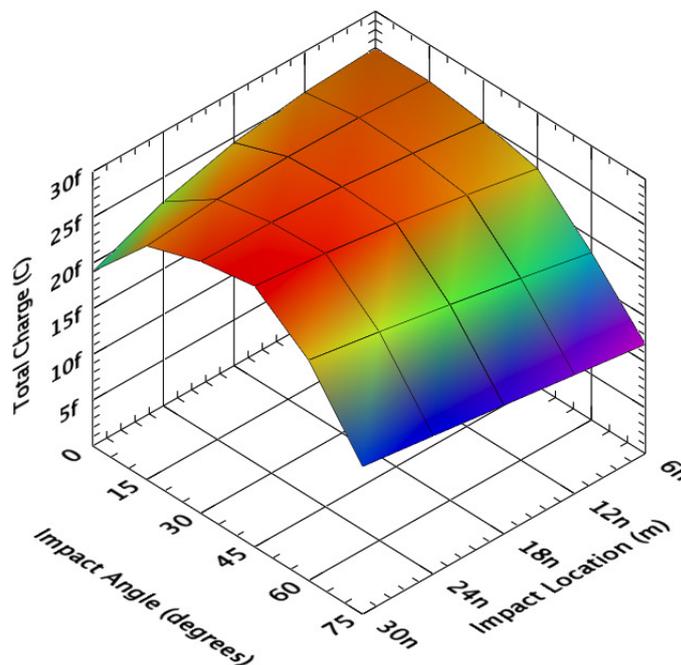
No caso do transistor Bulk de 32nm, a configuração do circuito de teste é como é mostrado na Figura 4.4a.

Para o caso de impacto no terminal do Dreno, a carga coletada (CC) máxima obtida neste caso foi de 28.54fC quando $L_i = 30\text{nm}$ e $\theta = 45^\circ$. A mínima CC foi de 11.96fC quando $L_i = 6\text{nm}$ e $\theta = 75^\circ$. A tendência da CC nestas condições é de diminuir quando o impacto é perto do separador de nitreto e quando o ângulo de impacto é incrementado. Quando o L_i é incrementado, a tendência da CC é quase constante, e.g. para $\theta = 30^\circ$ e

$L_i = 6\text{nm}$ a CC é 25.23fC, para $L_i = 30\text{nm}$ a CC é 27.55fC (apenas 2.32fC de diferença). Os valores mais constantes acontecem quando o impacto tem $\theta = 15^\circ$. Quando o ângulo θ é incrementado, a variação de CC apresenta um comportamento tipo “seno” em todo valor de L_i , i.e. para $\theta = 0^\circ$ tem uma CC baixa, perto de $\theta = 45^\circ$ a carga é alta e quando $\theta = 75^\circ$ a CC é muito mais baixa que quando o impacto acontece com $\theta = 0^\circ$. Estes resultados são mostrados na figura 4.5.

No terminal da Fonte do transistor Bulk de 32nm, a CC máxima foi de 25.28fC quando $L_i = 30\text{nm}$ e $\theta = 60^\circ$. A CC mínima foi de 2.31fC quando $L_i = 30\text{nm}$ e $\theta = 0^\circ$. A tendência da CC quando o L_i é incrementado é de diminuir, mas muito devagar, e.g. para $\theta = 30^\circ$ e $L_i = 6\text{nm}$ a CC é 17.28fC, para $L_i = 18\text{nm}$ é de 14.70fC e para $L_i = 30\text{nm}$ é de 12.24fC. Quando o θ é incrementado, a CC vai incrementado até $\theta = 60^\circ$, depois disso começa a diminuir lentamente. A figura 4.6 mostra os resultados das simulações feitas para poder obter estas tendências.

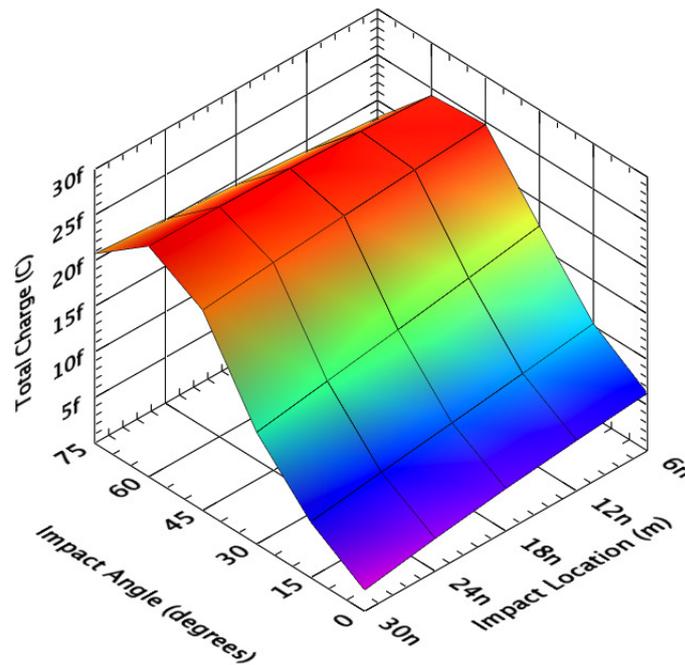
Figura 4.5: Resultados de Carga Colectada do Impacto de um Íon Pesado de 100MeV-cm²/mg no Terminal do Dreno no Transistor Bulk 32nm.



Fonte: Os Autores.

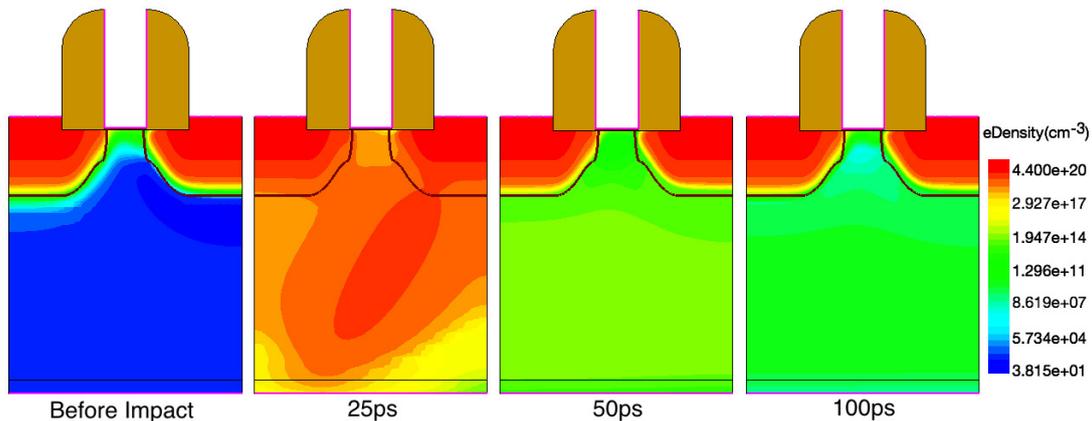
A figura 4.7 mostra a evolução da densidade de elétrons no tempo quando $L_i = 30\text{nm}$ e $\theta = 30^\circ$ quando o impacto acontece no terminal do Dreno do dispositivo. Em $t_i = 25\text{ps}$ acontece o impacto e, nestas condições, é obtida a máxima CC registrada para este caso.

Figura 4.6: Resultados de Carga Colectada do Impacto de um Íon Pesado de 100MeV-cm²/mg no Terminal do Dreno no Transistor Bulk 32nm.



Fonte: Os Autores.

Figura 4.7: Densidade de Elétrons no tempo no Bulk 32nm quando o Impacto de Íon acontece em $L_i = 30\text{nm}$ e $\theta = 30^\circ$ no terminal do Dreno (CC=27.55fC).



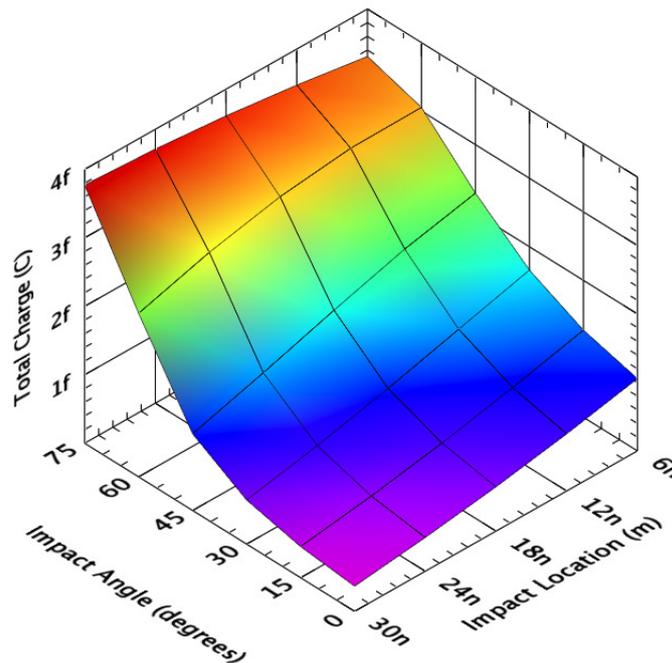
Fonte: Os Autores.

4.4.2 Transistor FDSOI de 28nm

Para o caso do transistor FDSOI de 28nm, o procedimento foi o mesmo para o Bulk de 32nm.

No caso do impacto no terminal do Dreno, a CC máxima foi de 3.77fC e aconteceu

Figura 4.8: Resultados de Carga Colectada do Impacto de um Íon Pesado de 100MeV-cm²/mg no Terminal do Dreno no Transistor FDSOI 28nm.



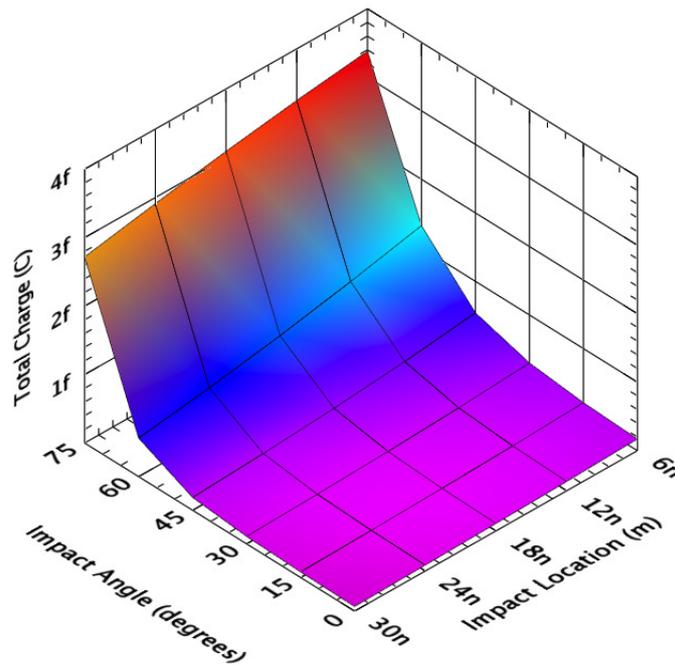
Fonte: Os Autores.

quando $\theta = 75^\circ$ e $L_i = 30\text{nm}$, muito longe de separador de nitreto. A CC mínima foi de 0.37fC e aconteceu em $\theta = 0^\circ$ e $L_i = 30\text{nm}$, em direção vertical e muito longe do separador de nitreto. Quando o L_i é incrementado, a tendência da CC é de diminuir, e.g. para $\theta = 60^\circ$ fixo, a $L_i = 6\text{nm}$ a CC é de 3.05fC, a $L_i = 18\text{nm}$ a CC é de 2.92fC, a $L_i = 30\text{nm}$ a CC é de 2.39fC. A exceção a isso é quando $\theta = 75^\circ$, em este caso a CC se incrementa lentamente desde 3.61fC a $L_i = 18\text{nm}$ até o 3.77fC a $L_i = 30\text{nm}$. Quando o ângulo de impacto θ é incrementado, CC incrementa para todos os casos. A CC mínima acontece quando $\theta = 0^\circ$ e a máxima quando $\theta = 75^\circ$, sem importar o valor de L_i . Os resultados destas simulações se resumem na figura 4.8. Pode-se notar a tendência do incremento na CC quando o ângulo de impacto é incrementado, algo parecido ao exposto em (MESSENGER, 1982).

Para o caso do impacto na terminal de Fonte do FDSOI de 28nm, a CC máxima é de 3.38fC quando $\theta = 75^\circ$ e $L_i = 6\text{nm}$ e a mínima CC é de 0.06688fC em $\theta = 0^\circ$ e $L_i = 30\text{nm}$. O comportamento da CC, em linha geral, é muito parecido com o comportamento da CC no Dreno, só que para o caso do impacto na terminal da Fonte do dispositivo, a CC sempre é menor. Isso pode ser visto comparando os resultados mostrados nas figuras 4.8 e 4.9. Pode-se concluir então que a zona do terminal da Fonte é menos sensível aos

impactos de íons pesados que o terminal de Dreno.

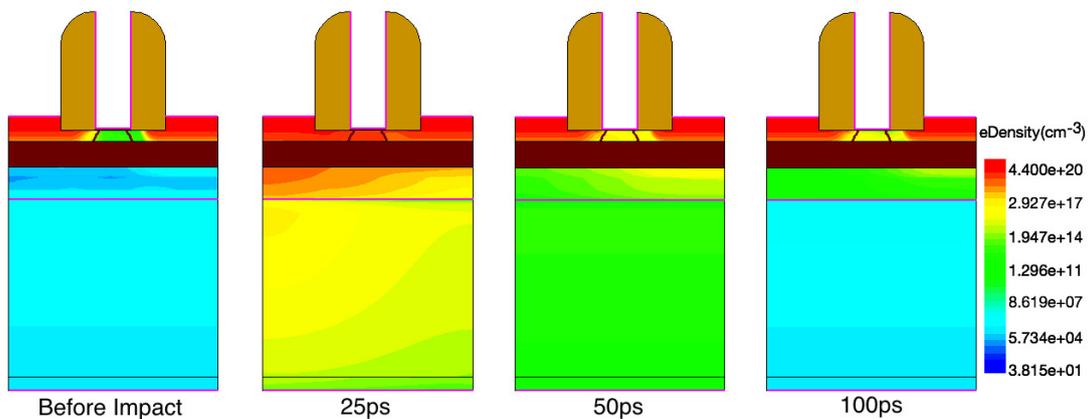
Figura 4.9: Resultados de Carga Colectada do Impacto de um Íon Pesado de $100\text{MeV}\cdot\text{cm}^2/\text{mg}$ no Terminal da Fonte no Transistor FDSOI 28nm.



Fonte: Os Autores.

A figura 4.10 mostra a evolução da densidade de elétrons no tempo quando $L_i = 12\text{nm}$ e $\theta = 75^\circ$ para o FDSOI de 28nm quando o dreno é impactado com um íon pesado. Nestas condições, a CC é a máxima registrada.

Figura 4.10: Densidade de Elétrons no tempo no FDSOI 28nm quando o Impacto de Íon acontece a $L_i = 12\text{nm}$ e $\theta = 75^\circ$ no terminal do Dreno (CC=3.47fC).



Fonte: Os Autores.

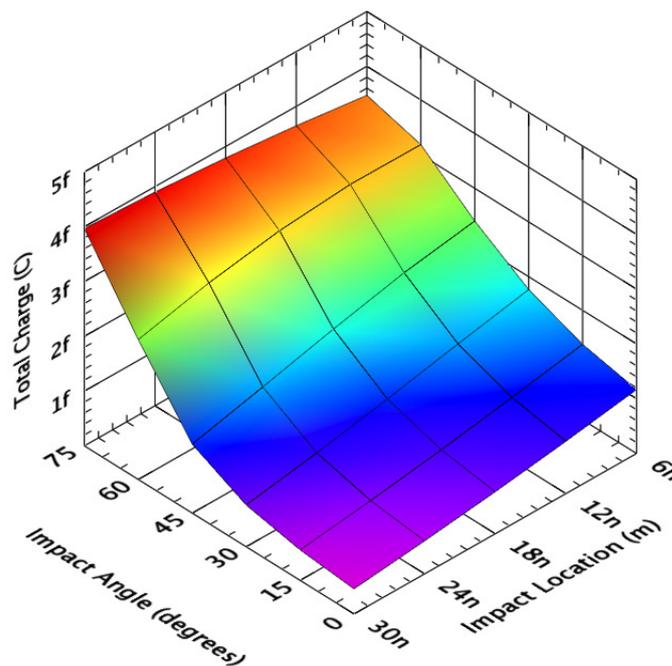
4.4.3 Transistor FDSOI *High-K* de 28nm

O método usado para o análise dos efeitos do SET no dispositivo FDSOI *High-K* é o mesmo usado para o dispositivo FDSOI padrão com $t_{ox} = 0.9\text{nm}$.

Os impactos de um íon pesado de $\text{LET}=100\text{MeV}\cdot\text{cm}^2/\text{mg}$ no terminal do Dreno deste dispositivo teve uma CC máxima de 3.97fC a $\theta = 75^\circ$ e $L_i = 30\text{nm}$, e uma CC mínima de 0.46fC para $\theta = 0^\circ$ e $L_i = 30\text{nm}$, lugares iguais dos impactos no dispositivo FDSOI da secção 4.4.2. O comportamento da variação da CC respeito de L_i e θ é mostrado na Figura 4.11.

No caso dos impacto no terminal de Fonte deste dispositivo, a máxima CC foi de 3.48fC e aconteceu em $\theta = 75^\circ$ e $L_i = 6\text{nm}$, próximo do separador de nitreto. A mínima CC registrada neste caso foi de 0.08442fC em $\theta = 0^\circ$ e $L_i = 30\text{nm}$. Igual que no caso do FDSOI padrão da secção 4.4.2, a tendência dos valores de CC respeito de L_i e θ são parecidas. A Figura 4.12 mostra o resumo dos resultados das simulações feitas no terminal de Fonte deste dispositivo *High-K*.

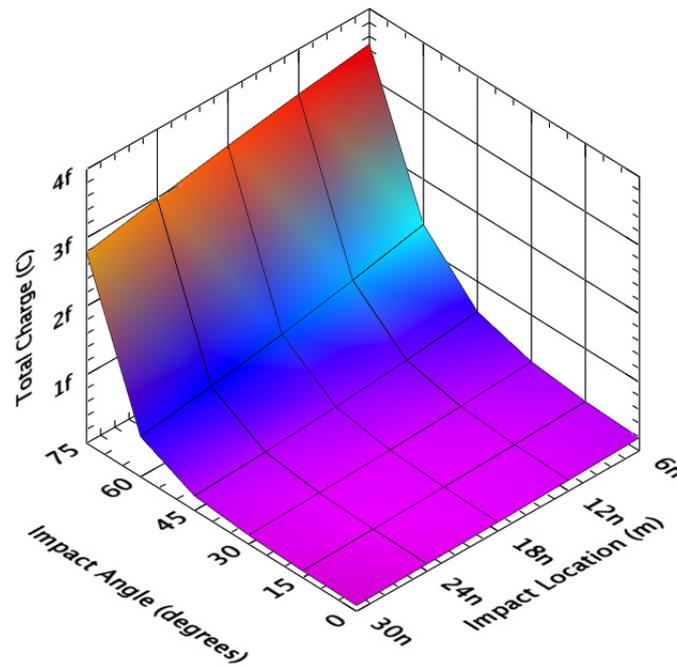
Figura 4.11: Resultados de Carga Colectada do Impacto de um Íon Pesado de $100\text{MeV}\cdot\text{cm}^2/\text{mg}$ no Terminal do Dreno no Transistor FDSOI 28nm *High-K*.



Fonte: Os Autores.

A Figura 4.13 mostra a densidade de elétrons no tempo devido ao impacto de um íon pesado de $\text{LET}=100\text{MeV}\cdot\text{cm}^2/\text{mg}$. Neste caso é mostrado o impacto quando $L_i =$

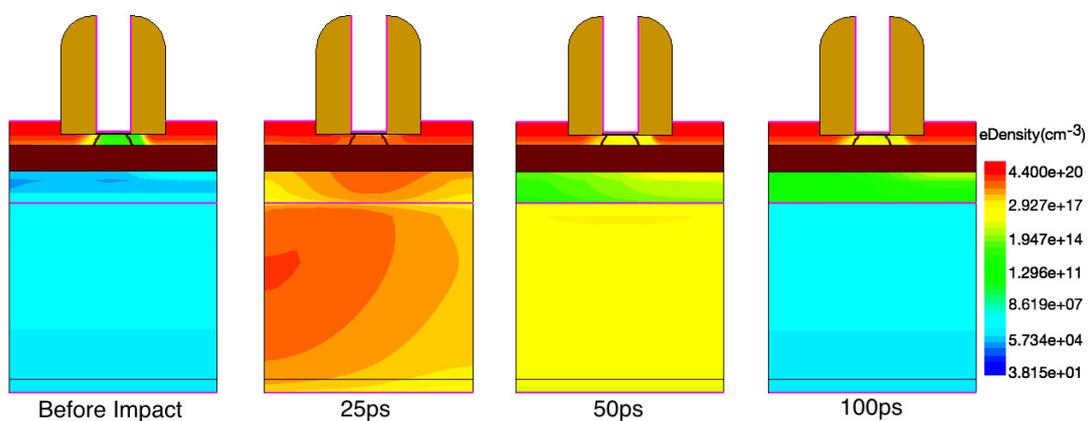
Figura 4.12: Resultados de Carga Colectada do Impacto de um Íon Pesado de 100MeV-cm²/mg no Terminal da Fonte no Transistor FDSOI 28nm *High-K*.



Fonte: Os Autores.

12nm e $\theta = 45^\circ$ no terminal de Dreno. Nestas condições, a CC registrada foi de 2.19fC.

Figura 4.13: Densidade de Elétron no tempo no FDSOI 28nm *High-K* quando o Impacto de Íon acontece a $L_i = 12\text{nm}$ e $\theta = 45^\circ$ no terminal do Dreno (CC=2.19fC).



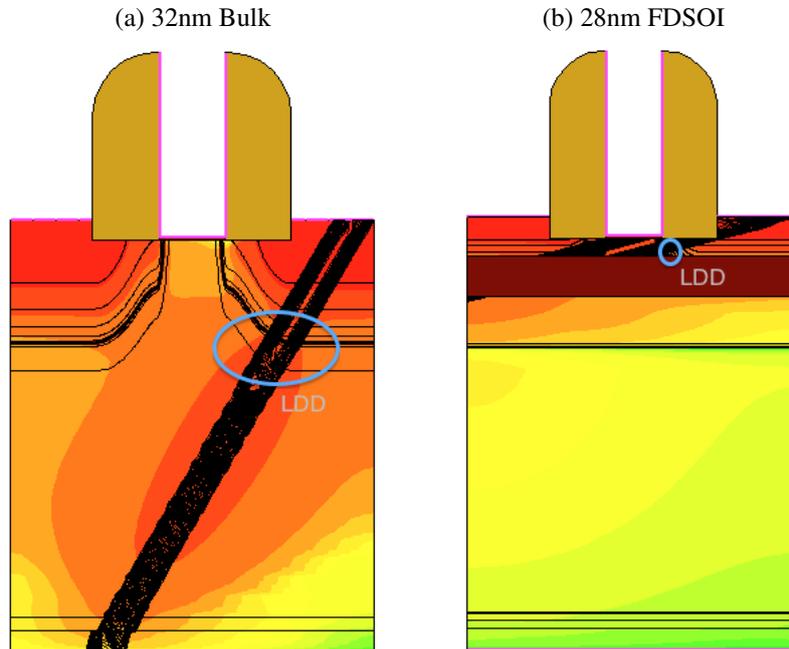
Fonte: Os Autores.

4.4.4 Análise de Resultados

A carga coletada e a corrente transiente dependem dos materiais com que é feita a porta do dispositivo, a geometria da região de dopagem leve no dreno (Light Doped Drain) (BI et al., 2014), a polarização do substrato (BI et al., 2013), dos materiais isolantes usados na porta e o volume de silício na região do corpo do dispositivo (CALIENES et al., 2014). A carga gerada pelo impacto do íon é coletada nos processos de recombinação, arraste e difusão. O pico da corrente transiente produzida depende diretamente da componente de arraste e polarização do substrato (BI et al., 2013). A quantidade da CC é diretamente proporcional ao volume de silício e depende da concentração de portadores (dopagem) deste corpo (CALIENES et al., 2014). No caso de um Ultra-thin FDSOI, a espessura do corpo de silício que forma o canal é muito menor que o comprimento deste e está limitado por baixo pelo BOX. A recombinação neste caso é menor que no caso do transistor CMOS Bulk, onde o corpo é mais largo. No pior caso, a CC no FDSOI é aproximadamente 7.57 vezes menor que a CC no transistor Bulk. No caso do transistor FDSOI *High-K*, a CC máxima nestas condições é de 7.19 vezes menor que a máxima CC registrada para o dispositivo Bulk. De acordo com (MESSENGER, 1982) a zona mais sensível a um impacto de partículas é a junção p-n inversamente polarizada, e a corrente transiente é modelada usando 2.38. No caso do transistor Bulk, a máxima CC acontece quando $L_i = 30\text{nm}$ e $\theta = 30^\circ$, onde o trilha do íon atravessa a região LDD da terminal do dreno, como é mostrada na figura 4.14a. O mesmo acontece no FDSOI e no FDSOI *High-K* em $L_i = 12\text{nm}$ e $\theta = 75^\circ$ da figura 4.14b. Assim, o LDD é a região mais sensível nos terminais destes três dispositivos (BI et al., 2013). A geometria do perfil de dopagem e sua locação perto dos poços tem influência no CC, no caso dos dois FDSOI de 28nm simulados, o LDD tem uma concentração de $-2 \times 10^{14}\text{cm}^{-3}$, e no Bulk de 32nm é de $-8 \times 10^{17}\text{cm}^{-3}$ aproximadamente. Também a dopagem do silício tem uma forte influência na CC devido a que uma concentração maior garante mais cargas para recombinação. A tabela 4.3 mostra o resumo dos resultados onde a CC é maior devido ao impacto do íon pesado de $\text{LET}=100\text{MeV}\cdot\text{cm}^2/\text{mg}$.

Outras simulações foram realizadas com diferentes valores de Φ_M do metal de porta destes dispositivos. A Função Trabalho da porta (que representa o metal do terminal da porta) tem influência na carga produzida pelo impacto de partículas. Isso é devido à influência que tem as bandas de energia quando o sistema Metal-Óxido-Semicondutor é criado. Quando o Φ_M é incrementado, V_{th} é incrementado e o dispositivo fica mais difícil

Figura 4.14: Região de Dopagem Leve no Dreno e o Íon Pesado atravessando os Dispositivos.



Fonte: Os Autores.

Tabela 4.3: Resumo dos Resultados do Impacto de Íon Pesado nos Dispositivos em estado de Desligado (LET=100MeV-cm²/mg).

Dispositivo	Terminal	L_x	θ	CC
32nm Bulk	Dreno	30nm	45°	28.54fC
	Fonte	30nm	60°	25.28fC
28nm FDSOI	Dreno	30nm	75°	3.77fC
	Fonte	6nm	75°	3.38fC
28nm FDSOI High-K	Dreno	30nm	75°	3.97fC
	Fonte	6nm	75°	3.48fC

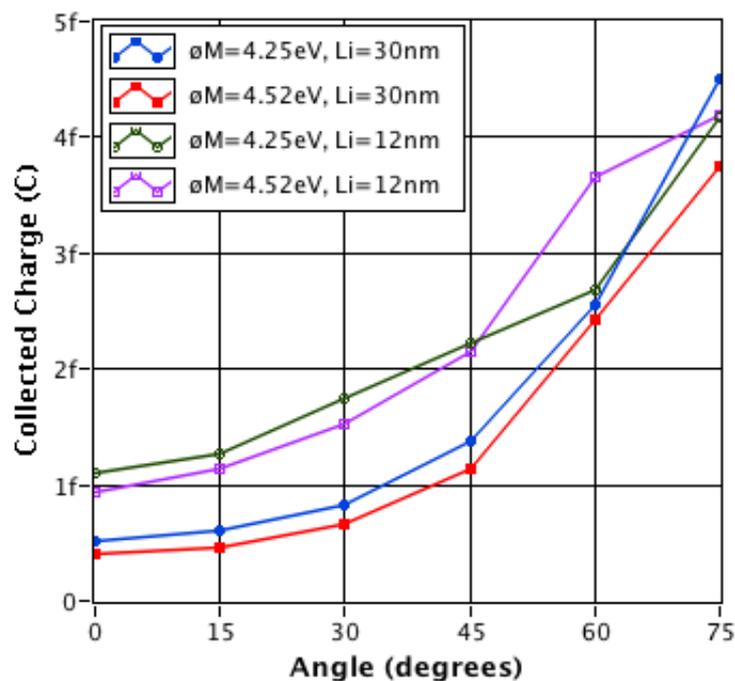
Fonte: Os Autores.

de ser ligado. Quando um íon pesado atinge o terminal de dreno neste caso a voltagem entre a terminal de fonte e o corpo do dispositivo V_{sb} é incrementada devido a quantidade de carga móvel produzida pelo efeito de afunilamento mostrado em (2.40). A barreira de energia do corpo aumenta, e o canal entre os terminais de fonte e dreno é formado pelas cargas de depleção (DIMITRIJEV, 2012) e as cargas geradas pela trilha do íon pesado. Neste caso, a carga total de depleção Q_d depende de Φ_M :

$$Q_d = C_{ox}(V_{th} - \Phi_M + \Phi_S + q \frac{N_{oc}}{C_{ox}} - 2\phi_F) \quad (4.1)$$

onde N_{oc} é a densidade de carga no óxido. Assim, ao incrementar Φ_M , Q_d é decrescentada, e a CC também decresce. A Figura 4.15 mostra a comparação entre dois diferentes locais de impacto L_i do íon pesado no terminal do Dreno de dois transistores FDSOI de 28nm com distintas Funções Trabalho Φ_M de Metal da Porta. Para o caso de $L_i=30\text{nm}$, a CC no transistor com $\Phi_M=4.25\text{eV}$ é maior que a CC do transistor com $\Phi_M=4.52\text{eV}$, o qual está de acordo com (4.1). Pode ser notado que para $\Phi_M=4.25\text{eV}$ e $L_i=30\text{nm}$, a CC quando $\theta=75^\circ$ é muito grande, de 4.5fC. Mas para $L_i=12\text{nm}$, muito perto do separador de nitreto, quando o ângulo de impacto é maior que 45° , a CC do transistor com $\Phi_M=4.25\text{eV}$ é menor que a CC do transistor com $\Phi_M=4.52\text{eV}$. Isso é porque a esta distância e com ângulos maiores que 45° o íon pesado atravessa a região LDD e o canal do transistor. Então deve-se escolher o metal da porta adequado para poder enfrentar o problema de CCs maiores. Então, a CC pode ser modelada pela soma da carga de depleção fixa Q_d e a carga móvel gerada pelo íon pesado atravessando o silício do dispositivo.

Figura 4.15: Comparação de Carga Coletada para diferentes lugares de impacto e diferentes Funções Trabalho do Metal de Porta do FDSOI de 28nm.



Fonte: Os Autores.

O BOX e o BP no FDSOI tem algumas vantagens em ambientes de íons pesados e radiação. Quando o íon pesado atravessa o dispositivo, a carga produzida por ele não retorna ao canal devido ao BOX embaixo dele. O BOX ajuda a isolar essas cargas e evitam a recombinação destas na zona ativa do canal. Neste caso, o BP aterrado des-

carrega o substrato, mas lentamente. No caso do transistor Bulk, no tempo de simulação $T_s = 100\text{ps}$, o substrato do dispositivo permaneceu carregado com $1 \times 10^{11}\text{cm}^{-3}$ elétrons aproximadamente. Pode-se observar uma densidade similar de elétrons no BP do FDSOI no mesmo tempo de simulação.

O efeito que o FDSOI tenha menos CC que seu equivalente FDSOI *High-K* é devido a que não são totalmente equivalentes pelos erros de aproximação dos cálculos para criar os óxidos isolantes nas portas dos dispositivos. Deve-se ter em conta que a capacitância de um capacitor de placas paralelas é $C_p = \varepsilon S/d$, onde $\varepsilon = \varepsilon_K \varepsilon_0$ é a permitividade elétrica do isolante do capacitor, ε_K é a permitividade relativa do material isolante, ε_0 é a permitividade elétrica do vácuo, S a área das placas paralelas que contem o isolante e d é a distância que separa estas placas. Como a superfície S nas portas dos dois dispositivos FDSOI simulados são iguais, vamos normalizar que a capacitância da porta é $C = C_p/(S\varepsilon_0) = \varepsilon_K/d$. Para o caso do FDSOI de 28nm foi usado na Porta do dispositivo SiO_2 onde $\varepsilon_K = \varepsilon_{\text{SiO}_2} = 3.9$ e $d = t_{ox} = 0.9\text{nm}$, então a capacitância na porta do FDSOI C_{oxSOI} é:

$$C_{oxSOI} = \frac{\varepsilon_{\text{SiO}_2}}{t_{ox}} = \frac{(3.9)}{(0.9)} = 4.33\text{nm}^{-1} \quad (4.2)$$

e para o caso do transistor FDSOI *High-K*, tem dois óxidos na porta em série: SiO_2 onde $\varepsilon_1 = \varepsilon_{\text{SiO}_2} = 3.9$, $d_1 = t_{\text{SiO}_2} = 0.55\text{nm}$, e HfO_2 onde $\varepsilon_2 = \varepsilon_{\text{HfO}_2} = 25$, $d_2 = t_{\text{HfO}_2} = 1.283\text{nm}$. A capacitância na porta do FDSOI *High-K* $C_{oxSOIHK}$ é:

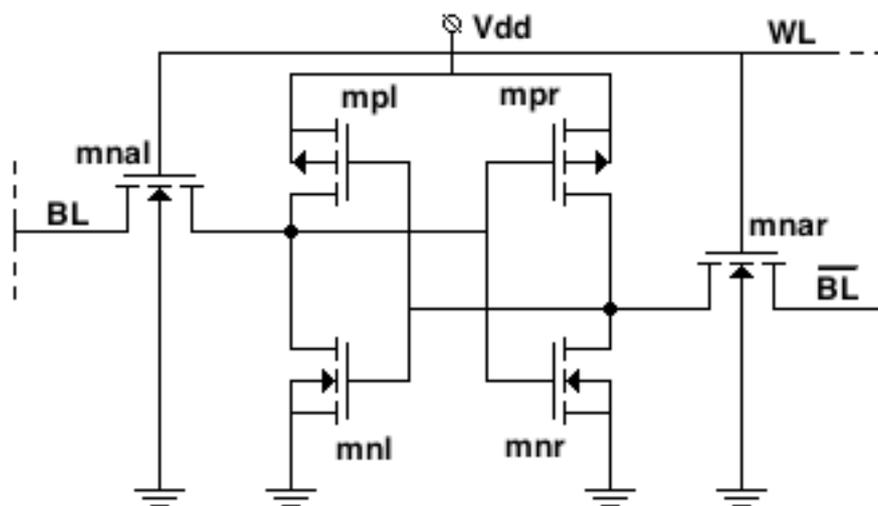
$$C_{oxSOIHK} = \left[\frac{t_{\text{SiO}_2}}{\varepsilon_{\text{SiO}_2}} + \frac{t_{\text{HfO}_2}}{\varepsilon_{\text{HfO}_2}} \right]^{-1} = \left[\frac{(0.55)}{(3.9)} + \frac{(1.283)}{(25)} \right]^{-1} = 5.19\text{nm}^{-1} \quad (4.3)$$

e assim, neste caso, $C_{oxSOI} < C_{oxSOIHK}$. Além disso, a Capacitância é diretamente proporcional à carga armazenada, a qual contribui para que a CC resultante dos impactos de íon pesado no dispositivo FDSOI seja menor que a CC registrada no seu equivalente *High-K*. Então, o dispositivo FDSOI *High-K* feito para este trabalho está mais predisposto a ter mais CC que o FDSOI padrão criado devido ao impacto de um íon pesado.

4.5 Simulação dos efeitos do SEU em uma célula de Memória em Modo Misto

Depois de encontrar o pior caso onde os transistores FDSOI de 28nm e Bulk de 32nm conseguem ter a máxima carga coletada pelo impacto de um íon pesado de $100\text{MeV}\cdot\text{cm}^2/\text{mg}$, estes dados foram usados para simular o mesmo impacto em uma célula de memória de 6 transistores destas tecnologias testadas. Para este caso várias simulações foram feitas em modo misto para poder ver qual é a Carga Crítica Q_{crit} para a qual o circuito troca seu valor armazenado. Na figura 4.16 é mostrado o esquemático de uma SRAM de 6 transistores. Os transistores NMOS de passo “mnl” e “mnr” são controlados pela linha de palavra WL, a qual permite o acesso (modos READ/WRITE) ou retenção (modo IDLE) dos dados. Os dados são lidos ou escritos usando as linhas de bit BL e $\overline{\text{BL}}$.

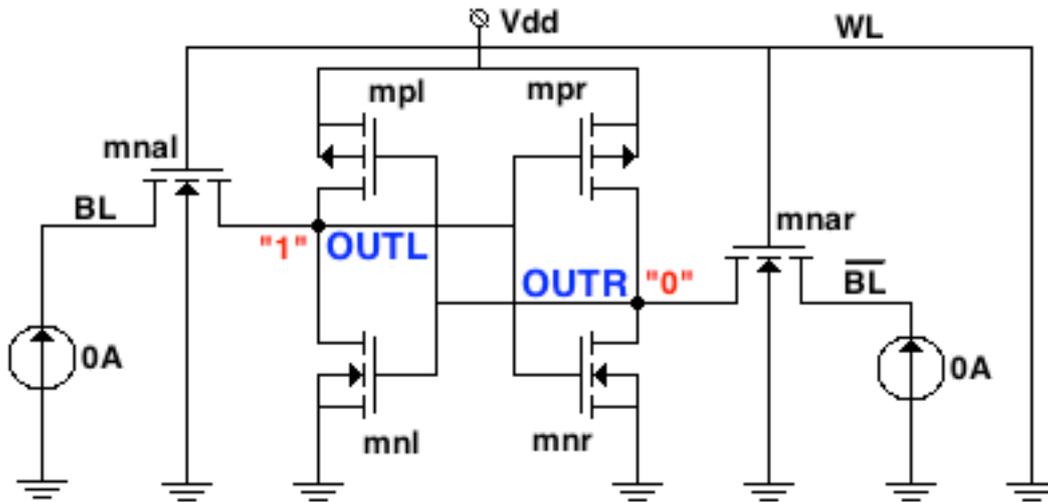
Figura 4.16: Célula de Memória SRAM de 6 Transistores



Fonte: Adaptado de (LIST, 1986) e (RABAEY; CHANDRAKASAN; NICOLIĆ, 2003).

Para saber qual é a mínima carga necessária para mudar o dado armazenado em uma célula, é preciso colocar a célula em modo IDLE. Na figura 4.17, a Célula de Memória está em modo IDLE: WL está aterrado, BL e $\overline{\text{BL}}$ estão em alta impedância.

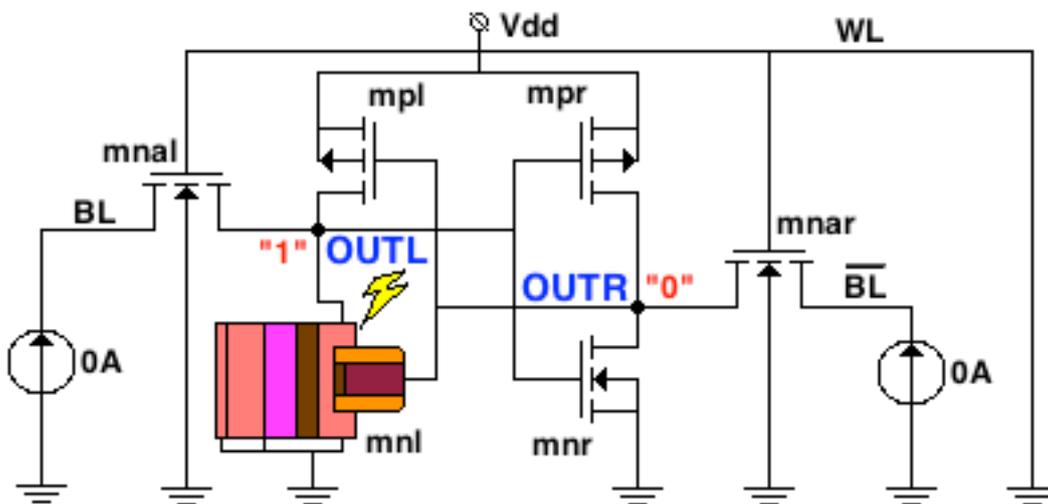
Para realizar os impactos de íon pesado, foram usados os dispositivos previamente testados dentro da célula de memória descrita a nível de circuito, como é apresentado na figura 4.18, i.e. cinco transistores são descritos com um modelo SPICE, enquanto o transistor alvo do íon pesado (mnl) é descrito usando o Sentaurus TCAD. Neste caso foi armazenado o valor de “1” lógico no lado esquerdo do circuito (no nó OUTL), enquanto

Figura 4.17: Célula de Memória 6T em modo *IDLE*

Fonte: Os Autores.

seu complemento aparece no lado direito (nó OUTR).

Figura 4.18: Simulação de uma Célula de Memória 6T em Modo Misto.



Fonte: Os Autores.

Foi necessário dimensionar adequadamente os terminais de dreno e fonte dos transistores para que as trilhas de metal possam ser roteadas nos contatos e cumprir as condições descritas em (RABAEY; CHANDRAKASAN; NICOLIĆ, 2003) e (PAVLOV; SACHDEV, 2008) para o correto funcionamento do circuito SRAM 6T. Para isso foram usadas as regras de projeto da SAED de 32 e 28nm fornecida pela Synopsys (DEPARTMENT, 2011).

4.5.1 Célula SRAM 6T Bulk de 32nm

4.5.1.1 Caracterização Estática da Célula de Memória Bulk de 32nm

O primeiro a ser feito é projetar uma célula de memória de 6 transistores usando transistores 32nm, onde um dos transistores DRIVER (NMOS) vai ser trocado pelo transistor alvo do íon pesado projetado usando o Sentaurus TCAD. A tabela 4.4 mostra as dimensões da cada transistor: Largura W, Perímetro P, Área A e a relação entre a Largura e o Comprimento de cada dispositivo W/L. O comprimento das terminais de fonte e dreno é de 120nm.

Tabela 4.4: Dimensões das terminais do transistores da Célula de Memória 6T de tecnologia Bulk de 32nm (L=32nm).

Transistor	W	P	A	W/L
mnal	160nm	560nm	19200nm ²	5
mnar	160nm	560nm	19200nm ²	5
mnr	217nm	674nm	26040nm ²	6.78
mpr	91nm	422nm	10920nm ²	2.84
mnl	217nm	674nm	26040nm ²	6.78
mpl	91nm	422nm	10920nm ²	2.84

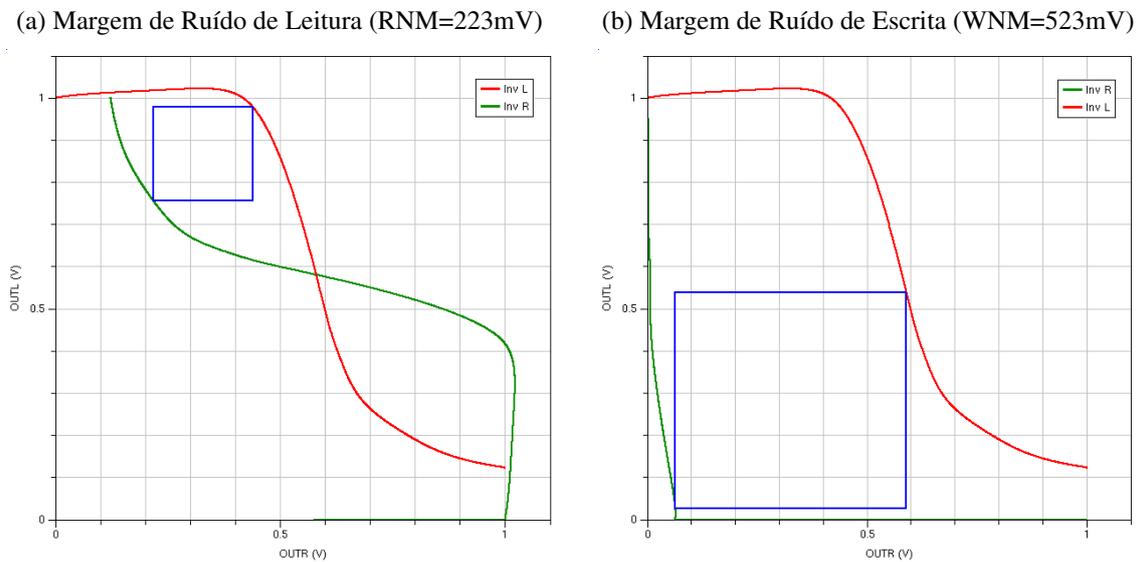
Fonte: Os Autores.

Usando o método descrito no anexo C, foi feita a caracterização estática desta Célula de Memória de 6 Transistores usando para ela 1V de alimentação. Como resultado foi obtido que a Margem de Ruído de leitura (RNM) é de 223mV e de escrita (WNM) de 523mV. A Figura 4.19 mostra os gráficos das funções de transferência da Célula de Memória na leitura e na escrita. Então, qualquer ruído na alimentação por acima de 218mV poderia mudar a data armazenada nesta célula de memória.

4.5.1.2 Estudo do SEU na Célula de Memória Bulk de 32nm

Na secção 4.4 foi obtido que a máxima CC pelo impacto de íon pesado no dreno de um Bulk de 32nm acontece quando $L_i = 30\text{nm}$ e $\theta = 45^\circ$. Neste caso, vamos usar estes mesmos dados para configurar o impacto do íon. No anexo G.11 é mostrado o *script* de Sentaurus Device para esta simulação. Os contatos de dreno e fonte deste dispositivo tem um comprimento de 120nm. As dimensões relatadas na tabela 4.4 são usadas na Secção Sistema desse *script* para descrever os demais dispositivos da Célula. Essa mesma secção do *script* serve também para descrever as conexões entre os dispositivos para configurar

Figura 4.19: Funções de Transferência para a Célula de Memória de 32nm Bulk ($V_{dd} = 1V$).



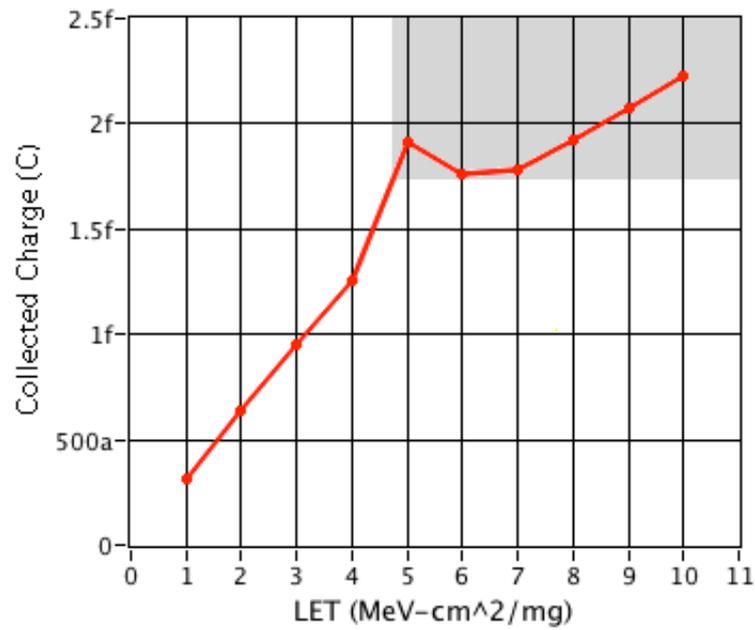
Fonte: Os Autores.

a célula de memória em modo IDLE. O impacto do íon pesado é descrito na Seção Física do dispositivo. É definido para esta simulação um tempo total de simulação de $T_S = 1ns$ em intervalos de 1ps. Foram tiradas 11 fotografias do dispositivo para registrar os efeitos do impacto do íon pesado no tempo de simulação.

Neste caso, foram testados impactos de íons com LET desde 1 até $10MeV\text{-}cm^2/mg$. Os resultados de Carga Coletada (CC) vs. LET são mostrados na figura 4.20. Nessas simulações, o menor LET para produzir suficiente carga para provocar um SEU na SRAM da figura 4.18 é $5MeV\text{-}cm^2/mg$ e produz uma CC de $1.91fC$ com uma corrente transiente pico I_{peak} de $218.28\mu A$. Mas a mínima carga para provocar uma mudança do conteúdo da SRAM é de $Q_{crit} = 1.76fC$, que é a Carga Crítica para esse circuito. Usando o valor de Q_{crit} na figura 4.20, é possível estimar o mínimo LET do íon que consegue *flipar* a SRAM, que é $4.75MeV\text{-}cm^2/mg$ aproximadamente. A área cinza na figura 4.20 marca a área crítica onde a SRAM pode ter um SEU devido a um impacto de íon pesado.

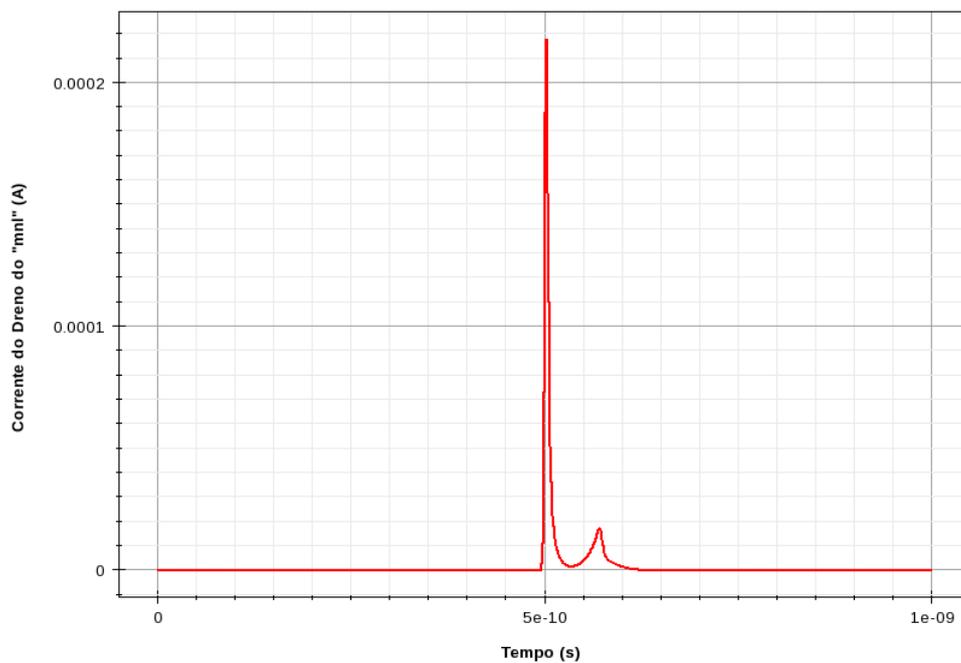
As figuras 4.21 e 4.22 mostram os resultados no tempo destas simulações quando um íon pesado de $5MeV\text{-}cm^2/mg$ atinge o terminal do dreno do transistor “mnl” da célula de memória mostrada na figura 4.18 na localização $L_i = 30nm$ e $\theta = 45^\circ$.

Figura 4.20: Resultados de CC vs. LET para uma SRAM 6T em tecnologia 32nm Bulk.



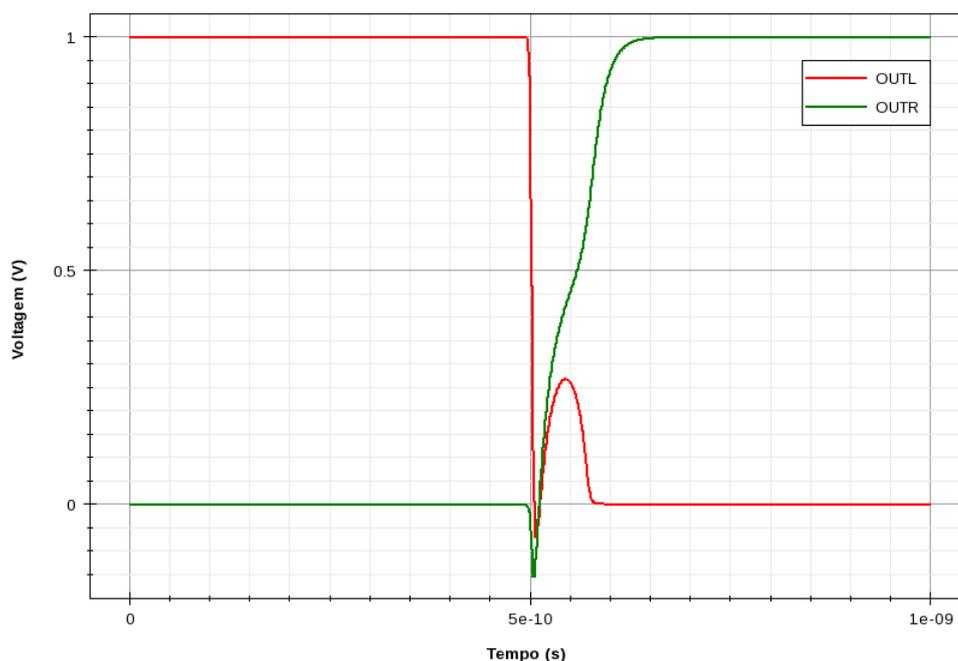
Fonte: Os Autores.

Figura 4.21: Corrente transiente devido ao impacto de um Íon Pesado SRAM 6T em tecnologia 32nm Bulk ($LET = 5\text{MeV-cm}^2/\text{mg}$).



Fonte: Os Autores.

Figura 4.22: Tensão nos nós OUTL e OUTR da SRAM 6T de tecnologia 32nm Bulk durante a simulação do Impacto de um Íon Pesado ($LET = 5\text{MeV}\cdot\text{cm}^2/\text{mg}$).



Fonte: Os Autores.

4.5.2 Célula SRAM 6T FDSOI de 28nm

4.5.2.1 Caracterização Estática da Célula de Memória FDSOI de 28nm

A tabela 4.5 mostra as dimensões usadas em cada um dos transistores usados para projetar a Célula de Memória da figura 4.18, usando transistores FDSOI de 28nm, algo parecido ao visto na secção 4.5.1.1. Neste caso, as terminais de dreno e fonte tem um comprimento de 120nm.

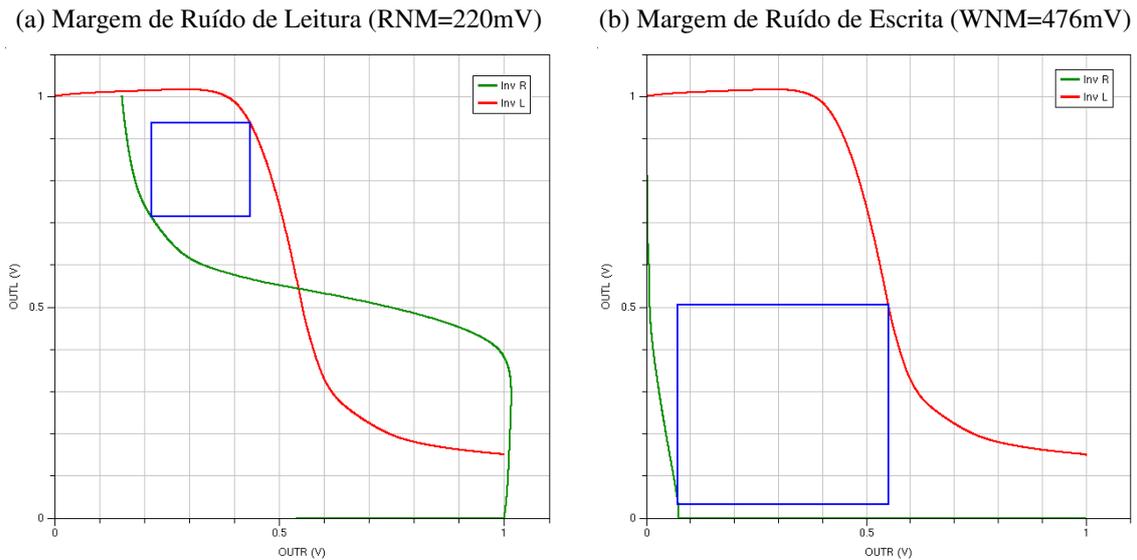
Tabela 4.5: Dimensões das terminais dos transistores da Célula de Memória 6T de tecnologia FDSOI de 28nm ($L=28\text{nm}$).

Transistor	W	P	A	W/L
mnal	140nm	520nm	16800nm ²	5
mnar	140nm	520nm	16800nm ²	5
mnr	190nm	620nm	22800nm ²	6.79
mpr	80nm	400nm	9600nm ²	2.86
mnl	190nm	620nm	22800nm ²	6.79
mpl	80nm	400nm	9600nm ²	2.86

Fonte: Os Autores.

A caracterização estática foi feita usando o método descrito no anexo C. Os gráficos das funções de transferência para obter RNM e WNM são mostradas na Figura 4.23. Para este caso $RNM=220mV$ e $WNM=476mV$ para uma fonte de alimentação de $V_{dd} = 1V$.

Figura 4.23: Funções de Transferência para a Célula de Memória de 28nm FDSOI ($V_{dd} = 1V$).



Fonte: Os Autores.

4.5.2.2 Estudo do SEU na Célula de Memória FDSOI de 28nm

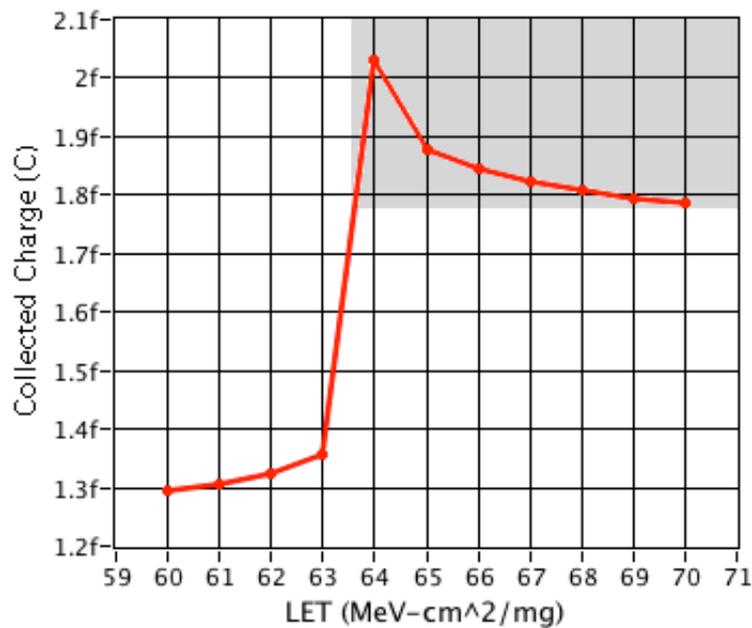
Na seção 4.4 pode-se ver que a máxima CC de um impacto de íon pesado no dreno de um FDSOI de 28nm acontece quando $L_i = 12nm$ e $\theta = 75^\circ$. Neste caso, foram usados esses mesmos dados para configurar o impacto do íon. O *script* em Sentaurus Device no anexo G.12 descreve como foi feita cada uma das simulações.

Os impactos foram configurados para íons com LET de 60 até $70MeV\text{-cm}^2/mg$ em intervalos de $1MeV\text{-cm}^2/mg$ quando $L_i = 12nm$ e $\theta = 75^\circ$ em todas as simulações. Neste caso, em $64MeV\text{-cm}^2/mg$ foi observado o primeiro *bit-flip*, com uma CC total de $2.03fC$ e uma corrente transiente pico de $290\mu A$. A partir desse valor de LET , os íons provocavam SEU no circuito SRAM. Quando finalizou as simulações, a mínima carga para obter um *bit-flip* na célula de memória é de $Q_{crit} = 1.78fC$ que aconteceu para um LET simulado de $70MeV\text{-cm}^2/mg$. Com esse valor de Q_{crit} é possível estimar que com um íon de $LET = 63.6MeV\text{-cm}^2/mg$ pode-se obter suficiente carga para fazer mudar os conteúdos da SRAM. A figura 4.24 mostra a relação entre a carga coletada no transistor

“mnl” e o LET do íon pesado. A área cinza na figura indica a “área crítica” onde este circuito SRAM tem mudanças no seu conteúdo.

O transiente de corrente no transistor alvo “mnl” e a voltagem nos nós OUTL e OUTR da SRAM simulada são mostradas nas figuras 4.25 e 4.26 respectivamente. O íon pesado é de $LET = 64\text{MeV}\cdot\text{cm}^2/\text{mg}$ e o impacto acontece no terminal do dreno na locação $L_i = 12\text{nm}$ e $\theta = 75^\circ$.

Figura 4.24: Resultados de CC vs. LET para uma SRAM 6T de tecnologia 28nm FDSOI.



Fonte: Os Autores.

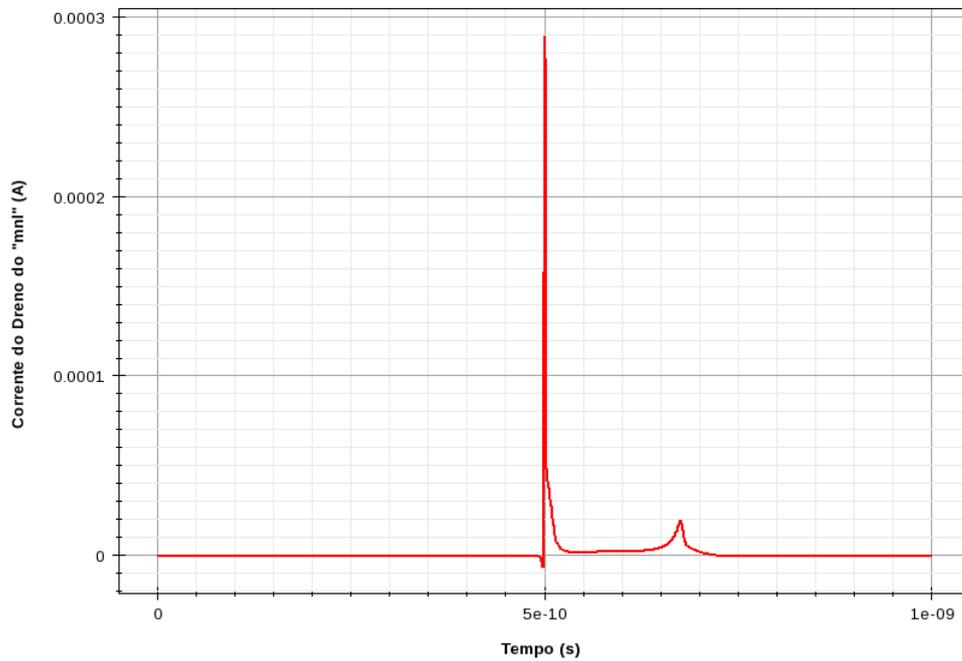
4.5.3 Célula SRAM 6T FDSOI *High-K* de 28nm

4.5.3.1 Caracterização Estática da Célula de Memória FDSOI *High-K* de 28nm

No caso da célula SRAM de 6 transistores projetada com dispositivos FDSOI *High-K* de 28nm, foram usadas as mesmas dimensões dos terminais de cada transistor relatadas na tabela 4.5, devido a que estes dois dispositivos tem quase as mesmas dimensões. Igual que nos casos anteriores, as normas SAED (DEPARTMENT, 2011) foram usadas para dar as dimensões certas aos terminais de Fonte e Dreno de todos os transistores do circuito SRAM.

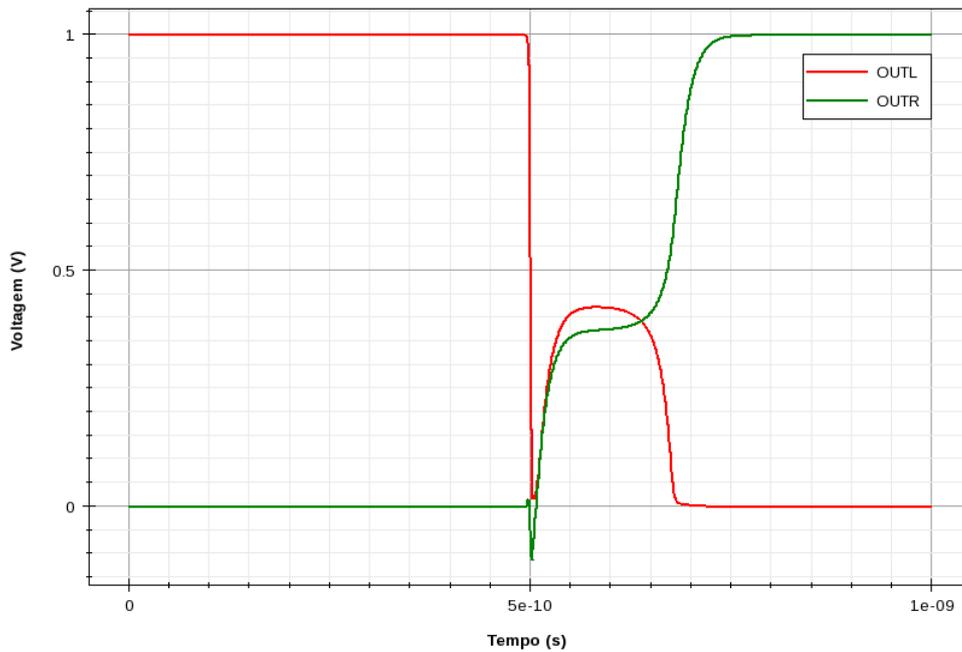
Usando o método descrito no anexo C foram obtidos as margens de ruído estático de leitura e escrita desta célula de memória: $RNM=220\text{mV}$ e $WNM=468\text{mV}$ para uma

Figura 4.25: Corrente transiente devido ao impacto de um Íon Pesado SRAM 6T de tecnologia 28nm FDSOI ($LET = 64\text{MeV}\cdot\text{cm}^2/\text{mg}$).



Fonte: Os Autores.

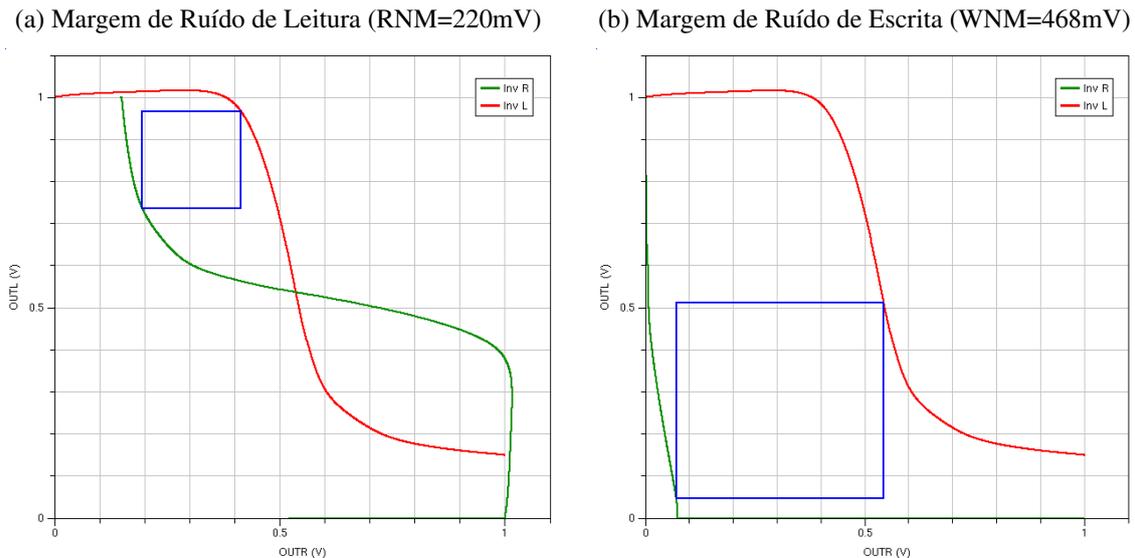
Figura 4.26: Tensão nos nós OUTL e OTR da SRAM 6T de tecnologia 28nm FDSOI durante as simulação do Impacto de um Íon Pesado ($LET = 64\text{MeV}\cdot\text{cm}^2/\text{mg}$).



Fonte: Os Autores.

fonte que alimenta a célula de $V_{dd} = 1\text{V}$. Neste caso, para que a SRAM de 6 transistores vá para um estado de instabilidade é preciso de um ruído na alimentação maior que 220mV para 1V de alimentação. A Figura 4.27 mostra as funções de transferência para estas duas características.

Figura 4.27: Funções de Transferência para a Célula de Memória de 28nm FDSOI *High-K* ($V_{dd} = 1\text{V}$).



Fonte: Os Autores.

4.5.3.2 Estudo do SEU na Célula de Memória FDSOI *High-K* de 28nm

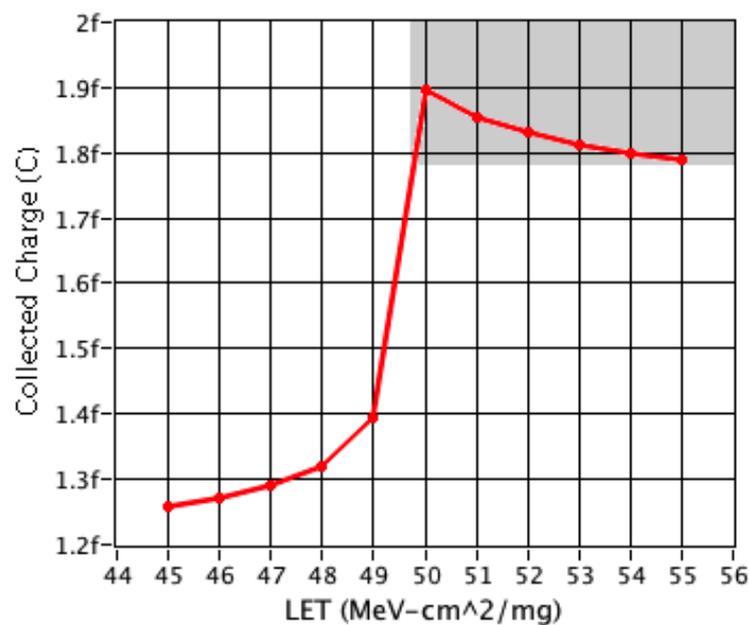
A máxima CC de acordo com o exposto na secção 4.4 foi obtida quando $L_i = 30\text{nm}$ e $\theta = 75^\circ$ no caso da SRAM 6T feita com transistores *High-K* FDSOI de 28nm. Usando esses dados foi configurado o impacto do íon pesado no Sentaurus Device. Devido a que foi descoberto que o dispositivo FDSOI *High-K* simulado e analisado na secção 4.4.3 é um pouco mais susceptível aos impactos de íons que o dispositivo FDSOI da secção 4.4.2, foi feito uma varredura de valores de LET um pouco menor para descobrir a quando a célula muda o valor armazenado. As simulações tiveram um tempo total $T_s = 1\text{ns}$ e o impacto do íon pesado aconteceu em $t = 0.5\text{ns}$.

Nas simulações feitas, a SRAM mudou seu valor quando o íon chegou a $LET = 50\text{MeV}\cdot\text{cm}^2/\text{mg}$ e produz uma CC de 1.89fC. Os valores de LET usados para as simulações foram desde 44 até 56MeV·cm²/mg. A área cinza mostra a “área crítica” onde a célula sempre vai ter um *bit-flip*, a qual começa a partir da Carga Crítica $Q_{crit} = 1.79\text{fC}$, com o qual foi estimado um $LET = 49.75\text{MeV}\cdot\text{cm}^2/\text{mg}$ para esse caso. A Figura 4.28

mostra a carga coletada do transistor “mnl” em relação com o LET do íon pesado que atinge ele.

O transiente resultante do impacto desse íon pesado é mostrado na Figura 4.29, o qual tem um pico de corrente de $321.34\mu A$. A Figura 4.30 mostra como varia o conteúdo nos nós OUTL e OUTR da SRAM quando o íon pesado de $LET = 50\text{MeV}\cdot\text{cm}^2/\text{mg}$ atinge o terminal de dreno do transistor “mnl” no tempo de simulação $t = 0.5\text{ns}$.

Figura 4.28: Resultados de CC vs. LET para uma SRAM 6T de tecnologia 28nm FDSOI High-K.

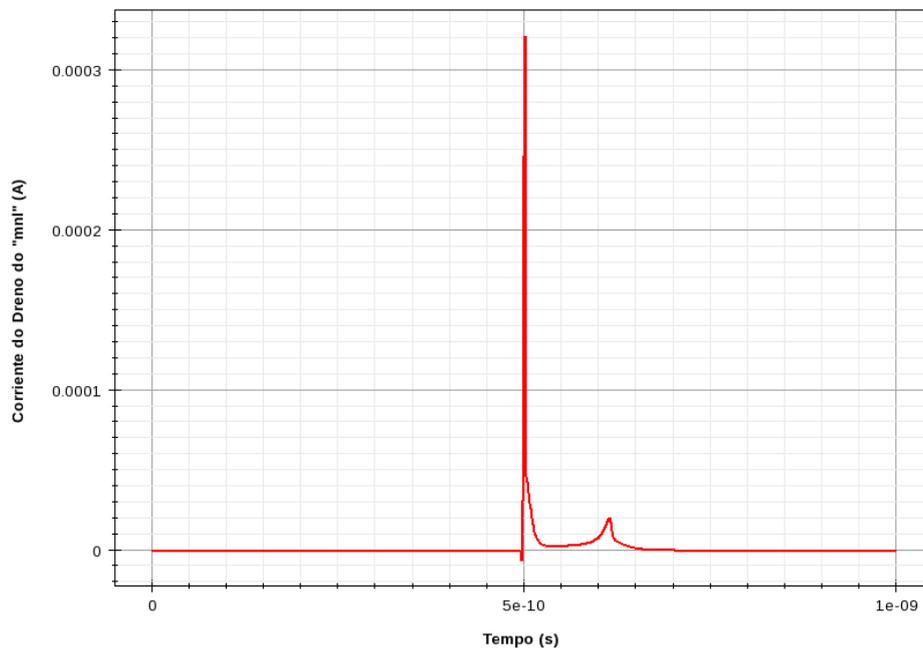


Fonte: Os Autores.

4.5.4 Análise de Resultados

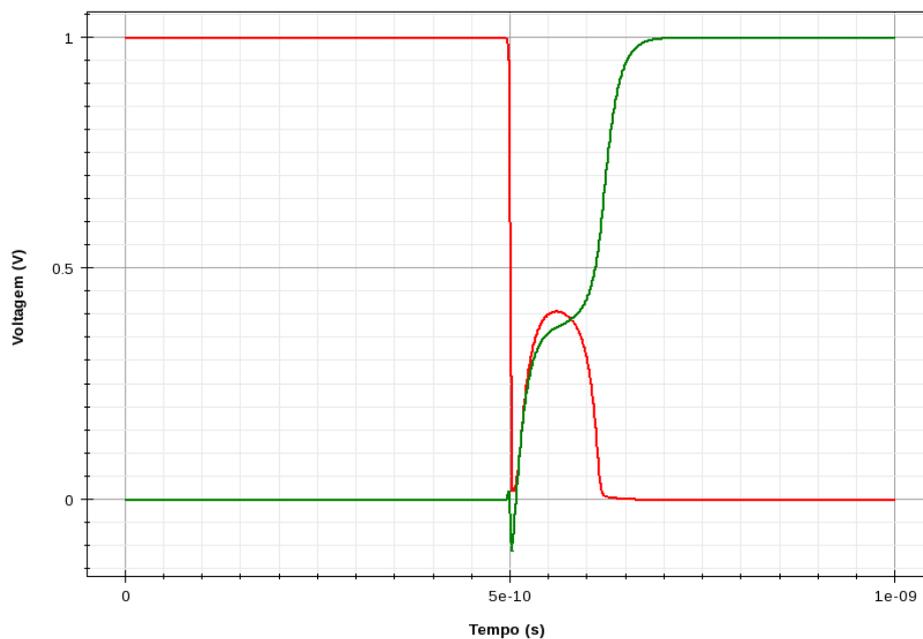
As SRAMs feitas com tecnologias FDSOI e FDSOI High-K de 28nm são mais resistentes ante os impactos de íons pesados que a SRAM feita com tecnologia Bulk de 32nm. Na figura 4.31 é mostrada a comparação das correntes transientes para estas duas células de memória de diferentes tecnologias. A figura 4.32 mostra com mais detalhe estes transientes. A tabela 4.6 mostra um resumo dos resultados obtidos. Em termos de LET , a célula SRAM FDSOI de 28nm é 12.8 vezes mais resistente que a célula feita com tecnologia Bulk de 32nm. No caso da célula SRAM FDSOI High-K de 28nm, esta é 10 vezes mais resistente que a SRAM Bulk de 32nm. É preciso da mesma Carga Coletada

Figura 4.29: Corrente transiente devido ao impacto de um Íon Pesado SRAM 6T de tecnologia 28nm FDSOI *High-K* ($LET = 50\text{MeV}\cdot\text{cm}^2/\text{mg}$).



Fonte: Os Autores.

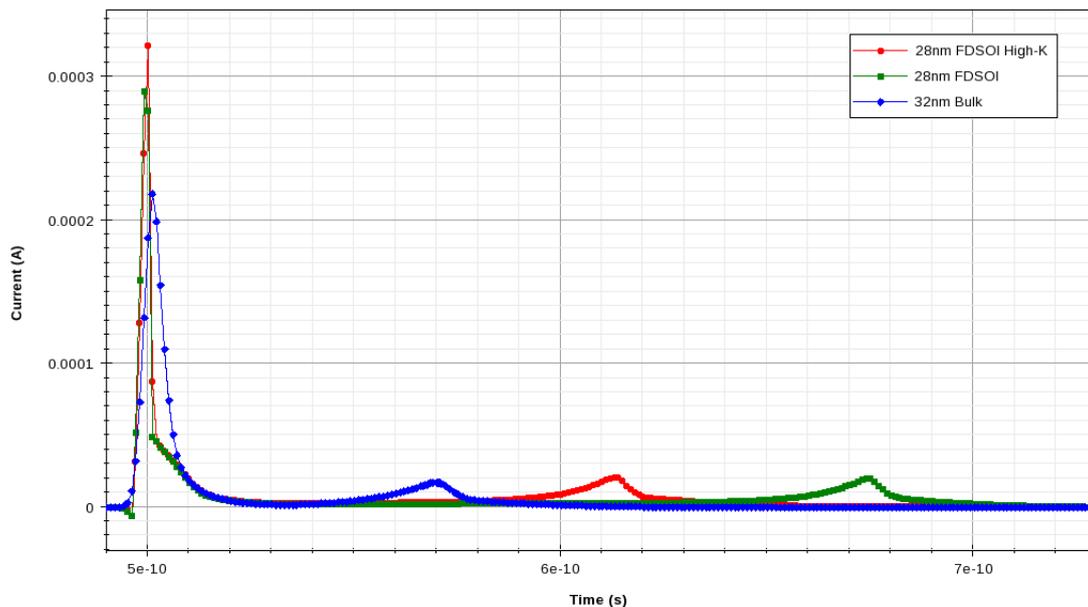
Figura 4.30: Tensão nos nós OUTL e OUTR da SRAM 6T de tecnologia 28nm FDSOI *High-K* durante a simulação do Impacto de um Íon Pesado ($LET = 50\text{MeV}\cdot\text{cm}^2/\text{mg}$).



Fonte: Os Autores.

de quase 1.9fC para conseguir “flipar” as células nos três casos. Dessa forma, é preciso de uma carga crítica de aproximadamente 1.77fC para conseguir mudança nos dados armazenados na SRAM. É necessário sempre que a Carga Coletada CC seja maior ou igual que a Carga Crítica Q_{crit} para conseguir o efeito SEU neste tipo de circuito.

Figura 4.31: Comparação entre os Transientes de Corrente das SRAM simuladas.



Fonte: Os Autores.

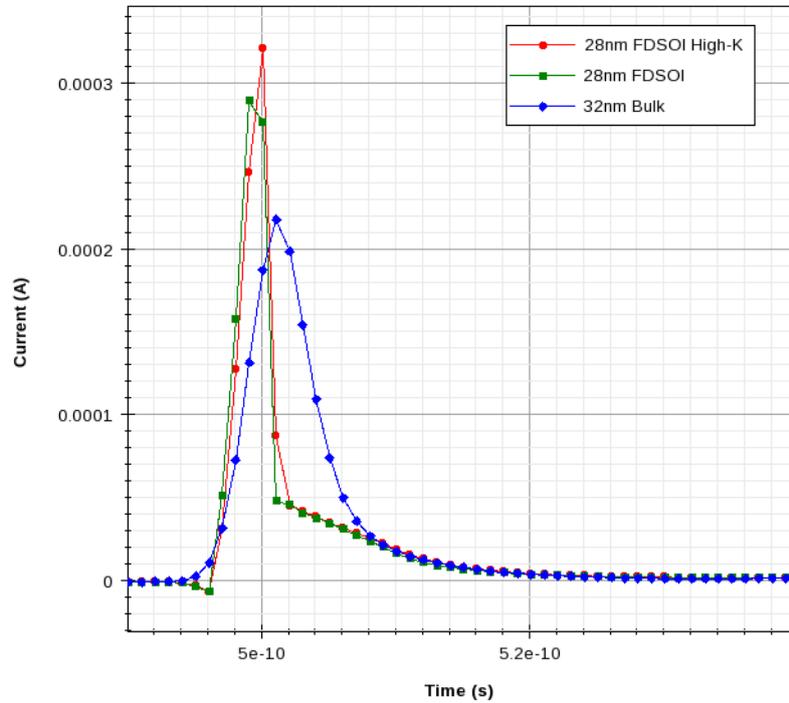
Tabela 4.6: Comparação dos resultados das SRAM simuladas.

Tipo de SRAM	LET (MeV-cm ² /mg)	CC (fC)	Q_{crit} (fC)	Pico Transiente (μ A)
32nm Bulk	5	1.91	1.76	218.28
28nm FDSOI	64	2.03	1.78	290.00
28nm FDSOI <i>High-K</i>	50	1.89	1.79	321.34

Fonte: Os Autores.

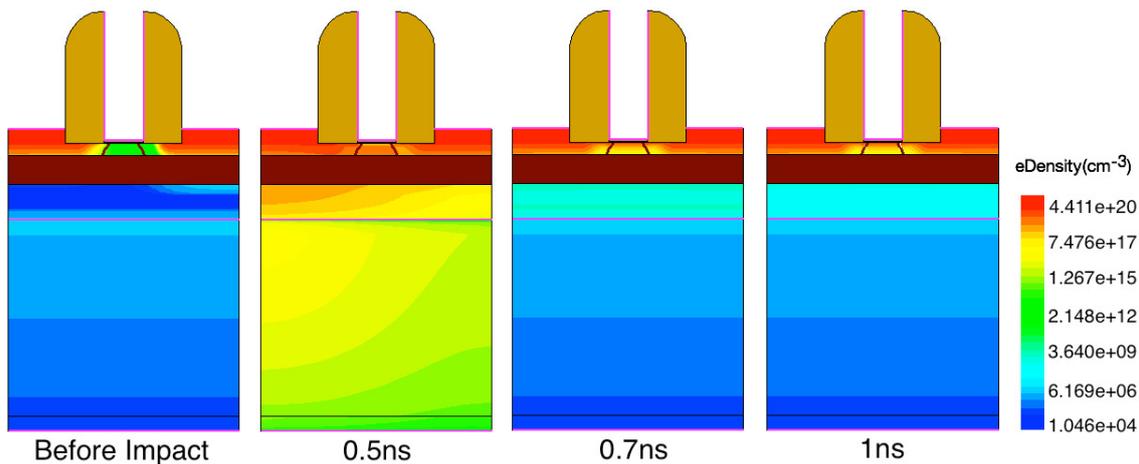
A figura 4.33 mostra a densidade de elétrons variando no tempo do transistor “mnl” na SRAM 6T feita com transistores de 28nm FDSOI quando um íon de $LET = 64\text{MeV-cm}^2/\text{mg}$ impacta no dreno em $L_i = 12\text{nm}$, $\theta = 75^\circ$. O íon produz CC e cria uma corrente transiente mostrada na figura 4.32. O pulso de corrente não muda o estado do transistor mostrado no final da simulação na figura 4.33, é um efeito causado no circuito todo, i.e. que a forma de como estão conectados os transistores e a topologia do circuito faz possível que o circuito “flipe”. Quando o íon atinge o dreno do transistor “mnl”, o dispositivo é ligado devido às cargas de depleção criadas pelo impacto por um curto período

Figura 4.32: Comparação entre os Transientes de Corrente das SRAM simuladas (detalhe).



Fonte: Os Autores.

Figura 4.33: Densidade de Elétrons no tempo do SEU no transistor “mnl” na SRAM 6T de 28nm FDSOI ($LET = 64\text{MeV}\cdot\text{cm}^2/\text{mg}$, $L_i = 12\text{nm}$ e $\theta = 75^\circ$).



Fonte: Os Autores.

de tempo. Este nível de tensão é o suficientemente alto para criar um “Nível Baixo” no nó de entrada OUTL da porta inversora do lado direito do circuito. A saída OUTR dessa porta passa a “Nível Alto” efetivo e “liga” o transistor “mnl” de forma efetiva.

A diferença de LET entre as SRAM de 28nm FDSOI, 28nm FDSOI *High-K* e 32nm Bulk pode ser explicada pela diferença do volume de silício na zona ativa dos dispositivos alvos, da dopagem dessas zonas, e o tipo e a espessura dos isolantes nas terminais de porta dos transistores. A carga coletada gerada é diretamente proporcional ao LET e à distância percorrida pelo íon pesado (CALIENES et al., 2014). Esta carga também depende da posição do LDD e das dopagens nas respectivas regiões físicas do dispositivo.

5 CONCLUSÕES

O Transistor FDSOI é mais resistente ao impacto de íons pesados que os transistores Bulk. O volume de silício nas zonas ativas dos dispositivos e a dopagem dos mesmos são características definitivas para escolher a tecnologia FDSOI para circuitos resistentes a impactos de íons pesados. A carga coletada no transistor FDSOI é aproximadamente 7.57 vezes menor que a carga coletada no transistor Bulk identicamente dimensionado no pior caso. Para o caso do FDSOI High-K, a carga coletada foi aproximadamente de 7.19 vezes menos que a carga coletada no transistor Bulk.

As regiões BOX e o BP do FDSOI evitam a recombinação no corpo do dispositivo, mas a carga permanece armazenada no substrato por mais tempo. Isso afeta o valor da tensão de limiar do dispositivo. Estes efeitos devem ser estudados para modelar o impacto que pode ter nos dispositivos FDSOI.

Em todos os casos, e depois de estudar com cuidado os resultados obtidos das simulações, o terminal de dreno é mais sensível a impactos de íons pesados que a terminal de fonte. A carga coletada depende da extensão da zona de depleção nas junções entre o terminal, da espessura do corpo de silício entre o isolante da porta e o BOX do dispositivo, e da polarização dos terminais. Também, o fato de que a terminal de porta dos dispositivos testados seja *High-K* tem uma pequena influência de perto do 5% no aumento da carga coletada devia ao impacto dos íons respeito ao dispositivo FDSOI que tem apenas óxido de silício no terminal de porta.

A carga coletada nos dispositivos testados devido ao SET não depende apenas do ângulo de impacto. Neste trabalho foi descoberto que a carga coletada depende também da geometria e do perfil de dopagem dos poços dos terminais, do volume de silício no corpo dos transistores, da dopagem do corpo, da espessura do óxido equivalente na porta, da função trabalho do metal da porta, da distancia percorrida pelo íon na zona ativa do dispositivo, do *LET* da partícula e da localização da região LDD junto as junções metalúrgicas do corpo e dos poços dos terminais. A carga coletada total pode ser modelada como a soma da carga fixa devido às zonas de depleção mais a carga móvel produzidas pelos pares elétron-lacuna gerados quando o íon pesado atravessa o silício ativo do dispositivo.

As simulações de íons pesados feitas com o Sentaurus TCAD demonstraram que qualquer impacto simulado com um ângulo maior de 0° tem um custo computacional maior. Isso pode melhorar definindo uma grade adequada mais fina no script do SDE e

diminuindo o passo entre as amostras de tempo no script do SDevice.

A SRAM FDSOI é mais resistente que a SRAM Bulk quando o impacto foi feito no transistor NMOS maior do circuito. A célula SRAM FDSOI é mais resistente contra os impactos de íons pesados devido à sua camada ultra fina de corpo no dispositivo. Em termos de *LET*, a SRAM FDSOI é 12.8 vezes mais resistente que a SRAM Bulk, e a SRAM FDSOI *High-K* é 10 vezes mais resistente que a SRAM Bulk de 32nm.

As cargas críticas são muito parecidas nas três SRAMs 6T quando os impactos acontecem nas zonas mais sensíveis dos dispositivos alvo. Isso é devido a que os dispositivos simulados tem características elétricas muito parecidas e a topologia dos circuitos simulados são iguais. Isso contrasta com os LET das partículas simuladas neste trabalho para cada caso estudado, os quais são muito diferentes.

Para continuar usando transistores FDSOI é preciso do uso do materiais isolantes *High-K* na porta. Isso permite ter óxidos equivalentes mais finos para melhorar as características dos transistores e continuar com o escalonamento tecnológico sem preocupar-se pelo efeito túnel na porta dos dispositivos. Isso, junto ao fato que é possível usar as mesmas máscaras litográficas para CIs Bulk para fabricar os mesmos CIs em tecnologia FDSOI, faz a tecnologia FDSOI ideal para aplicações nanoeletrônicas em ambientes radioativos.

Deve-se ter especial cuidado quando no momento de criar dispositivos usando o Sentaurus TCAD ou qualquer outro software equivalente. As aproximações matemáticas podem criar resultados diferentes. Neste caso, a falha de aproximação nas capacitâncias equivalentes do óxido de Porta dos dispositivos FDSOI e FDSOI *High-K* traz como consequência o aumento na carga coletada quando um íon pesado impacta nestes dispositivos que deveriam ser iguais. Esse efeito pode ser visto também nas SRAMs criadas com esses dispositivos.

6 TRABALHOS FUTUROS

Estudar mais em profundidade os modelos Hidrodinâmico e Quântico para obter resultados mais reais tanto na caracterização dos dispositivos quanto ao impacto de íons pesados. O Modelo Deriva-Difusão é um modelo já consolidado e padrão na indústria atualmente, mas não é capaz de modelar corretamente fenômenos acontecidos quando o comprimento da porta dos transistores é menor de 90nm.

Modelagem de um dispositivo PMOS FDSOI de 28nm e PMOS FDSOI High-K de 28nm para comparar com o dispositivo PMOS Bulk de 32nm. Com estes dispositivos prontos é possível Fazer os mesmos testes e modelagens mostrados neste trabalho.

Variar a espessura do BOX e da camada de silício do corpo dos transistores FDSOI a diferentes temperaturas (-25°C até 125°C) e diferentes tensões de alimentação V_{DD} , e pesquisar o impacto que ele tem na quantidade de carga coletada e na carga crítica das SRAM 6T. Os resultados de carga coletada nos dispositivos FDSOI podem variar devido as variações de parâmetros geométricos, tensão de alimentação e temperatura (PVT).

Usar tecnologias FDSOI de 22 e 14nm para realizar as mesmas pesquisas enquanto a fenômenos SET e SEU. Isso vai desde a caracterização dos dispositivos modelados até o estudo e análise dos SEU em circuitos feitos com estes transistores.

REFERÊNCIAS

- ADA-HANIFI, M. et al. 0.25 um nmos transistor with nitride spacer: reduction of the short channel effect by optimisation of the gate reoxidation process and reliability. In: **Solid-State Device Research Conference, 1997. Proceeding of the 27th European**. [S.l.: s.n.], 1997. p. 396 – 399.
- AKKEZ, I. B. et al. New parameter extraction method based on split c-v for fdsoi mosfets. In: **Solid-State Device Research Conference (ESSDERC), 2012 Proceedings of the European**. [S.l.: s.n.], 2012. p. 217 – 220.
- ALEXANDER, D. Transient ionizing radiation effects in devices and circuits. **Nuclear Science, IEEE Transactions on**, v. 50, n. 3, p. 565 – 582, june 2003.
- ALLES, M. et al. Radiation hardness of fdsoi and finfet technologies. In: **SOI Conference (SOI), 2011 IEEE International**. [S.l.: s.n.], 2011. p. 1 – 2.
- ALVARADO, J. et al. A compact model for single event effects in pd soi sub-micron mosfets. In: **Radiation and Its Effects on Components and Systems (RADECS), 2011 12th European Conference on**. [S.l.: s.n.], 2011. p. 359–362.
- ALVARADO, J. et al. A compact model for single event effects in pd soi sub-micron mosfets. **Nuclear Science, IEEE Transactions on**, v. 59, n. 4, p. 943–949, Aug 2012.
- ANGHEL, C. et al. 30-nm tunnel fet with improved performance and reduced ambipolar current. **Electron Devices, IEEE Transactions on**, v. 58, n. 6, p. 1649 – 1654, June 2011.
- ANGHEL, L. et al. Multi-level fault effects evaluation. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiations Effects on Embedded Systems**. [S.l.]: Springer, 2007. p. 69 – 88.
- ANGOT, D. et al. Bias temperature instability and hot carrier circuit ageing simulations specificities in utbb fdsoi 28nm node. In: **Reliability Physics Symposium (IRPS), 2013 IEEE International**. [S.l.: s.n.], 2013. p. 5D.2.1 – 5D.2.5.
- ANGOT, D. et al. New insights into nbti reliability in utbox-fdsoi pmos transistors. In: **Integrated Reliability Workshop Final Report (IRW), 2012 IEEE International**. [S.l.: s.n.], 2012. p. 70 – 73.
- ARFAOUI, W. et al. Application of compact hci model to prediction of process effect in 28fdsoi technology. In: **Integrated Reliability Workshop Final Report (IIRW), 2014 IEEE International**. [S.l.: s.n.], 2014. p. 69 – 72.
- ARORA, G.; POONAM; SINGH, A. Snm analysis of sram cells at 45nm, 32nm and 22nm technology. **International Journal of Engineering Research and General Science**, v. 2, n. 4, p. 785 – 791, jun. 2014.
- ARTOLA, L. et al. Collected charge analysis for a new transient model by tcad simulation in 90 nm technology. **Nuclear Science, IEEE Transactions on**, v. 57, n. 4, p. 1869 – 1875, aug. 2010.

BALASUBRAMANIAN, A. et al. Random dopant effect on vt variations affecting the soft-error rates of nanoscale cmos memory cells. In: **Reliability physics symposium, 2007. proceedings. 45th annual. ieee international**. [S.l.: s.n.], 2007. p. 318 – 323.

BANERJEE, A.; BREIHOLZ, J.; CALHOUN, B. H. A 130nm canary sram for sram dynamic write vmin tracking across voltage, frequency, and temperature variations. In: **Custom Integrated Circuits Conference (CICC), 2015 IEEE**. [S.l.: s.n.], 2015. p. 1 – 4.

BANERJEE, A. et al. A reverse write assist circuit for sram dynamic write vmin tracking using canary srams. In: **Fifteenth International Symposium on Quality Electronic Design**. [S.l.: s.n.], 2014. p. 1 – 8.

BANK, R.; ROSE, D.; FICHTNER, W. Numerical methods for semiconductor device simulation. **Electron Devices, IEEE Transactions on**, v. 30, n. 9, p. 1031 – 1041, Sep 1983.

BANK, R. E.; ROSE, D. J. Global approximate newton methods. **Numerische Mathematik**, v. 37, n. 2, p. 279 – 295, 1981.

BANNA, S. et al. Threshold voltage model for deep-submicrometer fully depleted soi mosfet's. **Electron Devices, IEEE Transactions on**, v. 42, n. 11, p. 1949 – 1955, Nov 1995.

BEN-AKKEZ, I. et al. Impact of back biasing on the effective mobility in utbb fdsoi cmos technology. In: **Semiconductor Conference Dresden-Grenoble (ISCDG), 2013 International**. [S.l.: s.n.], 2013. p. 1 – 3.

BI, J. et al. 3d tcad simulation of single-event-effect in n-channel transistor based on deep sub-micron fully-depleted silicon-on-insulator technology. In: **Solid-State and Integrated Circuit Technology (ICSICT), 2014 12th IEEE International Conference on**. [S.l.: s.n.], 2014. p. 1 – 3.

BI, J. et al. Neutron-induced single-event-transient effects in ultrathin-body fully-depleted silicon-on-insulator mosfets. In: **Reliability Physics Symposium (IRPS), 2013 IEEE International**. [S.l.: s.n.], 2013. p. SE.2.1 – SE.2.5.

BIRLA, S. et al. Leakage current reduction in 6t single cell sram at 90nm technology. In: **Advances in Computer Engineering (ACE), 2010 International Conference on**. [S.l.: s.n.], 2010. p. 292 – 294.

BOUDENOT, J.-C. Radiation space environment. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiations Effects on Embedded Systems**. [S.l.]: Springer, 2007. p. 1 – 9.

CALIENES, W.; REIS, R. **Ferramentas para a Simulação de Falhas Transientes**. Dissertation (Master) — Universidade Federal do Rio Grande do Sul, 2011.

CALIENES, W. et al. Bulk and FDSOI SRAM Resiliency to Radiation Effects. In: **IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS), 2014**. [S.l.: s.n.], 2014. p. 655 – 658.

CALIENES, W.; VLADIMIRESCU, A. Institut Supérieur d'Électronique de Paris, Paris: [s.n.], 2013. Doutorado Sanduiche, ISEP, Paris - França.

CALIENES, W. E.; REIS, R. SET and SEU Simulation Toolkit for LabVIEW. In: **European Conference on Radiation and Its Effects on Components and Systems (RADECS), 2011**. [S.l.: s.n.], 2011. p. 829 – 836.

CALIENES, W. E. et al. Impact of SEU on Bulk and FDSOI CMOS SRAM. In: **10th Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits (EuroSOI), 2014**. [S.l.: s.n.], 2014.

CALIENES, W. E.; REIS, R.; VLADIMIRESCU, A. Modeling the Impact of Heavy Ion on FDSOI NanoCMOS. In: **Latin American Symposium of Circuits and Systems (LASCAS), 2015**. [S.l.: s.n.], 2015. p. 1 – 4.

CAMPANA, F. R. **Los Dispositivos Semiconductores**. First. [S.l.]: CONCYTEC, 2012.

CANALI, C. et al. Electron and hole drift velocity measurements in silicon and their empirical relation to electric field and temperature. **IEEE Transactions on Electron Devices**, v. 22, n. 11, p. 1045 – 1047, Nov 1975.

CAUCHY, X.; ANDRIEU, F. **Questions and Answers on Fully Depleted SOI Technology**. [S.l.]: SOI Industry Consortium, 2010. Available in: <http://www.soitec.com/pdf/SOIconsortium_FDSOI_QA.pdf>. Última visita: Maio 2015.

CAUGHEY, D. M.; THOMAS, R. E. Carrier mobilities in silicon empirically related to doping and field. **Proceedings of the IEEE**, v. 55, n. 12, p. 2192–2193, Dec 1967.

CHEN, C. H.; KNAG, P.; ZHANG, Z. Characterization of heavy-ion-induced single-event effects in 65 nm bulk cmos asic test chips. **IEEE Transactions on Nuclear Science**, v. 61, n. 5, p. 2694 – 2701, Oct 2014.

COLINGE, J. P. From gate-all-around to nanowire mosfets. In: **2007 International Semiconductor Conference**. [S.l.: s.n.], 2007. v. 1, p. 11–17.

DAHLGREN, P.; LIDEN, P. A switch-level algorithm for simulation of transients in combinational logic. In: **Fault-Tolerant Computing, 1995. FTCS-25. Digest of Papers., Twenty-Fifth International Symposium on**. [S.l.: s.n.], 1995. p. 207 – 216.

D'ALESSIO, M.; OTTAVI, M.; LOMBARDI, F. Design of a nanometric cmos memory cell for hardening to a single event with a multiple-node upset. **Device and Materials Reliability, IEEE Transactions on**, v. 14, n. 1, p. 127 – 132, March 2014.

DEPARTMENT, S. A. E. **SAED 32/28nm Design Rules Document**. USA: Synopsys, 2011.

DIMITRIJEV, S. **Principles of Semiconductor Devices, 2nd Ed**. London, Great Britain: Oxford University Press, 2012.

DINGWALL, A. G. F.; STRIEKER, R. E. High density cos/mos 1024 bit static ram. In: **Electron Devices Meeting (IEDM), 1974 International**. [S.l.: s.n.], 1974. p. 101 – 103.

ECOFFET, R. In-flight anomalies on electronic devices. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiations Effects on Embedded Systems**. [S.l.]: Springer, 2007. p. 31 – 68.

ERLEBACH, A. **Modellierung und Simulation strahlensensitiver Halbleiterbauelemente**. [S.l.]: Shaker, 1999.

FACCIO, F. Design hardening methodologies for asics. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiations Effects on Embedded Systems**. [S.l.]: Springer, 2007. p. 143 – 160.

FENOUILLET-BERANGER, C. et al. Utbox and ground plane combined with al₂o₃ inserted in tin gate for vt modulation in fully-depleted soi cmos transistors. In: **VLSI Technology, Systems and Applications (VLSI-TSA), 2011 International Symposium on**. [S.l.: s.n.], 2011. p. 1 – 2.

FENOUILLET-BERANGER, C. et al. Low power utbox and back plane (bp) fdsoi technology for 32nm node and below. In: **IC Design Technology (ICICDT), 2011 IEEE International Conference on**. [S.l.: s.n.], 2011. p. 1 – 4.

FERLET-CAVROIS, V. et al. Statistical analysis of the charge collected in soi and bulk devices under heavy lon and proton irradiation mdash;implications for digital sets. **Nuclear Science, IEEE Transactions on**, v. 53, n. 6, p. 3242 – 3252, Dec 2006.

GADHE, A.; SHIRODE, U. Read stability and write ability analysis of different sram cell structures. **International Journal of Engineering Research and Applications**, v. 3, n. 1, p. 1073 – 1078, Jan 2013.

GAJSKI, D.; KUHN, R. Guest editors' introduction: New vlsi tools. **Computer**, v. 16, n. 12, p. 11 – 14, Dec 1983.

GEREZ, S. H. **Algorithms for VLSI Design Automation**. West Sussex, Great Britain: John Wiley & Sons Limited, 1999.

GOMASE, S.; TIJARE, A.; KAKDE, S. Stability analysis of sram cell for energy reduction using deep sub micron technology. In: **Electronics and Communication Systems (ICECS), 2015 2nd International Conference on**. [S.l.: s.n.], 2015. p. 739 – 745.

HAMDI, A. et al. Vlsi materials: A comparison between buried oxide soi and sos. **Nuclear Science, IEEE Transactions on**, v. 30, n. 2, p. 1722 – 1725, April 1983.

HO, C.-W.; RUEHLI, A.; BRENNAN, P. The modified nodal approach to network analysis. **Circuits and Systems, IEEE Transactions on**, v. 22, n. 6, p. 504 – 509, jun 1975.

HOLBERT, K. **Charged Particle Ionization and Range**. Arizona State University, USA: [s.n.], 2012. Disponivel em: <<http://holbert.faculty.asu.edu/eee460/IonizationRange.pdf>>. Última visita: Maio 2015.

HSIEH, C.; MURLEY, P.; O'BRIEN, R. A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices. **Electron Device Letters, IEEE**, v. 2, n. 4, p. 103 – 105, april 1981.

HSIEH, C. M.; MURLEY, P. C.; O'BRIEN, R. R. Dynamics of charge collection from alpha-particle tracks in integrated circuits. In: **Reliability Physics Symposium, 1981. 19th Annual**. [S.l.: s.n.], 1981. p. 38 – 42.

HUANG, A.; YANG, Z.; CHU, P. **Hafnium-based High-k Gate Dielectrics**. Department of Physics, Beijing University of Aeronautics and Astronautics, China: [s.n.], 2010. Disponível em: <<http://www.intechopen.com/books/advances-in-solid-state-circuit-technologies/hafnium-based-high-k-gate-dielectrics>>. Última visita: Maio 2015.

JOHNSON, G. W.; JENNINGS, R. **LabVIEW Graphical Programming**. 4. ed. New York, USA: McGraw-Hill, 2006.

KANO, K. **Semiconductor Devices**. Upper Saddle River, New Jersey 07458: Prentice Hall, 1998.

KARSENTY, A.; CHELLY, A. Nanoscale thick fdsoi mosfets: A simple model of abnormal electrical behavior at low temperature. In: **Electrical Electronics Engineers in Israel (IEEEI), 2014 IEEE 28th Convention of**. [S.l.: s.n.], 2014. p. 1 – 5.

KASTENSMIDT, F. L. de G.; CARRO, L.; REIS, R. **Fault-Tolerance Techniques for SRAM-based FPGAs**. Dordratch, the Netherlands: Springer, 2006.

KASTENSMIDT, F. Lima de G.; REIS, R. Fault tolerance in programmable circuits. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiations Effects on Embedded Systems**. [S.l.]: Springer, 2007. p. 161 – 181.

KLEINOSOWSKI, A. et al. **Method for Soft Error Modeling with Double Current Pulse**. 2009. Patente US 7627840 B2.

KRASUKOV, A.; MANSUROV, A. Modeling of total dose radiation effect of rfpd soi-mosfet using sentaurus tcad. In: **Micro/Nanotechnologies and Electron Devices, 2009. EDM 2009. International Conference and Seminar on**. [S.l.: s.n.], 2009. p. 139 – 140.

KUMAR, S. et al. Deep sub-micron sram design for low leakage. In: **Computer and Communication Technology (ICCT), 2010 International Conference on**. [S.l.: s.n.], 2010. p. 265 – 269.

LIM, H.-K.; FOSSUM, J. Threshold voltage of thin-film silicon-on-insulator (soi) mosfet's. **Electron Devices, IEEE Transactions on**, v. 30, n. 10, p. 1244 – 1251, Oct 1983.

LIM, H.-K.; FOSSUM, J. Current-voltage characteristics of thin-film soi mosfet's in strong inversion. **Electron Devices, IEEE Transactions on**, v. 31, n. 4, p. 401 – 408, Apr 1984.

LIN, S.; KIM, Y.-B.; LOMBARDI, F. Modeling and design of a nanoscale memory cell for hardening to a single event with multiple node upset. In: **Computer Design (ICCD), 2011 IEEE 29th International Conference on**. [S.l.: s.n.], 2011. p. 320 – 325.

LIST, F. J. The static noise margin of sram cells. In: **Solid-State Circuits Conference, 1986. ESSCIRC '86. Twelfth European**. [S.l.: s.n.], 1986. p. 16–18.

LOMBARDI, C. et al. A physically based mobility model for numerical simulation of nonplanar devices. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 7, n. 11, p. 1164 – 1171, Nov 1988.

LOVELESS, T. et al. On-chip measurement of single-event transients in a 45 nm silicon-on-insulator technology. **Nuclear Science, IEEE Transactions on**, v. 59, n. 6, p. 2748–2755, Dec 2012.

LUBASZEWSKI, M. et al. Multi-level fault effects evaluation. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Effects of Radiation on Analog and Mixed-Signal Circuits**. [S.l.]: Springer, 2007. p. 89 – 119.

MAKINO, H. et al. Improved evaluation method for the sram cell write margin by word line voltage acceleration. **Circuits and Systems**, v. 3, n. 3, p. 1073 – 1078, jul. 2012.

MAKOSIEJ, A. et al. Cmos sram scaling limits under optimum stability constraints. In: **Circuits and Systems (ISCAS), 2013 IEEE International Symposium on**. [S.l.: s.n.], 2013. p. 1460 – 1463.

MAKOSIEJ, A. et al. Stability and yield-oriented ultra-low-power embedded 6t sram cell design optimization. In: **Design, Automation Test in Europe Conference Exhibition (DATE), 2012**. [S.l.: s.n.], 2012. p. 93 – 98.

MAKRAM-EBEID, S.; LANNOO, M. Quantum model for phonon-assisted tunnel ionization of deep levels in a semiconductor. **Phys. Rev. B**, American Physical Society, v. 25, p. 6406 – 6424, May 1982.

MASETTI, G.; SEVERI, M.; SOLMI, S. Modeling of carrier mobility against carrier concentration in arsenic-, phosphorus-, and boron-doped silicon. **IEEE Transactions on Electron Devices**, v. 30, n. 7, p. 764 – 769, Jul 1983.

MEINHARDT, C. **Variabilidade em FinFETs**. Thesis (PhD) — Universidade Federal do Rio Grande do Sul, 2014.

MESSENGER, G. C. Collection of charge on junction nodes from ion tracks. **IEEE Transactions of Nuclear Science**, NS-26, n. 6, December 1982.

MISKOV-ZIVANOV, N.; MARCULESCU, D. Multiple transient faults in combinational and sequential circuits: A systematic approach. **Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on**, v. 29, n. 10, p. 1614 – 1627, oct. 2010.

MORADI, F. et al. Improved write margin 6t-sram for low supply voltage applications. In: **2009 IEEE International SOC Conference (SOCC)**. [S.l.: s.n.], 2009. p. 223 – 226.

MUNTEANU, D.; AUTRAN, J.-L. Modeling and simulation of single-event effects in digital devices and ics. **Nuclear Science, IEEE Transactions on**, v. 55, n. 4, p. 1854 – 1878, aug. 2008.

MUSSEAU, O. Semi-empirical modelization of charge funneling in a np diode. In: **Radiation and its Effects on Devices and Systems, 1991. RADECS 91., First European Conference on**. [S.l.: s.n.], 1991. p. 429 – 432.

NASEER, R. **A Framework for Soft Error Tolerant SRAM Design**. Thesis (PhD) — University of Southern California, 2008.

NENZI, P.; VOGT, H. **NGSPICE Users Manual Version 22**. [S.l.: s.n.], 2010.

NGUYEN, V.-H. et al. Quantum modeling of the carrier mobility in fdsoi devices. **Electron Devices, IEEE Transactions on**, v. 61, n. 9, p. 3096 – 3102, Sept 2014.

NOEL, J.-P. et al. A simple and efficient concept for setting up multi-vt devices in thin box fully-depleted soi technology. In: **Solid State Device Research Conference, 2009. ESSDERC '09. Proceedings of the European**. [S.l.: s.n.], 2009. p. 137 – 140.

NORTHCLIFFE, L. C.; SCHILLING, R. F. Range and stopping-power tables for heavy ions. **Atomic Data and Nuclear Data Tables**, v. 7, p. 233 – 463, jan 1970.

PAUCAR, R.; SILVA, C. Extgracción del parámetro n_{ot} para el modelo del ruido 1/f usando las expresiones del modelo acm. In: **XVII Workshop Iberchip 2011**. [S.l.: s.n.], 2011. p. 2177 – 1286.

PAVLOV, A.; SACHDEV, M. **CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies: Process-Aware SRAM Design and Test**. [S.l.]: Springer Netherlands, 2008. (Frontiers in Electronic Testing).

PELLOUX-PRAYER, B. et al. Planar fully depleted soi technology: The convergence of high performance and low power towards multimedia mobile applications. In: **Faible Tension Faible Consommation (FTFC), 2012 IEEE**. [S.l.: s.n.], 2012. p. 1 – 4.

PEREIRA, F. et al. Modeling study of the mobility in fdsoi devices with a focus on near-spacer-region. In: **Ultimate Integration on Silicon (EUROSIOI-ULIS), 2015 Joint International EUROSIOI Workshop and International Conference on**. [S.l.: s.n.], 2015. p. 49 – 52.

PONTES, J.; CALAZANS, N.; VIVET, P. An accurate single event effect digital design flow for reliable system level design. In: **2012 Design, Automation Test in Europe Conference Exhibition (DATE)**. [S.l.: s.n.], 2012. p. 224 – 229.

PREDICTIVE TECHNOLOGY MODEL. Arizona State University, USA: [s.n.], 2015. Disponivel em: <<http://ptm.asu.edu/>>. Última visita: Julho 2015.

RABAEY, J. M.; CHANDRAKASAN, A.; NICOLIĆ, B. **Digital Integrated Circuits, a Design Perspective**. 2. ed. Upper Saddle River, New Jersey 07458: Pearson Education, Inc., 2003.

RAHMAN, N.; SINGH, B. Performance analysis of fd-soi mosfet with different gate spacer dielectric. **International Journal of Computer Applications**, v. 66, n. 20, p. 19 – 23, March 2013.

RANKA, D. et al. Performance analysis of fd-soi mosfet with different gate spacer dielectric. **International Journal of Computer Applications**, v. 18, n. 5, p. 22 – 27, March 2011.

REITA, C. **Design Enablement and Multi Project Wafer Opportunity at LETI**. Institut Carnot, CEA LETI, France: [s.n.], 2011. Disponível em: <http://cpm.imag.fr/abouts/slides/Slides2012/10_CEA-LETI_Carlo_Reita_2012.pdf>. Última visita: Maio 2015.

ROBERTSON, J. High dielectric constant oxides. **The European Physical Journal Applied Physics**, n. 28, p. 265 – 291, 2004.

ROHIT; SAINI, G. A stable and power efficient sram cell. In: **Computer, Communication and Control (IC4), 2015 International Conference on**. [S.l.: s.n.], 2015. p. 1 – 5.

SAXENA, V. **SRAM Static Characterization**. 2013.

SCHRIMPF, R. D. Radiation effects in microelectronics. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiations Effects on Embedded Systems**. [S.l.]: Springer, 2007. p. 11 – 29.

SELBERHERR, S. **Analysis and Simulation of Semiconductor Devices**. Springer Verlag Wien-New York: [s.n.], 1984.

SHANFIELD, Z. et al. Angular dependence of charge funneling in si and gaas devices. **Nuclear Science, IEEE Transactions on**, v. 34, n. 6, p. 1341 – 1346, dec. 1987.

SHARMA, R.; BAISHYA, S. Tcad simulation for low power utbb fdsoi cmos device. In: **Green Computing Communication and Electrical Engineering (ICGCCEE), 2014 International Conference on**. [S.l.: s.n.], 2014. p. 1–4.

SILIGARIS, A. et al. 130-nm partially depleted soi mosfet nonlinear model including the kink effect for linearity properties investigation. **Electron Devices, IEEE Transactions on**, v. 52, n. 12, p. 2809 – 2812, Dec 2005.

SRINIVASAN, G.; TANG, H.; MURLEY, P. Parameter-free, predictive modeling of single event upsets due to protons, neutrons, and pions in terrestrial cosmic rays. **Nuclear Science, IEEE Transactions on**, v. 41, n. 6, p. 2063 – 2070, dec. 1994.

SYNOPSYS. **HSPICE Applications Manual**. USA: Synopsys, 2005.

SYNOPSYS. **Inspect User Guide H-2013.03**. USA: Synopsys, 2013.

SYNOPSYS. **Mesh Generation Tools User Guide H-2013.03**. USA: Synopsys, 2013.

SYNOPSYS. **Sentaurus Device User Guide H-2013.03**. USA: Synopsys, 2013.

SYNOPSYS. **Sentaurus Structure Editor User Guide H-2013.03**. USA: Synopsys, 2013.

SYNOPSYS. **Sentaurus Visual User Guide H-2013.03**. USA: Synopsys, 2013.

SYNOPSYS. **Sentaurus Workbench User Guide H-2013.03**. USA: Synopsys, 2013.

SYNOPSYS. **Utilities User Guide H-2013.03**. USA: Synopsys, 2013.

SZE, S. M. **Physics of Semiconductor Devices**. USA: Wiley, 1981.

- THOMAS, O. et al. 32nm and beyond multi-vt ultra-thin body and box fdsoi: From device to circuit. In: **Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on**. [S.l.: s.n.], 2010. p. 1703 – 1706.
- TOMBRELLO, T. Distribution of damage along an mev ion track. **Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms**, v. 83, n. 4, p. 508 – 512, 1993. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0168583X9395879A>>. Última visita: Março 2016.
- TOMBRELLO, T. Predicting latent track dimensions. **Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms**, v. 94, n. 4, p. 424 – 428, 1994. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0168583X94954186>>. Última visita: Março 2016.
- TRAVIS, J.; KRING, J. **LabVIEW for Everyone : Graphical Programming Made Easy and Fun**. 3. ed. [S.l.]: Prentice-Hall PTR, 2006.
- TSIVIDIS, Y.; MCANDREW, C. **Operation and Modeling of the MOS Transistor: Special MOOC Edition**. 3. ed. [S.l.]: Oxford University Press, 2010.
- TUROWSKI, M. et al. Single event upset modeling with nuclear reactions in nanoscale electronics. In: **Mixed Design of Integrated Circuits and Systems, 2008. MIXDES 2008. 15th International Conference on**. [S.l.: s.n.], 2008. p. 443 – 448.
- VASILESKA, D. **Semi-Classical Transport Theory**. Arizona State University, United States of America: [s.n.], 2010. Disponível em: <<http://slideplayer.com/slide/7370126/>>. Última visita: Maio 2016.
- VITALE, S. et al. Fdsoi process technology for subthreshold-operation ultralow-power electronics. **Proceedings of the IEEE**, v. 98, n. 2, p. 333 – 342, Feb 2010.
- VLADIMIRESCU, A.; CALIENES, W. Berkeley Wireless Research Center, Berkeley University: [s.n.], 2015. E-mail pessoal.
- WENG, C.-J. Optimization of sub-100nm transistor gate sidewall spacer process for high-performance applications. In: **Electron Devices and Solid-State Circuits, 2009. EDSSC 2009. IEEE International Conference of**. [S.l.: s.n.], 2009. p. 50 – 53.
- WIRTH, G.; VIEIRA, M.; KASTENSMIDT, F. Accurate and computer efficient modelling of single event transients in cmos circuits. **Circuits, Devices Systems, IET**, v. 1, n. 2, p. 137 – 142, april 2007.
- WROBEL, F. et al. Radioactive nuclei induced soft errors at ground level. **Nuclear Science, IEEE Transactions on**, v. 56, n. 6, p. 3437 – 3441, dec. 2009.
- WU, Q. et al. Supply voltage dependence of heavy ion induced sees on 65nm cmos bulk srams. **IEEE Transactions on Nuclear Science**, v. 62, n. 4, p. 1898 – 1904, Aug 2015.
- XIN-YU, L.; HAI-FENG, S.; DE-XIN, W. Analytical threshold voltage model for ultrathin soi mosfet's. In: **Solid-State and Integrated-Circuit Technology, 2001. Proceedings. 6th International Conference on**. [S.l.: s.n.], 2001. v. 1, p. 555 – 558.

YAU, J.-B. et al. Fdsoi radiation dosimeters. In: **VLSI Technology, Systems and Applications (VLSI-TSA), 2011 International Symposium on**. [S.l.: s.n.], 2011. p. 1 – 2.

ZIMPECK, A.; MEINHARDT, C.; REIS, R. Evaluating the impact of environment and physical variability on the ion current of 20nm finfet devices. In: **Power and Timing Modeling, Optimization and Simulation (PATMOS), 2014 24th International Workshop on**. [S.l.: s.n.], 2014. p. 1 – 8.

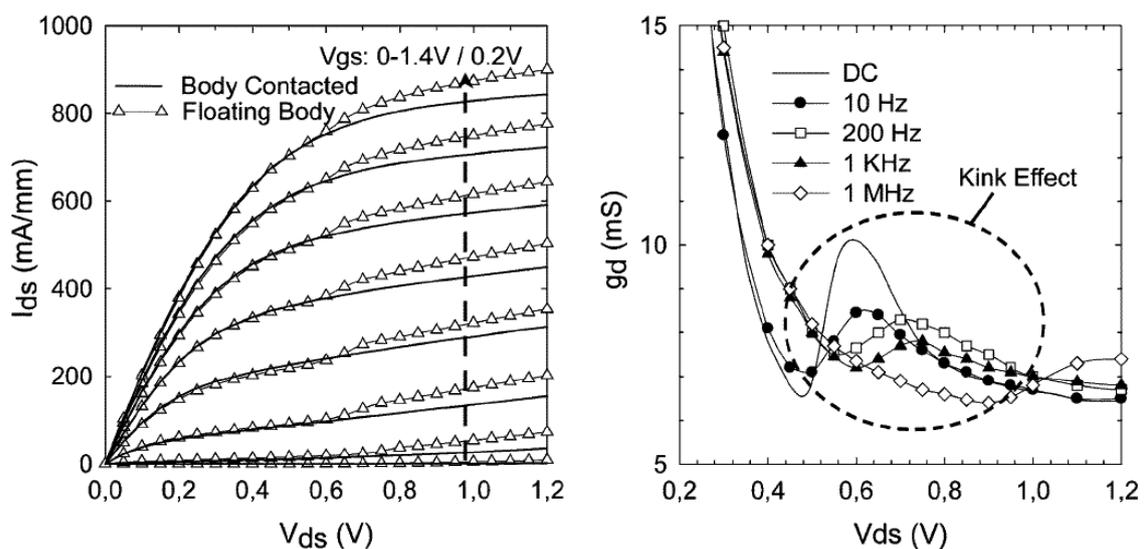
ANEXO A — EFEITO DO CORPO FLUTUANTE

O efeito de Corpo Flutuante é o efeito de dependência do potencial do corpo de um transistor SOI sob a história de sua polarização e dos processos de recombinação de portadores. Quando o canal do transistor SOI é muito largo, a capacitância entre o canal e o substrato acumula muita carga e produz efeitos adversos, como a criação de transistores parasitas na estrutura do transistor SOI e causando perdas de corrente de fuga quando está desligado. No caso de células DRAMs, pode-se perder a informação armazenada nelas devido à carga no capacitor entre o canal e o substrato, o qual é conhecido como “Efeito Historia” pois o transistor pode manter um estado determinado sempre, sem importar se ele está desligado ou não.

O Efeito de Corpo Flutuante também produz o “Efeito de Torção” (*Kink Effect*) (SILIGARIS et al., 2005), o qual, devido à carga acumulada na parte baixa do canal, faz que a transcondutância do SOI g_m tenha um pico apreciável, além de uma torção na característica I_d vs. V_d do transistor e um comportamento estranho na condutância do dreno, como é mostrado na Figura A.1. Isso é crítico para o uso destes transistores em amplificadores.

Os efeitos causados pelo Efeito Corpo Flutuante são vistos em transistores PDSOI. Este efeito pode ser minimizado ou anulado fazendo com que o canal seja mais fino, que é o caso dos transistores FDSOI.

Figura A.1: Efeito de Torção (*Kink*)



Fonte: (SILIGARIS et al., 2005).

ANEXO B — DEFINIÇÕES E EXTRAÇÃO DE PARÂMETROS DOS FDSOI

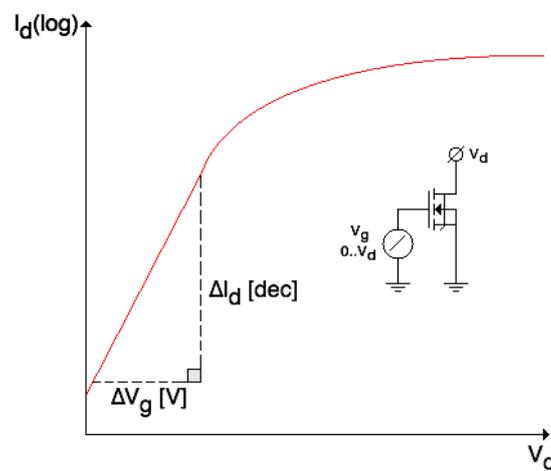
B.1 Inclinação Sub-Limiar

O Inclinação Sub-Limiar (*Subthreshold Slope*) indica como a corrente de dreno I_d pode ser detida quando V_g é menor que a tensão de limiar V_{th} (RANKA et al., 2011). Quando a característica I_d vs. V_g tem uma inclinação maior no inclinação sub-limiar é melhor porque garante passar desde o estado de corte até saturação rapidamente.

O Inclinação Sub-Limiar S_S é definido como:

$$S_S = \left[\frac{d(\log I_d)}{dV_g} \right]^{-1} = \frac{k_B T}{q} \left(1 + \frac{C_{dep}}{C_{ox}} \right) [mV/dec] \quad (B.1)$$

Figura B.1: Extração do S_S .



Fonte: Os Autores.

onde C_{dep} é a capacitância da camada de depleção e C_{ox} é a capacitância de óxido da porta.

O parâmetro SS pode ser determinado geometricamente usando a curva $I_d(\log)$ vs. V_g , como é mostrado na figura B.1; nesse caso $S_S = (\Delta I_d(\log)/\Delta V_g)^{-1}$. Um dispositivo com um S_S maior tem uma transição muito rápida entre os estados de desligado (corrente baixa) e ligado (corrente alta).

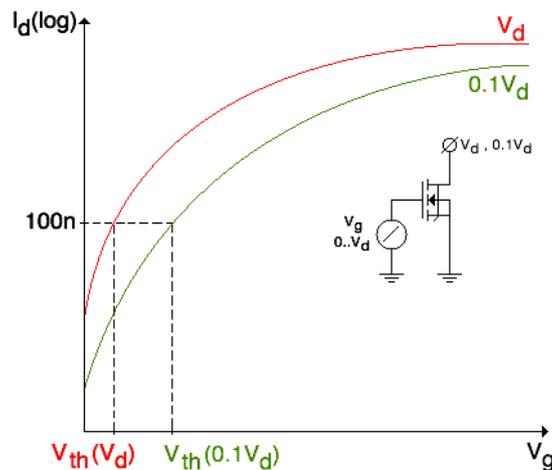
B.2 Diminuição da Barreira Induzida no Dreno

O efeito de Diminuição da Barreira Induzida no dreno (*Drain Induced Barrier Lowering* ou DIBL) acontece quando a altura da barreira de energia dos portadores do canal na borda da fonte diminui devido a influencia do campo elétrico do dreno, após aplicar uma voltagem alta no dreno. Isso incrementa o número de portadores injetados no canal desde a fonte, o que resulta num incremento na corrente de desligamento do transistor. Assim, a corrente I_d não é apenas controlada pela voltagem da porta V_g , também é controlada pela tensão do dreno V_d . Este efeito parasita conta como um mecanismo indesejável de diminuição da voltagem de limiar V_{th} devido a influencia do V_d (RANKA et al., 2011). É possível quantificar o efeito *DIBL* da seguinte forma:

$$DIBL = -\frac{V_{th}(V_d) - V_{th}(0.1V_d)}{V_d - 0.1V_d} [mV/V] \quad (B.2)$$

onde $V_{th}(V_d)$ e $V_{th}(0.1V_d)$ são as tensões de limiar para V_d e $0.1V_d$ respectivamente. Enquanto este valor for pequeno, o efeito DIBL sera menor, o que significa que V_{th} é “independente” de V_d . A figura B.2 mostra como é possível extrair o parâmetro DIBL usando a curva $I_d(\log)$ vs. V_g .

Figura B.2: Extração do DIBL.



Fonte: Os Autores.

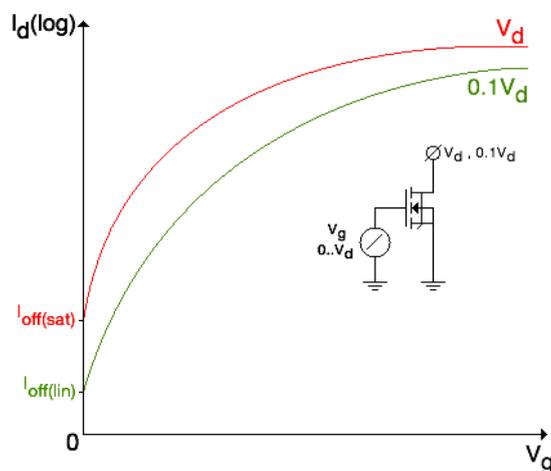
B.3 Voltagem de Limiar Linear e de Saturação

Da figura B.2, é definida a tensão de limiar de saturação $V_{th(sat)}$ como $V_{th(sat)} = V_{th}(V_d)$ e a tensão de limiar na zona linear ou de triodo $V_{th(lin)}$ como $V_{th(lin)} = V_{th}(0.1V_d)$. Para obter um $V_{th(sat)}$ padronizado, é preciso usar um comprimento da terminal de porta $W = 1\mu\text{m}$ no transistor testado.

B.4 Correntes de Corte Linear e de Saturação

Neste caso é melhor usar a característica I_d vs. V_g , onde o eixo I_d está em escala logarítmica, como é mostrado na figura B.2, mas deve-se usar os valores em $V_g = 0\text{V}$. Na figura B.3 é mostrada a corrente de desligado linear $I_{off(lin)}$ e de saturação $I_{off(sat)}$. Para obter $I_{off(lin)}$ e $I_{off(sat)}$ padronizados, é preciso usar um comprimento da terminal de porta $W = 1\mu\text{m}$ no transistor testado (as correntes vai ter unidades de $\text{A}/\mu\text{m}$).

Figura B.3: Extração do I_{off} Linear e de Saturação.



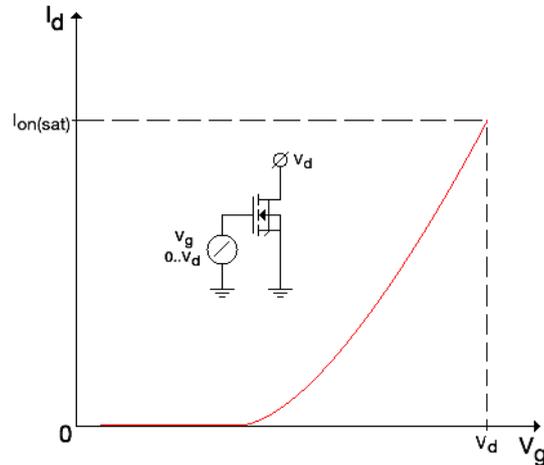
Fonte: Os Autores.

B.5 Corrente de Saturação

A corrente de saturação $I_{on} = I_{on(sat)}$ é a corrente que passa através do terminal do dreno quando nos terminais de dreno e porta estão com uma tensão máxima ou de saturação V_d . A figura B.4 mostra como é extraído esse parâmetro a partir da curva I_d .

vs. V_g do transistor. Para obter $I_{on(sat)}$ padronizado, é preciso usar um comprimento de terminal de porta $W = 1\mu\text{m}$ no transistor testado (a corrente vai ter unidade de $\text{A}/\mu\text{m}$).

Figura B.4: Extração do I_{on} .



Fonte: Os Autores.

B.6 Transcondutância

É definida a Transcondutância (ou Transcondutância de Porta) como a variação que tem a corrente do Dreno I_d quando é aplicada uma variação da tensão da Porta V_g , enquanto as tensões das terminais de Dreno V_d e Substrato V_b permanecem constantes (CAMPANA, 2012). Para obter o gráfico da transcondutância do transistor g_m se deve usar a derivada da gráfica I_d vs. V_g respeito a V_g :

$$g_m = g_m(V_g) = \left. \frac{\partial I_d}{\partial V_g} \right]_{V_b, V_d} = \frac{d}{dV_g} I_d(V_g) \quad (\text{B.3})$$

B.7 Definição de Dispositivos de Canal Curto

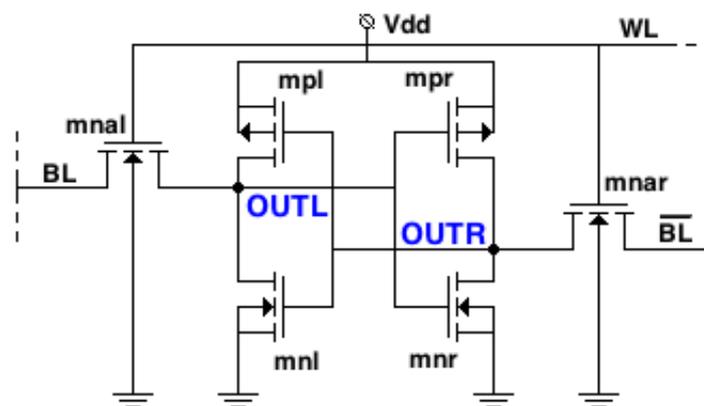
Um dispositivo MOSFET é considerado de “canal curto” quando o comprimento do canal L tem o mesmo ordem de magnitude que a espessura da camada de depleção das junções dos poços de dreno e fonte (TSIVIDIS; MCANDREW, 2010; RANKA et al.,

2011). Na atualidade, qualquer dispositivo MOSFET de nó tecnológico inferior a 90nm é considerado um dispositivo de canal curto.

ANEXO C — CARACTERIZAÇÃO ESTÁTICA DE UMA CÉLULA SRAM 6T

As SRAM 6T foram projetadas utilizando 6 transistores como é mostrado na Figura C.1. Nelas, dois transistores NMOS são usadas para acessar (ACCESS) a SRAM (**mnla** e **mnra**), dois transistores PMOS servem como cargas (LOAD) para o circuito (**mpl** e **mpr**), e dois transistores NMOS controlam (DRIVER) os conteúdos da célula (**mnl** e **mnr**). Os nós **OUTL** e **OUTR** armazenam o dado e dado complementar da SRAM respetivamente. A representação simplificada desta SRAM é mostrada na Figura C.2, onde os transistores **mpl** e **mnl** formam o inversor esquerdo da célula **Inv L** e os transistores **mpr** e **mnr** formam o inversor direito **Inv R**. A linha **WL** serve para ativar os transistores de acesso **mnla** e **mnra**. As linhas **BL** e $\overline{\text{BL}}$ servem para ler o dado e dado complementar armazenados na célula respetivamente.

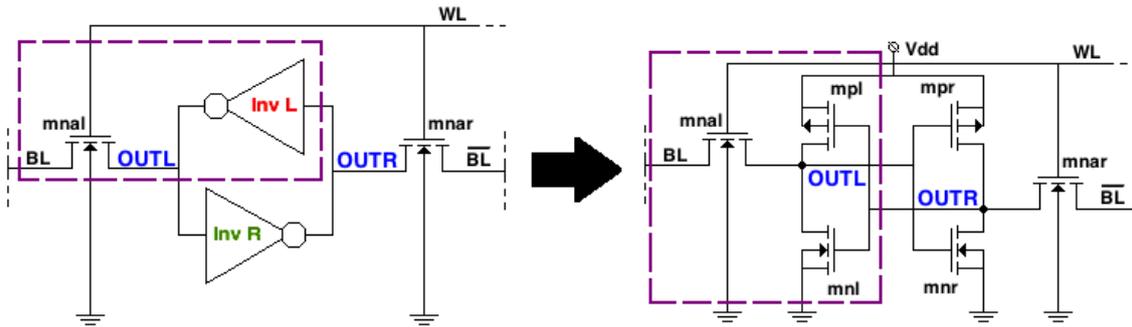
Figura C.1: Célula de Memória SRAM 6T Básica



Fonte: Os Autores.

Para caracterizar uma SRAM 6T de forma estática é necessário saber suas margens de ruído estático (SNM) quando é lida ou escrita (LIST, 1986). O SNM mede a estabilidade da célula SRAM para reter o dado armazenado contra o ruído. O SNM da SRAM é definida como a mínima quantidade de tensão de ruído V_{noise} presente nos nós de armazenamento da SRAM necessária para conseguir mudar o dado da célula (GADHE; SHIRODE, 2013; ARORA; POONAM; SINGH, 2014). Essas margens dependem do dimensionamento dos dispositivos no circuito, da tensão de alimentação e da variabilidade do processo de fabricação (RABAEY; CHANDRAKASAN; NICOLIĆ, 2003; MORADI et al., 2009; MAKINO et al., 2012; RAHMAN; SINGH, 2013). A variação da temperatura quase não muda as margens de ruído das SRAM 6T (RAHMAN; SINGH, 2013).

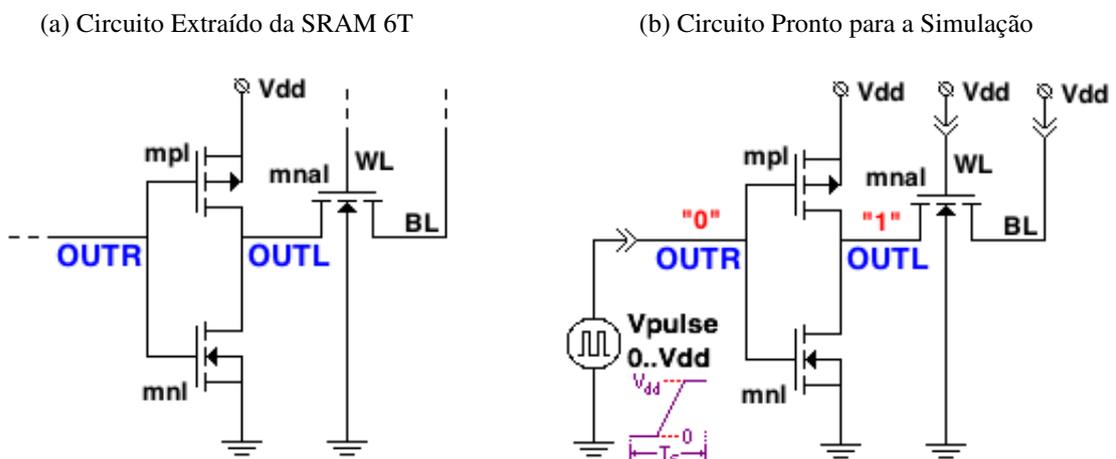
Figura C.3: Obtenção do RNM da SRAM de 6 Transistores: Corte do Circuito



Fonte: Os Autores.

dados na SRAM após uma mudança de “0” lógico até “1” lógico. O tempo de simulação T_s deve ser o suficientemente grande para conter uma transição de “0” até “1” garantindo a estabilidade dos dados do circuito simulado. O circuito pronto para começar a simulação é mostrado na Figura C.4b (SAXENA, 2013).

Figura C.4: Obtenção do RNM da SRAM de 6 Transistores: Preparação para a Simulação



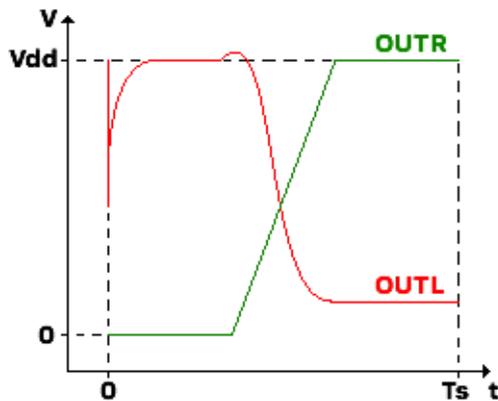
Fonte: Adaptado de (SAXENA, 2013).

O resultado da simulação feita desde $t = 0$ até $t = T_s$ é mostrado na Figura C.5a. O V_{pulse} está no nó **OUTR**. A Figura C.5b mostra o gráfico de borboleta das VTCs: para o **Inv L** é desenhado o gráfico **OUTL** vs. **OUTR**, e para o **Inv R** é desenhado o gráfico **OUTR** vs. **OUTL** (isso aproveitando a simetria do circuito SRAM).

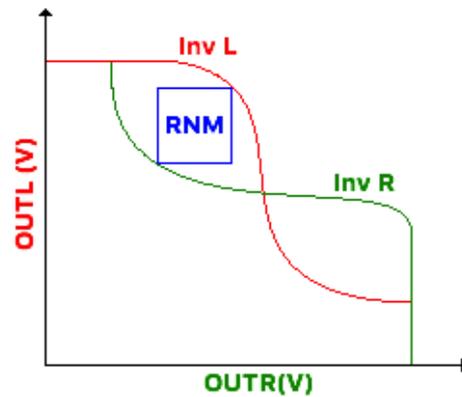
O valor de RNM é o LADO do MAIOR QUADRADO que é possível desenhar no gráfico de Borboleta mostradas na figura C.5b.

Figura C.5: Gráficos RNM de Simulação da SRAM de 6 Transistores

(a) Resultado da Simulação no Tempo do Circuito Extraído



(b) Desenho da Característica de Transferência de Tensão

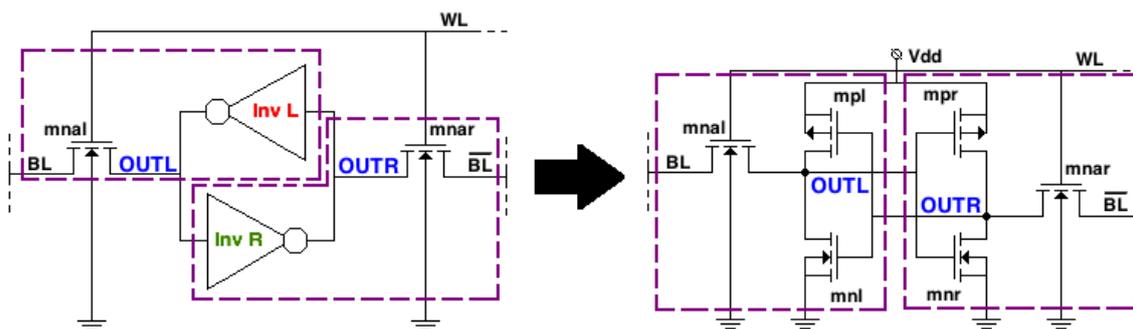


Fonte: Os Autores.

C.2 Obtenção da Margem de Ruído Estático de Escrita (WNM)

Vamos cortar o circuito como foi feito na seção C.1. Assim como no caso anterior, vamos usar as partes da SRAM que estão dentro dos polígonos pontilhados da Figura C.6 para obter a WNM. Neste caso os dois lados do circuito vão ser usados, mas vão ser condicionados a estímulos diferentes para obter as suas VTCs.

Figura C.6: Obtenção do WNM da SRAM de 6 Transistores: Corte do Circuito

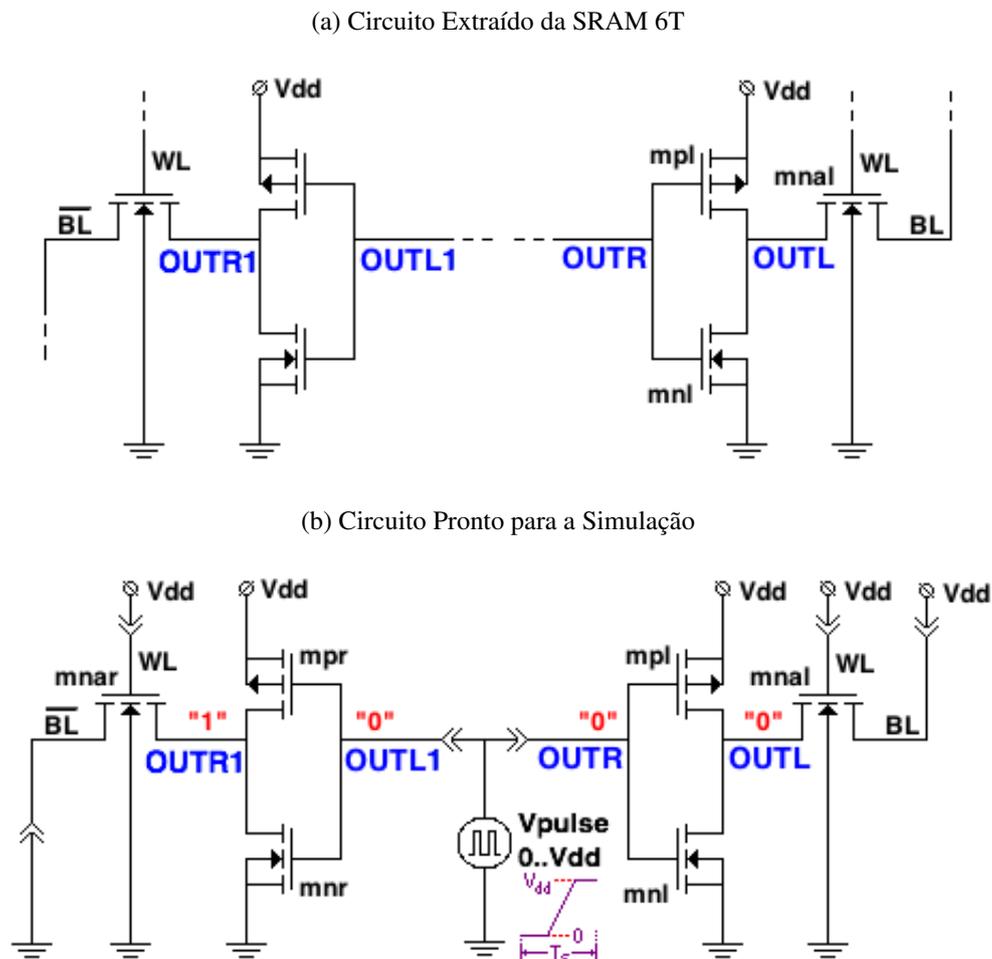


Fonte: Os Autores.

Neste caso vai ser necessário usar a SRAM toda em dois circuitos separados, como é mostrado na Figura C.7a. Para ter estes circuitos prontos para a simulação, a linha **WL** deve estar a tensão V_{dd} para garantir o acesso ao dado, a linha **BL** deve estar a tensão V_{dd} para assegurar que possa ser escrito um “1” lógico, e a linha $\overline{\text{BL}}$ deve estar aterrado (**GND**) para assegurar que possa ser escrito um “0” lógico. O nó **OUTL** é forçado a

iniciar a simulação em “0” lógico (ou **GND** ou 0V) e o nó **OUTR1** é forçado a iniciar em “1” lógico (ou V_{dd}), assim é garantido que esses valores vão ser mudados durante a operação de escrita da célula de memória. Os nós **OUTR** e **OUTL1** são forçados a iniciar em “0” lógico. Finalmente, uma fonte de pulso quadrado V_{pulse} adequada deve-se colocar nos nós **OUTR** e **OUTL1** (neste caso o nó **OUTR** vai ser o mesmo que o nó **OUTL1**). A fonte V_{pulse} deve ser escolhida considerando os tempos de estabilidade dos dados na SRAM após uma mudança de “0” lógico até “1” lógico. O tempo de simulação T_s deve ser o suficientemente grande para conter uma transição de “0” até “1” garantindo a estabilidade dos dados do circuito simulado. O circuito pronto para começar a simulação é mostrado na Figura C.7b (SAXENA, 2013).

Figura C.7: Obtenção do WNM da SRAM de 6 Transistores: Preparação para a Simulação



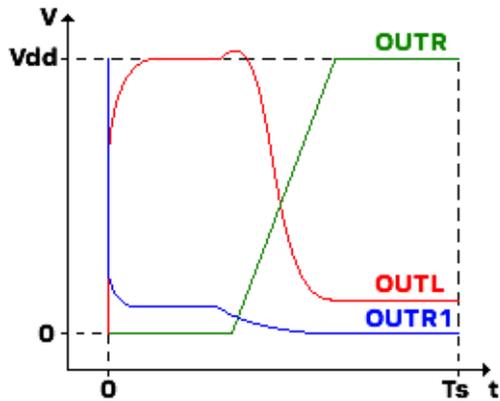
Fonte: Adaptado de (SAXENA, 2013).

A simulação é realizada desde $t = 0s$ até $t = T_s$. O resultado é mostrado na Figura C.8a, onde estão os resultados dos nós **OUTL**, **OUTR** (que é o mesmo que o nó **OUTL1**)

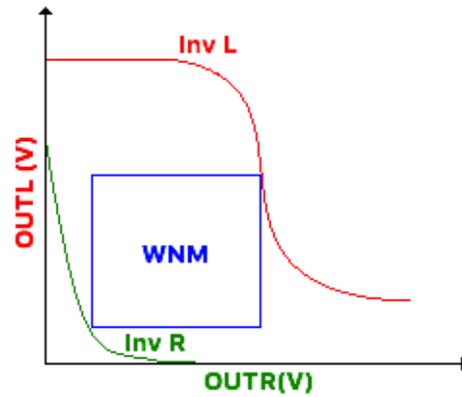
e **OUTR1**. A tensão da fonte V_{pulse} de estímulo é mostrada no resultado do nó **OUTR**. A Figura C.8b mostra a gráfica de borboleta das VTCs: para o **Inv L** é desenhado o gráfico **OUTL** vs. **OUTR**, e para o **Inv R** é desenhado o gráfico **OUTR** vs. **OUTR1**.

Figura C.8: Gráficos WNM de Simulação da SRAM de 6 Transistores

(a) Resultado da Simulação no Tempo do Circuito Extraído



(b) Desenho da Característica de Transferência de Tensão



Fonte: Os Autores.

O valor de WNM é o LADO do MAIOR QUADRADO que é possível desenhar no gráfico de Borboleta mostradas na Figura C.8b.

ANEXO D — RELAÇÃO APROXIMADA ENTRE t_{ox} , I_{on} , I_{off} E V_{th} NOS TRANSISTORES BULK E FDSOI

Quando foram modelados todos os dispositivos deste documento usando o SDE, foi necessário que estes dispositivos atingiram os requerimentos que os modelos equivalentes de SPICE fornecem (algo que, na real, deveria ser o contrario). Os valores de corrente de saturação I_{on} e corte I_{off} e da Tensão de Limiar V_{th} dos transistores são parâmetros elétricos muito importantes nos dispositivos atuais e podem ser controlados variando a espessura do óxido de porta t_{ox} . Quando o t_{ox} aumenta, o I_{on} diminui, o I_{off} aumenta e V_{th} aumenta. Mas o por quê acontece isso? Vamos discutir aqui as razões pelas que acontece tudo isso no Transistor Bulk. Estas relações também são válidas nos dispositivos FDSOI porque foram observadas durante as simulações de calibração.

D.1 Relação entre o t_{ox} e o I_{on}

Para todo dispositivo, o I_{on} acontece na saturação, nesse caso, a corrente do dreno I_d vai ter a seguinte equação aproximada:

$$I_d = \frac{1}{2} \frac{\mu_n \varepsilon_{ox}}{t_{ox}} (V_g - V_{th})^2 \quad (D.1)$$

Neste caso o I_d depende do V_g . Para obter o I_{on} , o I_d deve ser o máximo, e nesse caso isso vai acontecer quando $V_g \gg V_{th}$ e $V_g = V_{DD}$, então:

$$I_{on} = \frac{1}{2} \frac{\mu_n \varepsilon_{ox}}{t_{ox}} (V_{DD} - V_{th})^2 \quad (D.2)$$

E isso é

$$I_{on} \propto \frac{1}{t_{ox}} \quad (D.3)$$

Então, o I_{on} e inversamente proporcional ao t_{ox} .

D.2 Relação entre o t_{ox} e o I_{off}

O I_{off} acontece quando o dispositivo está funcionando na região sub-limiar, o qual pode ser modelado pela seguinte equação:

$$I_d = I_{d0} e^{\frac{V_g - V_{th}}{m\phi_T}} \left(1 - e^{\frac{-V_d}{\phi_T}}\right) \quad (D.4)$$

onde $\phi_T = k_B T/q$ é a voltagem térmica, e I_{d0} é uma constante obtida experimentalmente. Então, como $e^{\frac{-V_d}{\phi_T}} \ll 1$, a (D.4) pode-se aproximar ao seguinte:

$$I_d = I_{d0} e^{\frac{V_g - V_{th}}{m\phi_T}} \quad (D.5)$$

O valor $m\phi_T = S_s$ é o mesmo da (B.1), o $C_{ox} = \varepsilon_{ox}/t_{ox}$, e para encontrar o valor de I_{off} deve-se fazer a $V_g = 0$, assim:

$$I_{off} = I_{d0} e^{\frac{-\varepsilon_{ox} V_{th}}{\phi_T(\varepsilon_{ox} + t_{ox} C_{dep})}} \quad (D.6)$$

E isso é

$$I_{off} \propto e^{\frac{-1}{t_{ox}}} \quad (D.7)$$

Então, o I_{off} é inversamente proporcional a exponencial de $1/t_{ox}$.

D.3 Relação entre o t_{ox} e o V_{th}

O V_{th} pode ser modelado pela seguinte relação aproximada:

$$V_{th} = V_{FB} + 2\phi_B + \gamma\sqrt{2\phi_B} \quad (D.8)$$

onde V_{FB} é a tensão de banda plana, $\phi_B = (k_B T/q) \ln(N_A/n_i)$ é o Potencial de Fermi e $\gamma = \sqrt{2q\varepsilon_{Si}N_A}/C_{ox}$ é o fator de efeito corpo, e $C_{ox} = \varepsilon_{ox}/t_{ox}$. É supondo que a densidade de carga fixa na interfase Si-SiO₂ é desprezível, fazendo que V_{FB} seja considerado

uma constante, então:

$$V_{th} = V_{FB} + 2 \frac{k_B T}{q} \ln \left[\frac{N_A}{n_i} \right] + 2 \frac{t_{ox}}{\varepsilon_{ox}} \sqrt{k_B T \varepsilon_{Si} N_A \ln \left[\frac{N_A}{n_i} \right]} \quad (\text{D.9})$$

E isso é

$$V_{th} \propto t_{ox} \quad (\text{D.10})$$

Então, o V_{th} é diretamente proporcional ao t_{ox} .

ANEXO E — ESPESSURA EQUIVALENTE DE ÓXIDO (EOT)

Com o avanço da tecnologia, o consumo estático dos dispositivos semicondutores vem aumentando devido ao aparecimento de efeitos indesejáveis que acontecem quando as dimensões físicas diminuem, como as variações de tensão de limiar, os efeitos de portadores quentes, dependência da temperatura, variação da mobilidade dos portadores, a modulação da longitude de canal, tunelamento do óxido da porta e efeitos da carga depleta no substrato (RABAEY; CHANDRAKASAN; NICOLIĆ, 2003; CAMPANA, 2012). Destes efeitos, o tunelamento do óxido é um dos mais importantes devido ao fato de que o capacitor MOS do dispositivo já não funcionaria como tal, isso é, o óxido dele não serviria mais como isolamento.

As correntes de tunelamento decrescem exponencialmente com o incremento da distancia. Assim, a solução ao problema é trocar a camada de SiO_2 da porta do transistor com uma camada mais grossa fisicamente de um material (ou materiais) de alta constante dielétrica K (ROBERTSON, 2004). A Tabela E.1 mostra alguns dielétricos que podem-se usar para criar óxidos de porta de alta constante $K=\epsilon_K$.

Tabela E.1: Constantes Dielétricas Estáticas.

	ϵ_K	Gap(eV)	Dislocamento da B.C. (eV)
Si		1.1	
SiO_2	3.9	9	3.2
Si_3N_4	7	5.3	2.4
Al_2O_3	9	8.8	2.8
Ta_2O_5	22	4.4	0.35
TiO_2	80	3.5	0
SrTiO_3	2000	3.2	0
ZrO_2	25	5.8	1.5
HfO_2	25	5.8	1.4
HfSiO_4	11	6.5	1.8
La_2O_3	30	6	2.3
Y_2O_3	15	6	2.3
a-LaAlO ₃	30	5.6	1.8

Fonte: Adaptado de (ROBERTSON, 2004).

Como foi mostrado no anexo D, os parâmetros I_{on} , I_{off} e V_{th} dependem do t_{ox} . Este t_{ox} pode-se ver como a Espessura de Óxido Equivalente t_{EOT} . É possível mudar esse único óxido de porta de espesura $t_{ox} = t_{EOT}$ e permitividade $\epsilon_{ox} = \epsilon_{EOT}$ (como é no caso da Figura E.1a) por uma pilha de n óxidos, cada um de espesura t_k e permitividade ϵ_k , onde $k = 1, 2, \dots, n - 1, n$ (mostrada na Figura E.1b). Isso pode-se representar na

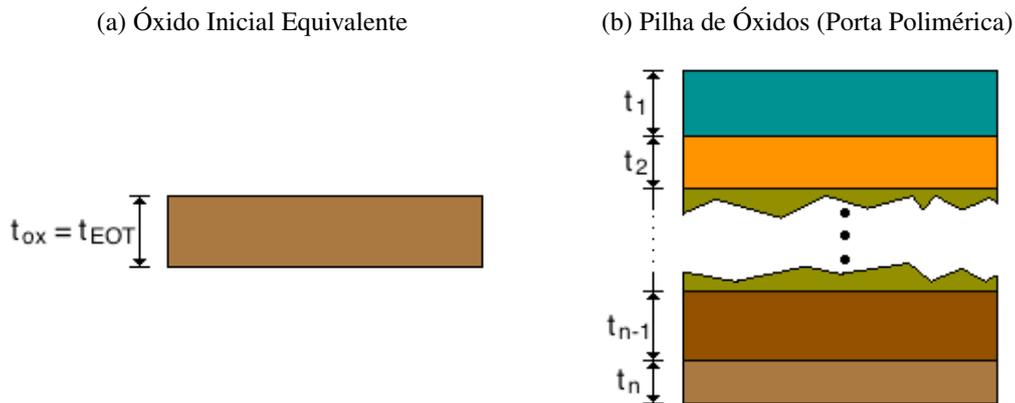
seguinte equação:

$$\frac{t_{EOT}}{\varepsilon_{EOT}} = \sum_{k=1}^n \frac{t_k}{\varepsilon_k} \quad (\text{E.1})$$

Como a mínima espessura de óxido permitida é de 0.9nm para que o SiO₂ da porta não tunele, é desenvolvido o seguinte critério para uma pilha de n óxidos de espessura t_k que vai ser usado na porta do dispositivo:

$$\sum_{k=1}^n t_k > 0.9\text{nm} \quad (\text{E.2})$$

Figura E.1: Espessura Equivalente de Óxido.



Fonte: Os Autores.

Como exemplo, vamos supor que temos um óxido de porta SiO₂ equivalente ($\varepsilon_{ox} = \varepsilon_{EOT} = 3.9$) de espessura $t_{ox} = t_{EOT} = 0.7\text{nm}$, menor que o 0.9nm permitido para o SiO₂ e é fato que vai tunelar. Se decide mudar a porta por uma porta polimérica de dois óxidos diferentes: SiO₂ de $\varepsilon_1 = 3.9$ e HfO₂ de $\varepsilon_2 = 25$. O objetivo é encontrar valores de $t_1 = t_{SiO_2}$ e $t_2 = t_{HfO_2}$ que cumpram o critério (E.2). Então, usando (E.1):

$$\frac{0.7\text{nm}}{3.9} = \frac{t_{SiO_2}}{3.9} + \frac{t_{HfO_2}}{25}$$

$$\implies 17.5\text{nm} = 25 \cdot t_{SiO_2} + 3.9 \cdot t_{HfO_2}$$

Nesse caso, usar $t_{SiO_2} = 0.5\text{nm}$ e $t_{HfO_2} = 1.28\text{nm}$ é uma solução ao problema. Além disso, estas duas espessuras somadas cumprem o critério mostrado em (E.2): $t_{SiO_2} + t_{HfO_2} = 0.5\text{nm} + 1.28\text{nm} = 1.78\text{nm} > 0.9\text{nm}$.

ANEXO F — MODELOS E *NETLISTS* PARA HSPICE

F.1 Modelo Preditivo do Transistor de 32nm de baixo consumo da Arizona State University

```

1  * PTM Low Power 32nm Metal Gate / High-K / Strained-Si
2  * nominal Vdd = 1.0V
3
4  .model nmos nmos level = 54
5
6
7  +version = 4.0          binunit = 1          paramchk= 1          mobmod = 0
8  +capmod = 2            igcmmod = 1          igbmod = 1          geomod = 1
9  +diomod = 1            rdsmod = 0           rbodymod= 1         rgatemod= 1
10 +permod = 1            acnqsmod= 0          trnqsmod= 0
11
12 +tnom = 27             toxex = 1.6e-009       toxp = 1.3e-009     toxm = 1.6e-009
13 +dtox = 3e-010        epsrox = 3.9          wint = 5e-009       lint = 0
14 +ll = 0                wl = 0                lln = 1              wln = 1
15 +lw = 0                ww = 0                lwn = 1              wwn = 1
16 +lwl = 0              wwl = 0              xpart = 0           toxref = 1.6e-009
17
18 +vth0 = 0.63          k1 = 0.4              k2 = 0               k3 = 0
19 +k3b = 0              w0 = 2.5e-006         dvt0 = 1             dvt1 = 2
20 +dvt2 = 0            dvt0w = 0            dvt1w = 0           dvt2w = 0
21 +dsusb = 0.1          minv = 0.05          voff1 = 0            dvtp0 = 1e-011
22 +dvtp1 = 0.1         lpe0 = 0              lpeb = 0             xj = 5e-008
23 +ngate = 1e+023      ndep = 4.12e+018     nsd = 2e+020         phin = 0
24 +cdsc = 0            cdscc = 0            cdsd = 0             cit = 0
25 +voff = -0.1144      nfactor = 1.6         eta0 = 0.0115        etab = 0
26 +vfb = -0.55         u0 = 0.042           ua = 6e-010          ub = 1.2e-018
27 +uc = 0              vsat = 155000         a0 = 1               ags = 0
28 +a1 = 0              a2 = 1               b0 = 0               b1 = 0
29 +keta = 0.04         dwg = 0              dwb = 0              pclm = 0.02
30 +pdiblc1 = 0.001     pdiblc2 = 0.001      pdiblc3 = -0.005    drout = 0.5
31 +pvag = 1e-020       delta = 0.01          psbbe1 = 8.14e+008   psbbe2 = 1e-007
32 +fprout = 0.2        pdits = 0.01         pditsd = 0.23       pditsl = 2300000
33 +rsh = 5             rdsw = 190           rsw = 75             rdw = 75
34 +rdswmin = 0         rdwmin = 0           rswmin = 0          prwg = 0
35 +prwb = 0           wr = 1               alpha0 = 0.074       alpha1 = 0.005
36 +beta0 = 30          agidl = 0.0002        bgidl = 2.1e+009     cgidl = 0.0002
37 +egidl = 0.8         aigbacc = 0.012       bigbacc = 0.0028     cigbacc = 0.002
38 +nigbacc = 1         aigbinv = 0.014       bigbinv = 0.004      cigbinv = 0.004
39 +eigbinv = 1.1       nigbinv = 3           aigc = 0.015211     bigc = 0.0027432
40 +cigc = 0.002        aigsd = 0.015211     bigsd = 0.0027432   cigsd = 0.002
41 +nigc = 1           poxedg = 1           pigcd = 1            ntox = 1
42 +xrcreg1 = 12        xrcreg2 = 5
43
44 +cgso = 8.5e-011      cgdo = 8.5e-011      cgbo = 2.56e-011     cgdl = 2.653e-010
45 +cgsl = 2.653e-010   ckappas = 0.03        ckappad = 0.03       acde = 1
46 +moin = 15          noff = 0.9           voffcv = 0.02
47
48 +kt1 = -0.11         kt1l = 0              kt2 = 0.022          ute = -1.5
49 +ua1 = 4.31e-009    ub1 = 7.61e-018      uc1 = -5.6e-011     prt = 0
50 +at = 33000
51
52 +fnoimod = 1         tnoimod = 0
53
54 +jss = 0.0001        jsws = 1e-011         jswgs = 1e-010       njs = 1
55 +ijthsfwd= 0.01     ijthsrev= 0.001       bvs = 10             xjbvs = 1
56 +jstd = 0.0001      jswd = 1e-011         jswgd = 1e-010       njd = 1
57 +ijthdfwd= 0.01    ijthdrev= 0.001       bvd = 10            xjbvd = 1
58 +pbs = 1            cjs = 0.0005          mjs = 0.5            pbsws = 1
59 +cjsws = 5e-010     mjsws = 0.33          pbswgs = 1           cjswgs = 3e-010
60 +mjswgs = 0.33     pbd = 1               cjd = 0.0005         mjbd = 0.5

```

```

61 +pbswd = 1          cjswd = 5e-010      mjswd = 0.33          pbswgd = 1
62 +cjswgd = 5e-010  mjswgd = 0.33        tpb = 0.005          tcj = 0.001
63 +tpbsw = 0.005    tcjsw = 0.001        tpbswg = 0.005       tcjswg = 0.001
64 +xtis = 3         xtids = 3
65
66 +dmcg = 0          dmci = 0             dmdg = 0             dmcgt = 0
67 +dwj = 0          xgw = 0             xgl = 0
68
69 +rshg = 0.4        gbmin = 1e-010      rbpb = 5             rbpd = 15
70 +rbps = 15        rbdb = 15           rbsb = 15           ngcon = 1
71
72
73 .model pmos pmos level = 54
74
75
76 +version = 4.0      binunit = 1          paramchk= 1          mobmod = 0
77 +capmod = 2         igcmod = 1           igbmod = 1           geomod = 1
78 +diomod = 1         rdsmod = 0           rbodmod= 1           rgatemod= 1
79 +permod = 1         acnqsmod= 0          trnqsmod= 0
80
81 +tnom = 27         toxex = 1.62e-009    toxp = 1.3e-009     toxm = 1.62e-009
82 +dtox = 3.2e-010  epsrox = 3.9         wint = 5e-009       lint = 0
83 +ll = 0           wl = 0              lln = 1             wln = 1
84 +lw = 0           ww = 0              lwn = 1             wwn = 1
85 +lwl = 0          ww1 = 0             xpart = 0           toxref = 1.6e-009
86
87 +vth0 = -0.5808    k1 = 0.4            k2 = -0.01          k3 = 0
88 +k3b = 0           w0 = 2.5e-006       dvt0 = 1            dvt1 = 2
89 +dvt2 = -0.032    dvt0w = 0           dvt1w = 0           dvt2w = 0
90 +dsub = 0.1        minv = 0.05         voffl = 0           dvtp0 = 1e-011
91 +dvtp1 = 0.05     lpe0 = 0            lpeb = 0            xj = 1e-008
92 +ngate = 1e+023    ndep = 3.07e+018    nsd = 2e+020        phin = 0
93 +cdsc = 0          cdscb = 0           cdscd = 0           cit = 0
94 +voff = -0.1      nfactor = 1.8        eta0 = 0.0115       etab = 0
95 +vfb = 0.55       u0 = 0.016          ua = 2e-009         ub = 5e-019
96 +uc = 0           vsat = 135000       a0 = 1              ags = 1e-020
97 +a1 = 0           a2 = 1              b0 = 0              b1 = 0
98 +keta = -0.047    dwg = 0             dwb = 0             pclm = 0.12
99 +pdiblc1 = 0.001  pdiblc2 = 0.001     pdiblc3 = 3.4e-008  drout = 0.56
100 +pvag = 1e-020    delta = 0.01         pscbe1 = 8.14e+008  pscbe2 = 9.58e-007
101 +fprout = 0.2     pdits = 0.08         pditsd = 0.23       pditsl = 2300000
102 +rsh = 5          rdsw = 240          rsw = 75            rdw = 75
103 +rdswmin = 0      rdswmin = 0         rswmin = 0          prwg = 0
104 +prwb = 0         wr = 1              alpha0 = 0.074       alpha1 = 0.005
105 +beta0 = 30       agidl = 0.0002       bgidl = 2.1e+009    cgidl = 0.0002
106 +egidl = 0.8      aigbacc = 0.012     bigbacc = 0.0028    cigbacc = 0.002
107 +nigbacc = 1      aigbinv = 0.014     bigbinv = 0.004     cigbinv = 0.004
108 +eigbinv = 1.1    nigbinv = 3          aigc = 0.0097       bigc = 0.00125
109 +cigc = 0.0008   aigsd = 0.0097      bigsd = 0.00125     cigsd = 0.0008
110 +nigc = 1         poxedg = 1          pigcd = 1           ntox = 1
111 +xrcreg1 = 12     xrcreg2 = 5
112
113 +cgso = 8.5e-011   cgdo = 8.5e-011     cgbo = 2.56e-011    cgdl = 2.653e-010
114 +cgsl = 2.653e-010 ckappas = 0.03       ckappad = 0.03      acde = 1
115 +moin = 15        noff = 0.9          voffcv = 0.02
116
117 +kt1 = -0.11       kt1l = 0            kt2 = 0.022         ute = -1.5
118 +ua1 = 4.31e-009  ub1 = 7.61e-018     uc1 = -5.6e-011     prt = 0
119 +at = 33000
120
121 +fnoimod = 1      tnoimod = 0
122
123 +jss = 0.0001     jsws = 1e-011       jswgs = 1e-010      njs = 1
124 +ijthsfwd= 0.01  ijthdrev= 0.001     bvs = 10            xjbvs = 1
125 +jsd = 0.0001    jswd = 1e-011       jswgd = 1e-010     njd = 1
126 +ijthdfwd= 0.01  ijthdrev= 0.001     bvd = 10            xjbvd = 1
127 +pbs = 1         cjs = 0.0005        mjs = 0.5           pbsws = 1
128 +cjsws = 5e-010  mjsws = 0.33        pbswgs = 1          cjswgs = 3e-010
129 +mjswgs = 0.33   pbd = 1             cjd = 0.0005        mjd = 0.5
130 +pbswd = 1        cjswd = 5e-010      mjswd = 0.33        pbswgd = 1

```

131	+cjswgd	= 5e-010	mjswgd	= 0.33	tpb	= 0.005	tcj	= 0.001
132	+tpbsw	= 0.005	tcjsw	= 0.001	tpbswg	= 0.005	tcjswg	= 0.001
133	+xtis	= 3	xtid	= 3				
134								
135	+dmcg	= 0	dmci	= 0	dmdg	= 0	dmcgt	= 0
136	+dwj	= 0	xgw	= 0	xgl	= 0		
137								
138	+rshg	= 0.4	gbmin	= 1e-010	rbpb	= 5	rbpd	= 15
139	+rbps	= 15	rbdb	= 15	rbsb	= 15	ngcon	= 1

F.2 Modelo Preditivo do Transistor de 28nm FDSOI

```

1  * PsPTM 28nm FDSOI
2  * nominal Vdd = 1.0V
3  * modif. A. Vladimirescu
4
5  .model nmos nmos level = 54
6
7
8  +version = 4.0          binunit = 1          paramchk= 1          mobmod = 0
9  +capmod = 2            igcmmod = 1          igbmod = 1          geomod = 1
10 +diomod = 1           rdsmod = 0          rbodymod= 1         rgatemod= 1
11 +permod = 1           acnqsmod= 0         trnqsmod= 0
12
13 +tnom = 27            toxex = 1.6e-009    toxp = 1.3e-009     toxm = 1.6e-009
14 +dtox = 3e-010       epsrox = 3.9        wint = 5e-009       lint = 0
15 +ll = 0              w1 = 0             lln = 1             wln = 1
16 +lw = 0              ww = 0             lwn = 1            wwn = 1
17 +lwl = 0            wwl = 0           xpart = 0          toxref = 1.6e-009
18
19 +vth0 = 0.53         k1 = 0.4           k2 = 0             k3 = 0
20 +k3b = 0            w0 = 2.5e-006     dvt0 = 1           dvt1 = 2
21 +dvt2 = 0           dvt0w = 0         dvt1w = 0         dvt2w = 0
22 +dsusb = 0.1        minv = 0.05       voff1 = 0         dvtp0 = 1e-011
23 +dvtpl = 0.1       lpe0 = 0          lpeb = 0          xj = 5e-008
24 +ngate = 1e+023     ndep = 4.12e+018  nsd = 2e+020       phin = 0
25 +cdsc = 0           cdscl = 0         cdscl = 0         cit = 0
26 +voff = -0.1144     nfactor = 1.6     eta0 = 0.0115     etab = 0
27 +vfb = -0.55        u0 = 0.052        ua = 6e-010        ub = 1.2e-018
28 +uc = 0             vsat = 155000     a0 = 1             ags = 0
29 +a1 = 0             a2 = 1            b0 = 0             b1 = 0
30 +keta = 0.04        dwg = 0           dwb = 0           pclm = 0.02
31 +pdiblcl1 = 0.001   pdiblcl2 = 0.001  pdiblclb = -0.005  drout = 0.5
32 +pvag = 1e-020     delta = 0.01       pscbe1 = 8.14e+008  psclb2 = 1e-007
33 +fprout = 0.2      pdits = 0.01      pditsd = 0.23     pditsl = 2300000
34 +rsh = 5           rdsw = 190        rdsw = 75         rdw = 75
35 +rdswmin = 0       rdwmin = 0        rdwmin = 0        prwg = 0
36 +prwb = 0          wr = 1            alpha0 = 0.074     alpha1 = 0.005
37 +beta0 = 30        agidl = 0.0002    bgidl = 2.1e+009   cgidl = 0.0002
38 +egidl = 0.8       aigbacc = 0.012   bigbacc = 0.0028   cigbacc = 0.002
39 +nigbacc = 1       aigbinv = 0.014  bigbinv = 0.004   cigbinv = 0.004
40 +eigbinv = 1.1     nigbinv = 3       aigc = 0.015211   bigc = 0.0027432
41 +cigc = 0.002     aigsd = 0.015211  bigsd = 0.0027432  cigsd = 0.002
42 +nigc = 1         poxedg = 1        pigcd = 1          ntox = 1
43 +xrorgl = 12       xrorg2 = 5
44
45 +cgso = 8.5e-011    cgdo = 8.5e-011   cgbo = 2.56e-011   cgdl = 2.653e-010
46 +cgsl = 2.653e-010 ckappas = 0.03    ckappad = 0.03     acde = 1
47 +moin = 15         noff = 0.9        voffcv = 0.02
48
49 +kt1 = -0.11       kt1l = 0          kt2 = 0.022        ute = -1.5
50 +ual = 4.31e-009  ubl = 7.61e-018  uc1 = -5.6e-011    prt = 0
51 +at = 33000
52
53 +fnoimod = 1       tnoimod = 0
54
55 +jss = 0.0001      jsws = 1e-011     jswgs = 1e-010     njs = 1
56 +ijthsfwd= 0.01   ijthsrev= 0.001   bvs = 10          xjbvs = 1
57 +jsd = 0.0001     jswd = 1e-011    jswgd = 1e-010    njd = 1
58 +ijthdfwd= 0.01  ijthdrev= 0.001  bvd = 10         xjbvd = 1
59 +pbs = 1          cjs = 0.0005     mjs = 0.5         pbsws = 1
60 +cjsws = 5e-010  mjsws = 0.33     pbswgs = 1        cjswgs = 3e-010
61 +mjswgs = 0.33   pbd = 1          cjd = 0.0005     mjd = 0.5
62 +pbswd = 1        cjswd = 5e-010  mjswd = 0.33     pbswgd = 1
63 +cjswgd = 5e-010 mjswgd = 0.33    tpb = 0.005       tcj = 0.001
64 +tpbsw = 0.005   tcjsw = 0.001    tpbswg = 0.005   tcjswg = 0.001
65 +xtis = 3         xtis = 3
66

```

```

67 +dmcg = 0          dmcgi = 0          dmdg = 0          dmcgt = 0
68 +dwj = 0          xgw = 0          xgl = 0
69
70 +rshg = 0.4        gbmin = 1e-010    rbpb = 5          rbpd = 15
71 +rbps = 15        rbdb = 15        rbsb = 15        ngcon = 1
72
73
74 .model pmos pmos level = 54
75
76
77 +version = 4.0      binunit = 1       paramchk= 1       mobmod = 0
78 +capmod = 2        igcmod = 1       igbmod = 1       geomod = 1
79 +diomod = 1        rdsmod = 0       rbodymod= 1      rgatemod= 1
80 +permod = 1        acnqsmod= 0      trnqsmod= 0
81
82 +tnom = 27         toxe = 1.62e-009  toxp = 1.3e-009  toxm = 1.62e-009
83 +dtox = 3.2e-010  epsrox = 3.9      wint = 5e-009    lint = 0
84 +ll = 0           w1 = 0           lln = 1           wln = 1
85 +lw = 0           ww = 0           lwn = 1           wwn = 1
86 +lwl = 0         ww1 = 0         xpart = 0        toxref = 1.6e-009
87
88 +vth0 = -0.5808    k1 = 0.4         k2 = -0.01       k3 = 0
89 +k3b = 0          w0 = 2.5e-006    dvt0 = 1         dvt1 = 2
90 +dvt2 = -0.032    dvt0w = 0        dvt1w = 0        dvt2w = 0
91 +dsup = 0.1       minv = 0.05      voffl = 0        dvtp0 = 1e-011
92 +dvtp1 = 0.05     lpe0 = 0         lpeb = 0         xj = 1e-008
93 +ngate = 1e+023    ndep = 3.07e+018 nsd = 2e+020     phin = 0
94 +cdsc = 0         cdscb = 0        cdscd = 0        cit = 0
95 +voff = -0.1      nfactor = 1.8    eta0 = 0.0115    etab = 0
96 +vfb = 0.55       u0 = 0.016       ua = 2e-009      ub = 5e-019
97 +uc = 0           vsat = 135000    a0 = 1           ags = 1e-020
98 +a1 = 0           a2 = 1           b0 = 0           b1 = 0
99 +keta = -0.047    dwg = 0          dwb = 0          pclm = 0.12
100 +pdiblc1 = 0.001  pdiblc2 = 0.001  pdiblc3 = 3.4e-008 drout = 0.56
101 +pvag = 1e-020    delta = 0.01     psobe1 = 8.14e+008 psobe2 = 9.58e-007
102 +fprout = 0.2     pdits = 0.08     pditsd = 0.23    pditsl = 2300000
103 +rsh = 5          rdsw = 240       rsw = 75         rdw = 75
104 +rdswmin = 0      rdwmin = 0       rswmin = 0       prwg = 0
105 +prwb = 0         wr = 1           alpha0 = 0.074   alpha1 = 0.005
106 +beta0 = 30       agidl = 0.0002   bgidl = 2.1e+009  cgidl = 0.0002
107 +egidl = 0.8      aigbacc = 0.012  bigbacc = 0.0028  cigbacc = 0.002
108 +nigbacc = 1      aigbinv = 0.014  bigbinv = 0.004   cigbinv = 0.004
109 +eigbinv = 1.1    nigbinv = 3       aigc = 0.0097    bigc = 0.00125
110 +cigc = 0.0008    aigsd = 0.0097  bigsd = 0.00125  cigsd = 0.0008
111 +nigc = 1         poxedg = 1       pigcd = 1        nttox = 1
112 +xrorg1 = 12      xrorg2 = 5
113
114 +cgso = 8.5e-011   cgdo = 8.5e-011  cgbo = 2.56e-011  cgdl = 2.653e-010
115 +cgsl = 2.653e-010 ckappas = 0.03   ckappad = 0.03   acde = 1
116 +moin = 15        noff = 0.9       voffcv = 0.02
117
118 +kt1 = -0.11      kt1l = 0         kt2 = 0.022      ute = -1.5
119 +ual = 4.31e-009  ub1 = 7.61e-018  uc1 = -5.6e-011  prt = 0
120 +at = 33000
121
122 +fnoimod = 1      tnoimod = 0
123
124 +jss = 0.0001     jsws = 1e-011    jswgs = 1e-010   njs = 1
125 +ijthsfwd= 0.01  ijthsrrev= 0.001 bvs = 10         xjbvs = 1
126 +jsd = 0.0001    jswd = 1e-011    jswgd = 1e-010   njd = 1
127 +ijthdfwd= 0.01  ijthdrev= 0.001  bvd = 10         xjbvd = 1
128 +pbs = 1          cjs = 0.0005     mjs = 0.5        pbsws = 1
129 +cjsws = 5e-010  mjsws = 0.33     pbswgs = 1       cjswgs = 3e-010
130 +mjswgs = 0.33   pbd = 1          cjd = 0.0005     mjd = 0.5
131 +pbswd = 1        cjswd = 5e-010   mjswd = 0.33     pbswgd = 1
132 +cjswgd = 5e-010 mjswgd = 0.33    tpb = 0.005      tcj = 0.001
133 +tpbsw = 0.005   tcjsw = 0.001    tpbwsg = 0.005   tcjswg = 0.001
134 +xtis = 3         xtis = 3
135
136 +dmcg = 0          dmcgi = 0          dmdg = 0          dmcgt = 0

```

```
137 +dwj = 0          xgw = 0          xgl = 0
138
139 +rshg = 0.4        gbmin = 1e-010      rbpb = 5          rbpd = 15
140 +rbps = 15         rbdb = 15         rbsb = 15        ngcon = 1
```

F.3 Netlist para obter a curva I_d vs. V_g do FDSOI 28nm no HSPICE

```
1  ** Curva Id x Vg de um transistor NMOS
2
3  * Tech Files
4  .INCLUDE '28nm_RTV.txt'
5  .OPTION POST=2
6
7  * Parameter def
8  .PARAM SUPPLY = 1.0
9
10 * Voltage Sources
11 VG G GND 0
12 VD D GND SUPPLY
13 VS S GND 0
14 VB B GND 0
15
16 * Transistor Description
17 MN D G S B NMOS L=28n W=300n *AD=27889e-18 AS=27889e-18 PD=668n PS=668n
18
19 * Simulation Type
20 .DC VG 0 1.0 0.01
21
22 .END
```


ANEXO G — SCRIPTS PARA O SENTAURUS TCAD

G.1 Script de Sentaurus Structure Editor para o Transistor Bulk Preditivo de 32nm

```

1  ;*****
2  ;* PTM Bulk 32nm Low Power
3  ;* A Sentaurus Structure Editor Command File
4  ;* Created by: Walter Calienes Bartra
5  ;* Version: 21/11/2013
6  ;* Comments: 22nm-Lg N-P-channel LP PTM ASU Bulk MOSFET Design Version 1.0
7  ;*****
8
9  ;-----
10 ;Variables from SWB:
11 ;
12 ; @Type@ : Type of transistor (nMOS or pMOS)
13 ; @Tsi@ : Silicon Channel Mesh thickness [um]
14 ; @Tbox@ : Buried Oxide thickness [um] DO NOT USED IN BULK!
15 ; @Lg@ : Gate Length [um]
16 ; @Wg@ : Gate Width [um], only to reference
17 ;
18 ;-----
19
20 (if (string=? "@Type@" "nMOS")
21 (begin
22 (define DopSubType "BoronActiveConcentration")
23 (define DopSDType "ArsenicActiveConcentration")
24 (define SubDop 4.12e18 ) ; [1/cm3] Substrate doping
25 (define SDDop 4.0e20 ) ; [1/cm3] Source and Drain Well doping (ORG 2.0e20)
26 (define SubConDop 5.0e19) ; [1/cm3] Substrate Contact doping
27 (define Tox 1.3e-3) ; [um] Gate Oxide Thickness (tox parameter)
28 )
29 (begin
30 (define DopSubType "ArsenicActiveConcentration")
31 (define DopSDType "BoronActiveConcentration")
32 (define SubDop 4.12e18 ) ; [1/cm3] Substrate doping
33 (define SDDop 2.0e20 ) ; [1/cm3] Source and Drain Well doping
34 (define SubConDop 5.0e19) ; [1/cm3] Substrate Contact doping
35 (define Tox 1.3e-3) ; [um] Gate Oxide Thickness
36 )
37 )
38
39 ;-----
40 ; Setting parameters
41 ;-----
42
43 ; - Length for each part
44 (define Lg @Lg@ ; [um] Gate length
45 (define Wg @Wg@ ; [um] Gate width, only to reference
46 (define Los 0.00) ; [um] Extension S/D Spacer length
47 (define Lsp (* @Lg@ 1)) ; [um]
48 (define Lcont 0.04) ; [um] Source/Drain region length
49 (define Ltot (+ Lg (* 2 Lsp) (* 2 Lcont))) ; [um] Total Lateral Dimension
50
51 ; - Layer thickness
52 (define Hsub 0.200) ; [um] Substrate thickness
53 (define Hpol 0.090) ; [um] Poly gate thickness
54 (define Tsi @Tsi@ ; [um] SWB Variable Channel thickness
55 (define Tbox @Tbox@ ; [um] SWB Variable Buried Oxide thickness
56 (define Tsd 0.01) ; [um] Source/Drain thickness
57
58 ; - Junction Depths
59 (define XjExt 0.0250) ; [um] Source/Drain Extension depth (ORG 0.0146)
60 (define XjSD 0.0500) ; [um] Deep Source/Drain Junction depth (ORG 0.050)
61
62 ; - Others

```

```

63
64 ; - Spacer rounding
65 (define fillet-radius (/ @Lg@ 1)) ; [um] Rounding radius
66
67 ; - pn junction resolution
68 (define Gpn 0.0005) ; [um]
69
70 ;-----
71 ; Derived quantities
72 ;-----
73
74 (define Xmax (/ Ltot 2.0))
75 (define Xmin (/ Ltot (* 2.0 -1.0)))
76 (define Xgmax (/ Lg 2.0))
77 (define Xgmin (/ Lg (* 2.0 -1.0)))
78 (define Xosmax (+ Xgmax Los))
79 (define Xosmin (- Xgmin Los))
80 (define Xspmax (+ Xgmax Lsp))
81 (define Xspmin (- Xgmin Lsp))
82
83 (define Ysub Hsub) ; Bottom of substrate contact
84 (define Ycsub (- Hsub 0.01)); Top of the substrate contact
85 (define Ygox (* Tox -1.0)) ; Botton of the oxide/Si interface is at Y=0
86 (define Ysd (* Tsd -1.0)) ; Top of Source/Drain contacts
87 (define Ypol (- Ygox Hpol)) ; Top of PolySi
88 (define Ysi Tsi) ; Bottom of the Channel
89 (define Ybox (+ Tsi Tbox)) ; Bottom of the buried oxide
90
91 (define Lcont (- Xmax Xspmax))
92
93 ;-----
94 ; Overlap resolution: New replaces Old
95 ;-----
96
97 (sdegeo:set-default-boolean "ABA")
98
99 ;-----
100 ; Creating regions
101 ;-----
102
103 ;Creating substrate
104 (sdegeo:create-rectangle
105 (position Xmin Ysub 0.0 )
106 (position Xmax Ysd 0.0 ) "Silicon" "R.Substrate" )
107
108 ;Creating substrate contact
109 (sdegeo:create-rectangle
110 (position Xmin Ycsub 0.0 )
111 (position Xmax Ysub 0.0 ) "Silicon" "R.SubContact" )
112
113 ; Creating gate oxide
114 (sdegeo:create-rectangle
115 (position Xgmin 0.0 0.0 )
116 (position Xgmax Ygox 0.0 ) "SiO2" "R.Gateox" )
117
118 ; Creating right spacer region
119 (sdegeo:create-rectangle
120 (position Xgmax 0.0 0.0 )
121 (position Xspmax Ypol 0.0 ) "Si3N4" "R.RightSpacer" )
122
123 ; Creating left spacer region
124 (sdegeo:create-rectangle
125 (position Xgmin 0.0 0.0 )
126 (position Xspmin Ypol 0.0 ) "Si3N4" "R.LeftSpacer" )
127
128 ; Creating PolySi gate
129 (sdegeo:create-rectangle
130 (position Xgmin Ygox 0.0 )
131 (position Xgmax Ypol 0.0 ) "PolySi" "R.Polygate" )
132

```

```

133 ;-----
134 ; Rounding spacers
135 ;-----
136
137 ;Right spacer
138 (sdegeo:fillet-2d
139   (find-vertex-id (position Xspmax Ypol 0.0 )) fillet-radius)
140
141 ;Left spacer
142 (sdegeo:fillet-2d
143   (find-vertex-id (position Xspmin Ypol 0.0 )) fillet-radius)
144
145 ;-----
146 ; Contact declarations
147 ;-----
148
149 ;Drain
150 (sdegeo:define-contact-set "drain"
151   2.0 (color:rgb 1.0 0.0 0.0 ) "##")
152
153 ;Source
154 (sdegeo:define-contact-set "source"
155   2.0 (color:rgb 0.0 1.0 0.0 ) "##")
156
157 ;Gate
158 (sdegeo:define-contact-set "gate"
159   2.0 (color:rgb 0.0 0.0 1.0 ) "##")
160
161 ;Substrate
162 (sdegeo:define-contact-set "substrate"
163   2.0 (color:rgb 1.0 1.0 0.0 ) "##")
164
165 ;-----
166 ; Contact settings
167 ;-----
168
169 ; For the Drain, find the edge at the middle point between Xmax and Xspmax
170 (sdegeo:define-2d-contact
171   (find-edge-id (position (* (+ Xmax Xspmax) 0.5) Ysd 0.0)) "drain")
172
173 ; For the Source, find the edge at the middle point between Xmin and Xspmin
174 (sdegeo:define-2d-contact
175   (find-edge-id (position (* (+ Xmin Xspmin) 0.5) Ysd 0.0)) "source")
176
177 ; For the Gate, find de PolySi body, set the boundary contact and delete the body
178 (define GateMetal (find-body-id (position 0.0 (* 0.5 (+ Ypol Ygox)) 0.0)))
179 (sdegeo:set-current-contact-set "gate")
180 (sdegeo:set-contact-boundary-edges GateMetal)
181 (sdegeo:delete-region GateMetal)
182
183 ; For the Substrate, find the edge in (0,Ysub)
184 (sdegeo:define-2d-contact
185   (find-edge-id (position 0.0 Ysub 0.0)) "substrate")
186
187 ;-----
188 ; Separating lumps
189 ;-----
190
191 (sde:separate-lumps)
192
193 ; Setting region names
194
195 (sde:addmaterial
196   (find-body-id (position 0.0 (* 0.5 (+ Ysub Ycsub)) 0.0))
197   "Silicon" "R.SubContact")
198
199 (sde:addmaterial
200   (find-body-id (position 0.0 (* 0.5 (+ Ycsub Ysd)) 0.0))
201   "Silicon" "R.Substrate")
202

```

```

203 (sde:addmaterial
204   (find-body-id (position 0.0 (* 0.5 Ygox) 0.0))
205   "SiO2" "R.Gateox")
206
207 (sde:addmaterial
208   (find-body-id (position (* 0.5 (+ Xspmax Xgmax)) (- Ygox 0.01) 0.0))
209   "Si3N4" "R.Spacerright")
210
211 (sde:addmaterial
212   (find-body-id (position (* 0.5 (+ Xspmin Xgmin)) (- Ygox 0.01) 0.0))
213   "Si3N4" "R.Spacerleft")
214
215 ;The GateMetal was DELETED.
216
217 ;-----
218 ; Saving BND file
219 ;-----
220
221 (sdeio:save-tdr-bnd (get-body-list) "n@node@_bnd.tdr")
222
223 ;-----
224 ; Profiles:
225 ;-----
226
227 ; - Substrate
228 (sdedr:define-constant-profile "Const.Substrate" DopSubType SubDop )
229 (sdedr:define-constant-profile-region "PlaceCD.Substrate"
230   "Const.Substrate" "R.Substrate" )
231
232 ; - Substrate Contact
233 (sdedr:define-constant-profile "Const.SubsContact" DopSubType SubConDop )
234 (sdedr:define-constant-profile-region "PlaceCD.SubstrateCon"
235   "Const.SubsContact" "R.SubContact" )
236
237 ; - Define Source Base Line Extensions Implant Window
238 (sdedr:define-refinement-window "BaseLine.SourceExt" "Line"
239   (position (* Xmin 1.5238) Ysd 0.0)
240   (position (* Xgmin 1.065) Ysd 0.0) )
241
242 ; - Define Drain Base Line Extensions Implant Window
243 (sdedr:define-refinement-window "BaseLine.DrainExt" "Line"
244   (position (* Xgmax 1.065) Ysd 0.0)
245   (position (* Xmax 1.5238) Ysd 0.0) )
246
247 ; - Define Source Base Line Implant Window
248 (sdedr:define-refinement-window "BaseLine.Source" "Line"
249   (position (* Xmin 1.5238) Ysd 0.0)
250   (position Xspmin Ysd 0.0) )
251
252 ; - Define Drain Base Line Implant Window
253 (sdedr:define-refinement-window "BaseLine.Drain" "Line"
254   (position Xspmax Ysd 0.0)
255   (position (* Xmax 1.5238) Ysd 0.0) )
256
257 ; - Source/Drain Base Line Implant definition
258 (sdedr:define-gaussian-profile "Gauss.SourceDrain"
259   DopSDType "PeakPos" 0 "PeakVal" SDDop "ValueAtDepth" (* SubDop 4) "Depth" (* XjSD 1) "Gauss" "Factor" 0.50 )
260
261 ; - Source Implant placement
262 (sdedr:define-analytical-profile-placement "PlaceAP.Source"
263   "Gauss.SourceDrain" "BaseLine.Source" "Both" "NoReplace" "Eval")
264
265 ; - Drain Implant placement
266 (sdedr:define-analytical-profile-placement "PlaceAP.Drain"
267   "Gauss.SourceDrain" "BaseLine.Drain" "Both" "NoReplace" "Eval")
268
269 ; - Source/Drain Base Line Extensions Implant definition
270 (sdedr:define-gaussian-profile "Gauss.SourceDrainExt"
271   DopSDType "PeakPos" 0 "PeakVal" (/ SDDop 10) "ValueAtDepth" (* SubDop 4) "Depth" (* XjExt 0.8) "Gauss" "Factor" 0.10 )
272

```

```

273 ; - Source Extension Implant placement
274 (sdedr:define-analytical-profile-placement "PlaceAP.SourceExt"
275 "Gauss.SourceDrainExt" "BaseLine.SourceExt" "Both" "NoReplace" "Eval")
276
277 ; - Drain Extension Implant placement
278 (sdedr:define-analytical-profile-placement "PlaceAP.DrainExt"
279 "Gauss.SourceDrainExt" "BaseLine.DrainExt" "Both" "NoReplace" "Eval")
280
281 ;-----
282 ; Meshing Strategy:
283 ;-----
284
285 ; - Substrate
286 (sdedr:define-refinement-size "RefDef.Substrate"
287 (/ Xmax 5.0) (/ Hsub 10.0)
288 Gpn Gpn )
289 (sdedr:define-refinement-function "RefDef.Substrate"
290 "DopingConcentration" "MaxTransDiff" 1)
291 (sdedr:define-refinement-region "PlaceRF.Substrate"
292 "RefDef.Substrate" "R.Substrate" )
293
294 ; - Body or Channel
295 (sdedr:define-refinement-window "RefWin.Body"
296 "Rectangle"
297 (position Xmin 0.0 0.0)
298 (position Xmax Ysub 0.0) )
299 (sdedr:define-refinement-size "RefDef.Body"
300 (/ Xmax 10.0) (/ Hsub 20.0)
301 Gpn Gpn )
302 (sdedr:define-refinement-function "RefDef.Body"
303 "DopingConcentration" "MaxTransDiff" 1)
304 (sdedr:define-refinement-placement "PlaceMB.Body"
305 "RefDef.Body" "RefWin.Body" )
306
307 ; - Body or Channel Multibox
308 (sdedr:define-refinement-window "MBWindow.Body"
309 "Rectangle"
310 (position Xmin 0.0 0.0)
311 (position Xmax XjSD 0.0) )
312 (sdedr:define-multibox-size "MBSize.Body"
313 (/ Lg 14.0) (/ XjSD 24.0)
314 (/ Lg 18.0) 2e-5
315 1.0 1.35 )
316 (sdedr:define-multibox-placement "MBPlace.Body"
317 "MBSize.Body" "MBWindow.Body" )
318
319 ; - GateOx
320 (sdedr:define-refinement-window "RefWin.Gateox"
321 "Rectangle"
322 (position Xspmin Ygox 0.0)
323 (position Xspmax 0.0 0.0) )
324 (sdedr:define-refinement-size "RefDef.Gateox"
325 (/ Ltot 8.0) (/ Tox 8.0)
326 Gpn (/ Tox 12.0) )
327 (sdedr:define-refinement-region "PlaceRF.Gateox"
328 "RefDef.Gateox" "R.Gateox" )
329
330
331 ;-----
332 ; Save CMD file
333 ;-----
334
335 (sdedr:write-cmd-file "n@node@_msh.cmd")
336
337 ;-----
338 ; Build Mesh
339 ;-----
340
341 (system:command "snmesh n@node@_msh")

```

G.2 Script de Sentaurus Structure Editor para o Transistor FDSOI de 28nm

```

1 ;*****
2 ;* FD SOI 28nm 2D
3 ;* A Sentaurus Structure Editor Command File
4 ;* Created by: Walter Calienes Bartra
5 ;* Version: 06/07/2015
6 ;* Comments: 28nm-Lg N-channel FD SOI MOSFET with BPlane Design Version 1.3
7 ;*****
8
9 ;-----
10 ;Variables from SWB:
11 ;
12 ; @Type@ : Type of transistor (nMOS or pMOS)
13 ; @Tsi@ : Silicon Channel thickness [um]
14 ; @Tbox@ : Buried Oxide thickness [um]
15 ; @Tbp@ : Back Plane thickness [um]
16 ; @BPTYPE@ : Back Plane type ("n" or "p")
17 ; @Lg@ : Gate Length [um]
18 ; @Wg@ : Gate Width [um] NO USED HERE!
19 ;
20 ;-----
21
22 (if (string=? "@Type@" "nMOS")
23   (begin
24     (define DopSubType "BoronActiveConcentration")
25     (define DopSDType "ArsenicActiveConcentration")
26     (define SubDop 1.0e14 ) ; [1/cm3] Substrate doping
27     (define BodyDop 1.0e15 ) ; [1/cm3] Channel or Body doping (No used for FD)
28     (define SubConDop 3.0e15) ; [1/cm3] Substrate Contact doping
29   )
30   (begin
31     (define DopSubType "ArsenicActiveConcentration")
32     (define DopSDType "BoronActiveConcentration")
33     (define SubDop 1.0e14 ) ; [1/cm3] Substrate doping
34     (define BodyDop 1.0e15 ) ; [1/cm3] Channel or Body doping (No used for FD)
35     (define SubConDop 3.0e15) ; [1/cm3] Substrate Contact doping
36   )
37 )
38
39 (if (string=? "@BPTYPE@" "n")
40   (begin
41     (define DopBPTYPE "ArsenicActiveConcentration")
42     (define BackPlaneDop 2.0e18) ; [1/cm3] Pack Plane doping
43   )
44   (begin
45     (define DopBPTYPE "BoronActiveConcentration")
46     (define BackPlaneDop 2.0e18) ; [1/cm3] Pack Plane doping
47   )
48 )
49
50 ;-----
51 ; Setting parameters
52 ;-----
53
54 ; - Length for each part
55 (define Lg @Lg@) ; [um] Gate length
56 (define Los 0.00) ; [um] Extension S/D Spacer length
57 (define Lsp @Lg@) ; [um] S/D Spacer length
58 (define Lcont 0.04) ; [um] Source/Drain region length
59 (define Ltot (+ Lg (* 2 Lsp) (* 2 Lcont))) ; [um] Total Lateral Dimension
60
61 ; - Layer thickness
62 (define Hsub 0.2) ; [um] Substrate thickness
63 (define Tox 0.0009) ; [um] Gate oxide thickness
64 (define Hpol 0.09) ; [um] Poly gate thickness
65 (define Tsi @Tsi@) ; [um] SWB Variable Channel thickness
66 (define Tbox @Tbox@) ; [um] SWB Variable Buried Oxide thickness

```

```

67 (define Tbp @Tbp@          ; [um] Back or Ground Plane thickness
68 (define Tsd 0.01)         ; [um] Source/Drain thickness
69
70 ; - Junction Depths
71 (define XjExt 0.0005)     ; [um] Source/Drain Extension depth (ORG 0.01)
72 (define XjSD 0.0045)     ; [um] Deep Source/Drain Junction depth (ORG 0.025)
73
74 ; - Others
75 ; - Spacer rounding
76 (define fillet-radius (/ @Lg@ 1)) ; [um] Rounding radius
77
78 ; - pn junction resolution
79 (define Gpn 0.0005)      ; [um]
80
81 ;-----
82 ; Derived quantities
83 ;-----
84
85 (define Xmax (/ Ltot 2.0))
86 (define Xmin (/ Ltot (* 2.0 -1.0)))
87 (define Xgmax (/ Lg 2.0))
88 (define Xgmin (/ Lg (* 2.0 -1.0)))
89 (define Xosmax (+ Xgmax Los))
90 (define Xosmin (- Xgmin Los))
91 (define Xspmax (+ Xgmax Lsp))
92 (define Xspmin (- Xgmin Lsp))
93
94 (define Ysub Hsub)        ; Bottom of substrate contact
95 (define Ycsub (- Hsub 0.01)); Top of the substrate contact
96 (define Ygox (* Tox -1.0)) ; Botton of the oxide/Si interface is at Y=0
97 (define Ysd (* Tsd -1.0)) ; Top of Source/Drain contacts
98 (define Ypol (- Ygox Hpol)) ; Top of PolySi
99 (define Ysi Tsi)         ; Bottom of the Channel
100 (define Ybox (+ Tsi Tbox)) ; Bottom of the buried oxide
101 (define Ybp (+ Ybox Tbp)) ; Bottom of the Back or Ground Plane
102
103 (define Lcont (- Xmax Xspmax))
104
105 ;-----
106 ; Overlap resolution: New replaces Old
107 ;-----
108
109 (sdegeo:set-default-boolean "ABA")
110
111 ;-----
112 ; Creating regions
113 ;-----
114
115 ;Creating substrate
116 (sdegeo:create-rectangle
117   (position Xmin Ysub 0.0 )
118   (position Xmax Ysd 0.0 ) "Silicon" "R.Substrate" )
119
120 ;Creating substrate contact
121 (sdegeo:create-rectangle
122   (position Xmin Ycsub 0.0 )
123   (position Xmax Ysub 0.0 ) "Silicon" "R.SubContact" )
124
125 ;Creating Back or Ground Plane
126 (sdegeo:create-rectangle
127   (position Xmin Ybox 0.0 )
128   (position Xmax Ybp 0.0 ) "Silicon" "R.BackPlane" )
129
130 ; Creating buried oxide
131 (sdegeo:create-rectangle
132   (position Xmin Ysi 0.0 )
133   (position Xmax Ybox 0.0 ) "SiO2" "R.Buriedox" )
134
135 ; Creating gate oxide
136 (sdegeo:create-rectangle

```

```

137 (position Xgmin 0.0 0.0 )
138 (position Xgmax Ygox 0.0 ) "SiO2" "R.Gateox" )
139
140 ; Creating right spacer region
141 (sdegeo:create-rectangle
142 (position Xgmax 0.0 0.0 )
143 (position Xspmax Ypol 0.0 ) "Si3N4" "R.RightSpacer" )
144
145 ; Creating left spacer region
146 (sdegeo:create-rectangle
147 (position Xgmin 0.0 0.0 )
148 (position Xspmin Ypol 0.0 ) "Si3N4" "R.LeftSpacer" )
149
150 ; Creating PolySi gate
151 (sdegeo:create-rectangle
152 (position Xgmin Ygox 0.0 )
153 (position Xgmax Ypol 0.0 ) "PolySi" "R.Polygate" )
154
155 ;-----
156 ; Rounding spacers
157 ;-----
158
159 ;Right spacer
160 (sdegeo:fillet-2d
161 (find-vertex-id (position Xspmax Ypol 0.0 ) ) fillet-radius)
162
163 ;Left spacer
164 (sdegeo:fillet-2d
165 (find-vertex-id (position Xspmin Ypol 0.0 ) ) fillet-radius)
166
167 ;-----
168 ; Contact declarations
169 ;-----
170
171 ;Drain
172 (sdegeo:define-contact-set "drain"
173 2.0 (color:rgb 1.0 0.0 0.0 ) "###")
174
175 ;Source
176 (sdegeo:define-contact-set "source"
177 2.0 (color:rgb 0.0 1.0 0.0 ) "###")
178
179 ;Gate
180 (sdegeo:define-contact-set "gate"
181 2.0 (color:rgb 0.0 0.0 1.0 ) "###")
182
183 ;Substrate
184 (sdegeo:define-contact-set "substrate"
185 2.0 (color:rgb 1.0 1.0 0.0 ) "###")
186
187 ;Backplane
188 (sdegeo:define-contact-set "backplane"
189 2.0 (color:rgb 0.0 1.0 1.0 ) "###")
190
191 ;-----
192 ; Contact settings
193 ;-----
194
195 ; For the Drain, find the edge at the middle point between Xmax and Xspmax
196 (sdegeo:define-2d-contact
197 (find-edge-id (position (* (+ Xmax Xspmax) 0.5) Ysd 0.0)) "drain")
198
199 ; For the Source, find the edge at the middle point between Xmin and Xspmin
200 (sdegeo:define-2d-contact
201 (find-edge-id (position (* (+ Xmin Xspmin) 0.5) Ysd 0.0)) "source")
202
203 ; For the Gate, find de PolySi body, set the boundary contact and delete the body
204 (define GateMetal (find-body-id (position 0.0 (* 0.5 (+ Ypol Ygox) 0.0)))
205 (sdegeo:set-current-contact-set "gate")
206 (sdegeo:set-contact-boundary-edges GateMetal)

```

```

207 (sdegeo:delete-region GateMetal)
208
209 ; For the Substrate, find the edge in (0,Ysub)
210 (sdegeo:define-2d-contact
211 (find-edge-id (position 0.0 Ysub 0.0)) "substrate")
212
213 ; For the BackPlane, find the edge in (0,Ybp)
214 (sdegeo:define-2d-contact
215 (find-edge-id (position 0.0 Ybp 0.0)) "backplane")
216
217
218 ;-----
219 ; Separating lumps
220 ;-----
221
222 (sde:separate-lumps)
223
224 ; Setting region names
225
226 (sde:addmaterial
227 (find-body-id (position 0.0 (* 0.5 (+ Ysub Ycsub)) 0.0))
228 "Silicon" "R.SubContact")
229
230 (sde:addmaterial
231 (find-body-id (position 0.0 (* 0.5 (+ Ycsub Ybp)) 0.0))
232 "Silicon" "R.Substrate")
233
234 (sde:addmaterial
235 (find-body-id (position 0.0 (* 0.5 (+ Ybp Ybox)) 0.0))
236 "Silicon" "R.Backplane")
237
238 (sde:addmaterial
239 (find-body-id (position 0.0 (* 0.5 Ysi) 0.0))
240 "Silicon" "R.Body")
241
242 (sde:addmaterial
243 (find-body-id (position 0.0 (* 0.5 Ygox) 0.0))
244 "SiO2" "R.Gateox")
245
246 (sde:addmaterial
247 (find-body-id (position 0.0 (* (+ Ybox Ysi) 0.5) 0.0))
248 "SiO2" "R.Buriedox")
249
250 (sde:addmaterial
251 (find-body-id (position (* 0.5 (+ Xspmax Xgmax)) (- Ygox 0.01) 0.0))
252 "Si3N4" "R.Spacerright")
253
254 (sde:addmaterial
255 (find-body-id (position (* 0.5 (+ Xspmin Xgmin)) (- Ygox 0.01) 0.0))
256 "Si3N4" "R.Spacerleft")
257
258 ;The GateMetal was DELETED.
259
260 ;-----
261 ; Saving BND file
262 ;-----
263
264 (sdeio:save-tdr-bnd (get-body-list) "n@node@_bnd.tdr")
265
266 ;-----
267 ; Profiles:
268 ;-----
269
270 ; - Substrate
271 (sdedr:define-constant-profile "Const.Substrate" DopSubType SubDop )
272 (sdedr:define-constant-profile-region "PlaceCD.Substrate"
273 "Const.Substrate" "R.Substrate" )
274
275 ; - Substrate Contact
276 (sdedr:define-constant-profile "Const.SubsContact" DopSubType SubConDop )

```

```

277 (sdedr:define-constant-profile-region "PlaceCD.SubstrateCon"
278 "Const.SubsContact" "R.SubContact" )
279
280 ; - Back or Ground Plane
281 (sdedr:define-constant-profile "Const.BackPlane" DopBPType BackPlaneDop )
282 (sdedr:define-constant-profile-region "PlaceCD.BackPlane"
283 "Const.BackPlane" "R.Backplane" )
284
285
286 ; - Channel or Body
287 (sdedr:define-constant-profile "Const.Body" DopSubType BodyDop )
288 (sdedr:define-constant-profile-region "PlaceCD.Body"
289 "Const.Body" "R.Body" )
290
291 ; - Define Source Base Line Extensions Implant Window
292 (sdedr:define-refinement-window "BaseLine.SourceExt" "Line"
293 (position (* Xmin 1.5238) 0.0 0.0)
294 (position (* Xgmin 1.000) 0.0 0.0) )
295
296 ; - Define Drain Base Line Extensions Implant Window
297 (sdedr:define-refinement-window "BaseLine.DrainExt" "Line"
298 (position (* Xgmax 1.000) 0.0 0.0)
299 (position (* Xmax 1.5238) 0.0 0.0) )
300
301 ; - Define Source Base Line Implant Window
302 (sdedr:define-refinement-window "BaseLine.Source" "Line"
303 (position (* Xmin 1.5238) Ysd 0.0)
304 (position (* Xspmin 0.80) Ysd 0.0) )
305
306 ; - Define Drain Base Line Implant Window
307 (sdedr:define-refinement-window "BaseLine.Drain" "Line"
308 (position (* Xspmax 0.80) Ysd 0.0)
309 (position (* Xmax 1.5238) Ysd 0.0) )
310
311 ; - Source/Drain Base Line Implant definition
312 (sdedr:define-gaussian-profile "Gauss.SourceDrain"
313 DopSDType "PeakPos" 0 "PeakVal" 4.4e20 "ValueAtDepth" 1.0e17 "Depth" (* Ysi 3.00) "Gauss" "Factor" 0.675 )
314
315 ; - Source Implant placement
316 (sdedr:define-analytical-profile-placement "PlaceAP.Source"
317 "Gauss.SourceDrain" "BaseLine.Source" "Both" "NoReplace" "Eval")
318
319 ; - Drain Implant placement
320 (sdedr:define-analytical-profile-placement "PlaceAP.Drain"
321 "Gauss.SourceDrain" "BaseLine.Drain" "Both" "NoReplace" "Eval")
322
323 ; - Source/Drain Base Line Extensions Implant definition
324 (sdedr:define-gaussian-profile "Gauss.SourceDrainExt"
325 DopSDType "PeakPos" 0 "PeakVal" 4.4e19 "ValueAtDepth" 1.0e17 "Depth" (* Ysi 0.30) "Gauss" "Factor" 0.750 )
326
327 ; - Source Extension Implant placement
328 (sdedr:define-analytical-profile-placement "PlaceAP.SourceExt"
329 "Gauss.SourceDrainExt" "BaseLine.SourceExt" "Both" "NoReplace" "Eval")
330
331 ; - Drain Extension Implant placement
332 (sdedr:define-analytical-profile-placement "PlaceAP.DrainExt"
333 "Gauss.SourceDrainExt" "BaseLine.DrainExt" "Both" "NoReplace" "Eval")
334
335 ;;-----
336 ;; Meshing Strategy:
337 ;;-----
338
339 ; - All the Bulk (R.SubContact+R.Substrate+R.Backplane)
340 (sdedr:define-refinement-window "RefWin.Bulk"
341 "Rectangle"
342 (position Xmin Ybox 0.0)
343 (position Xmax Ysub 0.0) )
344 (sdedr:define-refinement-size "RefDef.Bulk"
345 (/ Xmax 10.0) (/ Hsub 20.0)
346 Gpn Gpn )

```

```

347 (sdedr:define-refinement-placement "PlaceRF.Bulk" "RefDef.Bulk" "RefWin.Bulk")
348
349 ; - Buried Oxide
350 (sdedr:define-refinement-window "RefWin.Buriedox"
351 "Rectangle"
352 (position Xmin Ysi 0.0)
353 (position Xmax Ybox 0.0) )
354 (sdedr:define-refinement-size "RefDef.Buriedox"
355 (/ Xmax 10.0) (/ Hsub 20.0)
356 Gpn Gpn )
357 (sdedr:define-refinement-region "PlaceRF.Buriedox"
358 "RefDef.Buriedox" "R.Buriedox" )
359
360 ; - Body
361 (sdedr:define-refinement-size "RefDef.Body"
362 (/ Xmax 15.0) (/ Hsub 20.0)
363 Gpn Gpn )
364 (sdedr:define-refinement-function "RefDef.Body"
365 "DopingConcentration" "MaxTransDiff" 1)
366 (sdedr:define-refinement-region "PlaceRF.Body"
367 "RefDef.Body" "R.Body" )
368
369 ; - GateOx
370 (sdedr:define-refinement-window "RefWin.Gateox"
371 "Rectangle"
372 (position Xspmin Ygox 0.0)
373 (position Xspmax 0.0 0.0) )
374 (sdedr:define-refinement-size "RefDef.Gateox"
375 (/ Ltot 8.0) (/ Tox 8.0)
376 Gpn (/ Tox 12.0) )
377 (sdedr:define-refinement-region "PlaceRF.Gateox"
378 "RefDef.Gateox" "R.Gateox" )
379
380 ; - Channel Zone Multibox (in function of Junction Extension Deep)
381 (sdedr:define-refinement-window "MBWindow.Channel"
382 "Rectangle"
383 (position (* Xmin 1.0) 0.0 0.0)
384 (position (* Xmax 1.0) (* 1.0 Ysi) 0.0) )
385 (sdedr:define-multibox-size "MBSize.Channel"
386 (/ Lg 14.0) (/ XjSD 24.0)
387 (/ Lg 18.0) 2e-5
388 1.0 1.35 )
389 (sdedr:define-multibox-placement "MBPlace.Channel"
390 "MBSize.Channel" "MBWindow.Channel" )
391
392 ;-----
393 ; Save CMD file
394 ;-----
395
396 (sdedr:write-cmd-file "n@node@msh.cmd")
397
398 ;-----
399 ; Build Mesh
400 ;-----
401
402 (system:command "snmesh n@node@msh")

```

G.3 Script de Sentaurus Structure Editor para o Transistor FDSOI de 28nm *High-K*

```

1 ;*****
2 ;* FD SOI 28nm 2D Hi-K (SiO2 + HfO2)
3 ;* A Sentaurus Structure Editor Command File
4 ;* Created by: Walter Calienes BartraO
5 ;* Version: 22/10/2015
6 ;* Comments: 28nm-Lg N-channel FD SOI MOSFET with BPlane Design Version 1.6
7 ;*****
8
9 ;-----
10 ;Variables from SWB:
11 ;
12 ; @Type@ : Type of transistor (nMOS or pMOS)
13 ; @Tsi@ : Silicon Channel thickness [um]
14 ; @Tbox@ : Buried Oxide thickness [um]
15 ; @Tbp@ : Back Plane thickness [um]
16 ; @BPTYPE@ : Back Plane type ("n" or "p")
17 ; @Lg@ : Gate Length [um]
18 ; @Wg@ : Gate Width [um] NO USED HERE!
19 ;
20 ;-----
21
22 (if (string=? "@Type@" "nMOS")
23   (begin
24     (define DopSubType "BoronActiveConcentration")
25     (define DopSDType "ArsenicActiveConcentration")
26     (define SubDop 1.0e14 ) ; [1/cm3] Substrate doping
27     (define BodyDop 1.0e15 ) ; [1/cm3] Channel or Body doping (No used for FD)
28     (define SubConDop 3.0e15) ; [1/cm3] Substrate Contact doping
29   )
30   (begin
31     (define DopSubType "ArsenicActiveConcentration")
32     (define DopSDType "BoronActiveConcentration")
33     (define SubDop 1.0e14 ) ; [1/cm3] Substrate doping
34     (define BodyDop 1.0e15 ) ; [1/cm3] Channel or Body doping (No used for FD)
35     (define SubConDop 3.0e15) ; [1/cm3] Substrate Contact doping
36   )
37 )
38
39 (if (string=? "@BPTYPE@" "n")
40   (begin
41     (define DopBPTYPE "ArsenicActiveConcentration")
42     (define BackPlaneDop 2.0e18) ; [1/cm3] Pack Plane doping
43   )
44   (begin
45     (define DopBPTYPE "BoronActiveConcentration")
46     (define BackPlaneDop 2.0e18) ; [1/cm3] Pack Plane doping
47   )
48 )
49
50 ;-----
51 ; Setting parameters
52 ;-----
53
54 ; - Length for each part
55 (define Lg @Lg@) ; [um] Gate length
56 (define Los 0.00) ; [um] Extension S/D Spacer length
57 (define Lsp @Lg@) ; [um] S/D Spacer length
58 (define Lcont 0.04) ; [um] Source/Drain region length
59 (define Ltot (+ Lg (* 2 Lsp) (* 2 Lcont))) ; [um] Total Lateral Dimension
60
61 ; - Layer thickness
62 (define Hsub 0.2) ; [um] Substrate thickness
63 (define Tox1 0.000550) ; [um] Gate silicon oxide thickness
64 (define Tox2 0.001283) ; [um] Gate hafnium oxide thickness
65 (define Hpol 0.09) ; [um] Poly gate thickness
66 (define Tsi @Tsi@) ; [um] SWB Variable Channel thickness

```

```

67 (define Tbox @Tbox@) ; [um] SWB Variable Buried Oxide thickness
68 (define Tbp @Tbp@) ; [um] Back or Ground Plane thickness
69 (define Tsd 0.01) ; [um] Source/Drain thickness
70
71 ; - Junction Depths
72 (define XjExt 0.0005) ; [um] Source/Drain Extension depth (ORG 0.01)
73 (define XjSD 0.0045) ; [um] Deep Source/Drain Junction depth (ORG 0.025)
74
75 ; - Others
76 ; - Spacer rounding
77 (define fillet-radius (/ @Lg@ 1)) ; [um] Rounding radius
78
79 ; - pn junction resolution
80 (define Gpn 0.0005) ; [um]
81
82 ;-----
83 ; Derived quantities
84 ;-----
85
86 (define Xmax (/ Ltot 2.0))
87 (define Xmin (/ Ltot (* 2.0 -1.0)))
88 (define Xgmax (/ Lg 2.0))
89 (define Xgmin (/ Lg (* 2.0 -1.0)))
90 (define Xosmax (+ Xgmax Los))
91 (define Xosmin (- Xgmin Los))
92 (define Xspmax (+ Xgmax Lsp))
93 (define Xspmin (- Xgmin Lsp))
94
95 (define Ysub Hsub) ; Bottom of substrate contact
96 (define Ycsub (- Hsub 0.01)) ; Top of the substrate contact
97 (define Ygox1 (* Tox1 -1.0)) ; Botton of the Si oxide/Si interface is at Y=0
98 (define Ygox (- Ygox1 Tox2)) ; Botton of the Si oxide/Hf oxide
99 (define Ysd (* Tsd -1.0)) ; Top of Source/Drain contacts
100 (define Ypol (- Ygox Hpol)) ; Top of PolySi
101 (define Ysi Tsi) ; Bottom of the Channel
102 (define Ybox (+ Tsi Tbox)) ; Bottom of the buried oxide
103 (define Ybp (+ Ybox Tbp)) ; Bottom of the Back or Ground Plane
104
105 (define Lcont (- Xmax Xspmax))
106
107 ;-----
108 ; Overlap resolution: New replaces Old
109 ;-----
110
111 (sdegeo:set-default-boolean "ABA")
112
113 ;-----
114 ; Creating regions
115 ;-----
116
117 ;Creating substrate
118 (sdegeo:create-rectangle
119 (position Xmin Ysub 0.0 )
120 (position Xmax Ysd 0.0 ) "Silicon" "R.Substrate" )
121
122 ;Creating substrate contact
123 (sdegeo:create-rectangle
124 (position Xmin Ycsub 0.0 )
125 (position Xmax Ysub 0.0 ) "Silicon" "R.SubContact" )
126
127 ;Creating Back or Ground Plane
128 (sdegeo:create-rectangle
129 (position Xmin Ybox 0.0 )
130 (position Xmax Ybp 0.0 ) "Silicon" "R.BackPlane" )
131
132 ; Creating buried oxide
133 (sdegeo:create-rectangle
134 (position Xmin Ysi 0.0 )
135 (position Xmax Ybox 0.0 ) "SiO2" "R.Buriedox" )
136

```

```

137 ; Creating gate silicon oxide
138 (sdegeo:create-rectangle
139   (position Xgmin 0.0 0.0 )
140   (position Xgmax Ygox1 0.0 ) "SiO2" "R.Gateox1" )
141
142 ; Creating gate hafnium oxide
143 (sdegeo:create-rectangle
144   (position Xgmin Ygox 0.0 )
145   (position Xgmax Ygox1 0.0 ) "HfO2" "R.Gateox2" )
146
147 ; Creating right spacer region
148 (sdegeo:create-rectangle
149   (position Xgmax 0.0 0.0 )
150   (position Xspmax Ypol 0.0 ) "Si3N4" "R.RightSpacer" )
151
152 ; Creating left spacer region
153 (sdegeo:create-rectangle
154   (position Xgmin 0.0 0.0 )
155   (position Xspmin Ypol 0.0 ) "Si3N4" "R.LeftSpacer" )
156
157 ; Creating PolySi gate
158 (sdegeo:create-rectangle
159   (position Xgmin Ygox 0.0 )
160   (position Xgmax Ypol 0.0 ) "PolySi" "R.Polygate" )
161
162 ;-----
163 ; Rounding spacers
164 ;-----
165
166 ;Right spacer
167 (sdegeo:fillet-2d
168   (find-vertex-id (position Xspmax Ypol 0.0 ) ) fillet-radius)
169
170 ;Left spacer
171 (sdegeo:fillet-2d
172   (find-vertex-id (position Xspmin Ypol 0.0 ) ) fillet-radius)
173
174 ;-----
175 ; Contact declarations
176 ;-----
177
178 ;Drain
179 (sdegeo:define-contact-set "drain"
180   2.0 (color:rgb 1.0 0.0 0.0 ) "###")
181
182 ;Source
183 (sdegeo:define-contact-set "source"
184   2.0 (color:rgb 0.0 1.0 0.0 ) "###")
185
186 ;Gate
187 (sdegeo:define-contact-set "gate"
188   2.0 (color:rgb 0.0 0.0 1.0 ) "###")
189
190 ;Substrate
191 (sdegeo:define-contact-set "substrate"
192   2.0 (color:rgb 1.0 1.0 0.0 ) "###")
193
194 ;Backplane
195 (sdegeo:define-contact-set "backplane"
196   2.0 (color:rgb 0.0 1.0 1.0 ) "###")
197
198 ;-----
199 ; Contact settings
200 ;-----
201
202 ; For the Drain, find the edge at the middle point between Xmax and Xspmax
203 (sdegeo:define-2d-contact
204   (find-edge-id (position (* (+ Xmax Xspmax) 0.5) Ysd 0.0)) "drain")
205
206 ; For the Source, find the edge at the middle point between Xmin and Xspmin

```

```

207 (sdegeo:define-2d-contact
208   (find-edge-id (position (* (+ Xmin Xspmin) 0.5) Ysd 0.0)) "source")
209
210 ; For the Gate, find de PolySi body, set the boundary contact and delete the body
211 (define GateMetal (find-body-id (position 0.0 (* 0.5 (+ Ypol Ygox)) 0.0)))
212 (sdegeo:set-current-contact-set "gate")
213 (sdegeo:set-contact-boundary-edges GateMetal)
214 (sdegeo:delete-region GateMetal)
215
216 ; For the Substrate, find the edge in (0,Ysub)
217 (sdegeo:define-2d-contact
218   (find-edge-id (position 0.0 Ysub 0.0)) "substrate")
219
220 ; For the BackPlane, find the edge in (0,Ybp)
221 (sdegeo:define-2d-contact
222   (find-edge-id (position 0.0 Ybp 0.0)) "backplane")
223
224
225 ;-----
226 ; Separating lumps
227 ;-----
228
229 (sde:separate-lumps)
230
231 ; Setting region names
232
233 (sde:addmaterial
234   (find-body-id (position 0.0 (* 0.5 (+ Ysub Ycsub)) 0.0))
235   "Silicon" "R.SubContact")
236
237 (sde:addmaterial
238   (find-body-id (position 0.0 (* 0.5 (+ Ycsub Ybp)) 0.0))
239   "Silicon" "R.Substrate")
240
241 (sde:addmaterial
242   (find-body-id (position 0.0 (* 0.5 (+ Ybp Ybox)) 0.0))
243   "Silicon" "R.Backplane")
244
245 (sde:addmaterial
246   (find-body-id (position 0.0 (* 0.5 Ysi) 0.0))
247   "Silicon" "R.Body")
248
249 (sde:addmaterial
250   (find-body-id (position 0.0 (* 0.5 Ygox1) 0.0))
251   "SiO2" "R.Gateox1")
252
253 (sde:addmaterial
254   (find-body-id (position 0.0 (* 0.5 (+ Ygox1 Ygox)) 0.0))
255   "HfO2" "R.Gateox2")
256
257 (sde:addmaterial
258   (find-body-id (position 0.0 (* (+ Ybox Ysi) 0.5) 0.0))
259   "SiO2" "R.Buriedox")
260
261 (sde:addmaterial
262   (find-body-id (position (* 0.5 (+ Xspmax Xgmax)) (- Ygox 0.01) 0.0))
263   "Si3N4" "R.Spacerright")
264
265 (sde:addmaterial
266   (find-body-id (position (* 0.5 (+ Xspmin Xgmin)) (- Ygox 0.01) 0.0))
267   "Si3N4" "R.Spacerleft")
268
269 ;The GateMetal was DELETED.
270
271 ;-----
272 ; Saving BND file
273 ;-----
274
275 (sdeio:save-tdr-bnd (get-body-list) "n@node@_bnd.tdr")
276

```

```

277 ;-----
278 ; Profiles:
279 ;-----
280
281 ; - Substrate
282 (sdedr:define-constant-profile "Const.Substrate" DopSubType SubDop )
283 (sdedr:define-constant-profile-region "PlaceCD.Substrate"
284 "Const.Substrate" "R.Substrate" )
285
286 ; - Substrate Contact
287 (sdedr:define-constant-profile "Const.SubsContact" DopSubType SubConDop )
288 (sdedr:define-constant-profile-region "PlaceCD.SubstrateCon"
289 "Const.SubsContact" "R.SubContact" )
290
291 ; - Back or Ground Plane
292 (sdedr:define-constant-profile "Const.BackPlane" DopBPTType BackPlaneDop )
293 (sdedr:define-constant-profile-region "PlaceCD.BackPlane"
294 "Const.BackPlane" "R.Backplane" )
295
296
297 ; - Channel or Body
298 (sdedr:define-constant-profile "Const.Body" DopSubType BodyDop )
299 (sdedr:define-constant-profile-region "PlaceCD.Body"
300 "Const.Body" "R.Body" )
301
302 ; - Define Source Base Line Extensions Implant Window
303 (sdedr:define-refinement-window "BaseLine.SourceExt" "Line"
304 (position (* Xmin 1.5238) 0.0 0.0)
305 (position (* Xgmin 1.000) 0.0 0.0) )
306
307 ; - Define Drain Base Line Extensions Implant Window
308 (sdedr:define-refinement-window "BaseLine.DrainExt" "Line"
309 (position (* Xgmax 1.000) 0.0 0.0)
310 (position (* Xmax 1.5238) 0.0 0.0) )
311
312 ; - Define Source Base Line Implant Window
313 (sdedr:define-refinement-window "BaseLine.Source" "Line"
314 (position (* Xmin 1.5238) Ysd 0.0)
315 (position (* Xspmin 0.80) Ysd 0.0) )
316
317 ; - Define Drain Base Line Implant Window
318 (sdedr:define-refinement-window "BaseLine.Drain" "Line"
319 (position (* Xspmax 0.80) Ysd 0.0)
320 (position (* Xmax 1.5238) Ysd 0.0) )
321
322 ; - Source/Drain Base Line Implant definition
323 (sdedr:define-gaussian-profile "Gauss.SourceDrain"
324 DopSDType "PeakPos" 0 "PeakVal" 4.4e20 "ValueAtDepth" 1.0e17 "Depth" (* Ysi 3.00) "Gauss" "Factor" 0.675 ) ;<-- ORG 8.0e19
325
326 ; - Source Implant placement
327 (sdedr:define-analytical-profile-placement "PlaceAP.Source"
328 "Gauss.SourceDrain" "BaseLine.Source" "Both" "NoReplace" "Eval")
329
330 ; - Drain Implant placement
331 (sdedr:define-analytical-profile-placement "PlaceAP.Drain"
332 "Gauss.SourceDrain" "BaseLine.Drain" "Both" "NoReplace" "Eval")
333
334 ; - Source/Drain Base Line Extensions Implant definition
335 (sdedr:define-gaussian-profile "Gauss.SourceDrainExt"
336 DopSDType "PeakPos" 0 "PeakVal" 4.4e19 "ValueAtDepth" 1.0e17 "Depth" (* Ysi 0.30) "Gauss" "Factor" 0.750 ) ;<-- ORG 8.0e18
337
338 ; - Source Extension Implant placement
339 (sdedr:define-analytical-profile-placement "PlaceAP.SourceExt"
340 "Gauss.SourceDrainExt" "BaseLine.SourceExt" "Both" "NoReplace" "Eval")
341
342 ; - Drain Extension Implant placement
343 (sdedr:define-analytical-profile-placement "PlaceAP.DrainExt"
344 "Gauss.SourceDrainExt" "BaseLine.DrainExt" "Both" "NoReplace" "Eval")
345
346 ;-----

```

```

347 ;; Meshing Strategy:
348 ;;-----
349
350 ; - All the Bulk (R.SubContact+R.Substrate+R.Backplane)
351 (sdedr:define-refinement-window "RefWin.Bulk"
352 "Rectangle"
353 (position Xmin Ybox 0.0)
354 (position Xmax Ysub 0.0) )
355 (sdedr:define-refinement-size "RefDef.Bulk"
356 (/ Xmax 10.0) (/ Hsub 20.0)
357 Gpn Gpn )
358 (sdedr:define-refinement-placement "PlaceRF.Bulk" "RefDef.Bulk" "RefWin.Bulk")
359
360 ; - Buried Oxide
361 (sdedr:define-refinement-window "RefWin.Buriedox"
362 "Rectangle"
363 (position Xmin Ysi 0.0)
364 (position Xmax Ybox 0.0) )
365 (sdedr:define-refinement-size "RefDef.Buriedox"
366 (/ Xmax 10.0) (/ Hsub 20.0)
367 Gpn Gpn )
368 (sdedr:define-refinement-region "PlaceRF.Buriedox"
369 "RefDef.Buriedox" "R.Buriedox" )
370
371 ; - Body
372 (sdedr:define-refinement-size "RefDef.Body"
373 (/ Xmax 15.0) (/ Hsub 20.0)
374 Gpn Gpn )
375 (sdedr:define-refinement-function "RefDef.Body"
376 "DopingConcentration" "MaxTransDiff" 1)
377 (sdedr:define-refinement-region "PlaceRF.Body"
378 "RefDef.Body" "R.Body" )
379
380 ; - Gate Si Ox
381 (sdedr:define-refinement-window "RefWin.Gateox1"
382 "Rectangle"
383 (position Xspmin Ygox1 0.0)
384 (position Xspmax 0.0 0.0) )
385 (sdedr:define-refinement-size "RefDef.Gateox1"
386 (/ Ltot 8.0) (/ Tox1 8.0)
387 Gpn (/ Tox1 12.0) )
388 (sdedr:define-refinement-region "PlaceRF.Gateox1"
389 "RefDef.Gateox1" "R.Gateox1" )
390
391 ; - Gate Hf Ox
392 (sdedr:define-refinement-window "RefWin.Gateox2"
393 "Rectangle"
394 (position Xspmin Ygox1 0.0)
395 (position Xspmax Ygox 0.0) )
396 (sdedr:define-refinement-size "RefDef.Gateox2"
397 (/ Ltot 8.0) (/ Tox2 8.0)
398 Gpn (/ Tox2 12.0) )
399 (sdedr:define-refinement-region "PlaceRF.Gateox2"
400 "RefDef.Gateox2" "R.Gateox2" )
401
402 ; - Channel Zone Multibox (in function of Junction Extension Deep)
403 (sdedr:define-refinement-window "MBWindow.Channel"
404 "Rectangle"
405 (position (* Xspmin 1.1) 0.0 0.0)
406 (position (* Xspmax 1.1) (* 1.0 Ysi) 0.0) )
407 (sdedr:define-multibox-size "MBSIZE.Channel"
408 (/ Lg 14.0) (/ XjSD 24.0)
409 (/ Lg 18.0) 2e-5
410 1.0 1.35 )
411 (sdedr:define-multibox-placement "MBPlace.Channel"
412 "MBSIZE.Channel" "MBWindow.Channel" )
413
414 ;;-----
415 ; Save CMD file
416 ;;-----

```

```
417
418 (sdedr:write-cmd-file "n@node@msh.cmd")
419
420 ;-----
421 ; Build Mesh
422 ;-----
423
424 (system:command "snmesh n@node@msh")
```

G.4 Script de Sentaurus Structure Editor para o Transistor Bulk de 32nm em 3 dimensões

```

1 ;*****
2 ;* PTM Bulk 32nm Low Power
3 ;* A Sentaurus Structure Editor Command File
4 ;* Created by: Walter Calienes Bartra
5 ;* Version: 21/11/2013
6 ;* Comments: 22nm-Lg N-P-channel LP PTM ASU Bulk MOSFET Design Version 1.0
7 ;*****
8
9 ;-----
10 ;Variables from SWB:
11 ;
12 ; @Type@ : Type of transistor (nMOS or pMOS)
13 ; @Tsi@ : Silicon Channel Mesh thickness [um]
14 ; @Tbox@ : Buried Oxide thickness [um] DO NOT USED IN BULK!
15 ; @Lg@ : Gate Length [um]
16 ; @Wg@ : Gate Width [um], only to reference
17 ;
18 ;-----
19
20 (if (string=? "@Type@" "nMOS")
21 (begin
22 (define DopSubType "BoronActiveConcentration")
23 (define DopSDType "ArsenicActiveConcentration")
24 (define SubDop 4.12e18 ) ; [1/cm3] Substrate doping
25 (define SDDop 4.0e20 ) ; [1/cm3] Source and Drain Well doping (ORG 2.0e20)
26 (define SubConDop 5.0e19) ; [1/cm3] Substrate Contact doping
27 (define Tox 1.3e-3) ; [um] Gate Oxide Thickness (toxp parameter)
28 )
29 (begin
30 (define DopSubType "ArsenicActiveConcentration")
31 (define DopSDType "BoronActiveConcentration")
32 (define SubDop 4.12e18 ) ; [1/cm3] Substrate doping
33 (define SDDop 2.0e20 ) ; [1/cm3] Source and Drain Well doping
34 (define SubConDop 5.0e19) ; [1/cm3] Substrate Contact doping
35 (define Tox 1.3e-3) ; [um] Gate Oxide Thickness
36 )
37 )
38
39 ;-----
40 ; Setting parameters
41 ;-----
42
43 ; - Length for each part
44 (define Lg @Lg@) ; [um] Gate length
45 (define Wg @Wg@) ; [um] Gate width, only to reference
46 (define Los 0.00) ; [um] Extension S/D Spacer length
47 (define Lsp (* @Lg@ 1)) ; [um]
48 (define Lcont 0.04) ; [um] Source/Drain region length
49 (define Ltot (+ Lg (* 2 Lsp) (* 2 Lcont))) ; [um] Total Lateral Dimension
50
51 ; - Layer thickness
52 (define Hsub 0.200) ; [um] Substrate thickness
53 (define Hpol 0.090) ; [um] Poly gate thickness
54 (define Tsi @Tsi@) ; [um] SWB Variable Channel thickness
55 (define Tbox @Tbox@) ; [um] SWB Variable Buried Oxide thickness
56 (define Tsd 0.01) ; [um] Source/Drain thickness
57
58 ; - Junction Depths
59 (define XjExt 0.0250) ; [um] Source/Drain Extension depth (ORG 0.0146)
60 (define XjSD 0.0500) ; [um] Deep Source/Drain Junction depth (ORG 0.050)
61
62 ; - Others
63 ; - Spacer rounding
64 (define fillet-radius (/ @Lg@ 1)) ; [um] Rounding radius

```

```

65
66 ; - pn junction resolution
67 (define Gpn 0.0005) ; [um]
68
69 ;-----
70 ; Derived quantities
71 ;-----
72
73 (define Xmax (/ Ltot 2.0))
74 (define Xmin (/ Ltot (* 2.0 -1.0)))
75 (define Xgmax (/ Lg 2.0))
76 (define Xgmin (/ Lg (* 2.0 -1.0)))
77 (define Xosmax (+ Xgmax Los))
78 (define Xosmin (- Xgmin Los))
79 (define Xspmax (+ Xgmax Lsp))
80 (define Xspmin (- Xgmin Lsp))
81
82 (define Ysub Hsub) ; Bottom of substrate contact
83 (define Ycsub (- Hsub 0.01)); Top of the substrate contact
84 (define Ygox (* Tox -1.0)) ; Botton of the oxide/Si interface is at Y=0
85 (define Ysd (* Tsd -1.0)) ; Top of Source/Drain contacts
86 (define Ypol (- Ygox Hpol)) ; Top of PolySi
87 (define Ysi Tsi) ; Bottom of the Channel
88 (define Ybox (+ Tsi Tbox)) ; Bottom of the buried oxide
89
90 (define Lcont (- Xmax Xspmax))
91
92 ;-----
93 ; Overlap resolution: New replaces Old
94 ;-----
95
96 (sdegeo:set-default-boolean "ABA")
97
98 ;-----
99 ; Creating regions
100 ;-----
101
102 ;Creating substrate
103 (sdegeo:create-rectangle
104 (position Xmin Ysub 0.0 )
105 (position Xmax Ysd 0.0 ) "Silicon" "R.Substrate" )
106
107 ;Creating substrate contact
108 (sdegeo:create-rectangle
109 (position Xmin Ycsub 0.0 )
110 (position Xmax Ysub 0.0 ) "Silicon" "R.SubContact" )
111
112 ; Creating gate oxide
113 (sdegeo:create-rectangle
114 (position Xgmin 0.0 0.0 )
115 (position Xgmax Ygox 0.0 ) "SiO2" "R.Gateox" )
116
117 ; Creating right spacer region
118 (sdegeo:create-rectangle
119 (position Xgmax 0.0 0.0 )
120 (position Xspmax Ypol 0.0 ) "Si3N4" "R.RightSpacer" )
121
122 ; Creating left spacer region
123 (sdegeo:create-rectangle
124 (position Xgmin 0.0 0.0 )
125 (position Xspmin Ypol 0.0 ) "Si3N4" "R.LeftSpacer" )
126
127 ; Creating PolySi gate
128 (sdegeo:create-rectangle
129 (position Xgmin Ygox 0.0 )
130 (position Xgmax Ypol 0.0 ) "PolySi" "R.Polygate" )
131
132 ;-----
133 ; Rounding spacers
134 ;-----

```

```

135
136 ;Right spacer
137 (sdegeo:fillet-2d
138   (find-vertex-id (position Xspmax Ypol 0.0 )) fillet-radius)
139
140 ;Left spacer
141 (sdegeo:fillet-2d
142   (find-vertex-id (position Xspmin Ypol 0.0 )) fillet-radius)
143
144 ;-----
145 ; Contact declarations
146 ;-----
147
148 ;Drain
149 (sdegeo:define-contact-set "drain"
150   2.0 (color:rgb 1.0 0.0 0.0 ) "###")
151
152 ;Source
153 (sdegeo:define-contact-set "source"
154   2.0 (color:rgb 0.0 1.0 0.0 ) "###")
155
156 ;Gate
157 (sdegeo:define-contact-set "gate"
158   2.0 (color:rgb 0.0 0.0 1.0 ) "###")
159
160 ;Substrate
161 (sdegeo:define-contact-set "substrate"
162   2.0 (color:rgb 1.0 1.0 0.0 ) "###")
163
164 ;-----
165 ; Contact settings
166 ;-----
167
168 ; For the Drain, find the edge at the middle point between Xmax and Xspmax
169 (sdegeo:define-2d-contact
170   (find-edge-id (position (* (+ Xmax Xspmax) 0.5) Ysd 0.0)) "drain")
171
172 ; For the Source, find the edge at the middle point between Xmin and Xspmin
173 (sdegeo:define-2d-contact
174   (find-edge-id (position (* (+ Xmin Xspmin) 0.5) Ysd 0.0)) "source")
175
176 ; For the Gate, find de PolySi body, set the boundary contact and delete the body
177 (define GateMetal (find-body-id (position 0.0 (* 0.5 (+ Ypol Ygox)) 0.0)))
178 (sdegeo:set-current-contact-set "gate")
179 (sdegeo:set-contact-boundary-edges GateMetal)
180 (sdegeo:delete-region GateMetal)
181
182 ; For the Substrate, find the edge in (0,Ysub)
183 (sdegeo:define-2d-contact
184   (find-edge-id (position 0.0 Ysub 0.0)) "substrate")
185
186 ;-----
187 ; Separating lumps
188 ;-----
189
190 (sde:separate-lumps)
191
192 ; Setting region names
193
194 (sde:addmaterial
195   (find-body-id (position 0.0 (* 0.5 (+ Ysub Ycsub)) 0.0))
196   "Silicon" "R.SubContact")
197
198 (sde:addmaterial
199   (find-body-id (position 0.0 (* 0.5 (+ Ycsub Ysd)) 0.0))
200   "Silicon" "R.Substrate")
201
202 (sde:addmaterial
203   (find-body-id (position 0.0 (* 0.5 Ygox) 0.0))
204   "SiO2" "R.Gateox")

```

```

205
206 (sde:addmaterial
207   (find-body-id (position (* 0.5 (+ Xspmax Xgmax)) (- Ygox 0.01) 0.0))
208   "Si3N4" "R.Spacerright")
209
210 (sde:addmaterial
211   (find-body-id (position (* 0.5 (+ Xspmin Xgmin)) (- Ygox 0.01) 0.0))
212   "Si3N4" "R.Spacerleft")
213
214 ;The GateMetal was DELETED.
215
216 ;-----
217 ; Saving BND file
218 ;-----
219
220 (sdeio:save-tdr-bnd (get-body-list) "n@node@_bnd.tdr")
221
222 ;-----
223 ; Profiles:
224 ;-----
225
226 ; - Substrate
227 (sdedr:define-constant-profile "Const.Substrate" DopSubType SubDop )
228 (sdedr:define-constant-profile-region "PlaceCD.Substrate"
229   "Const.Substrate" "R.Substrate" )
230
231 ; - Substrate Contact
232 (sdedr:define-constant-profile "Const.SubsContact" DopSubType SubConDop )
233 (sdedr:define-constant-profile-region "PlaceCD.SubstrateCon"
234   "Const.SubsContact" "R.SubContact" )
235
236 ; - Define Source Base Line Extensions Implant Window
237 (sdedr:define-refinement-window "BaseLine.SourceExt" "Line"
238   (position (* Xmin 1.5238) Ysd 0.0)
239   (position (* Xgmin 1.065) Ysd 0.0) )
240
241 ; - Define Drain Base Line Extensions Implant Window
242 (sdedr:define-refinement-window "BaseLine.DrainExt" "Line"
243   (position (* Xgmax 1.065) Ysd 0.0)
244   (position (* Xmax 1.5238) Ysd 0.0) )
245
246 ; - Define Source Base Line Implant Window
247 (sdedr:define-refinement-window "BaseLine.Source" "Line"
248   (position (* Xmin 1.5238) Ysd 0.0)
249   (position Xspmin Ysd 0.0) )
250
251 ; - Define Drain Base Line Implant Window
252 (sdedr:define-refinement-window "BaseLine.Drain" "Line"
253   (position Xspmax Ysd 0.0)
254   (position (* Xmax 1.5238) Ysd 0.0) )
255
256 ; - Source/Drain Base Line Implant definition
257 (sdedr:define-gaussian-profile "Gauss.SourceDrain"
258   DopSDType "PeakPos" 0 "PeakVal" SDDop "ValueAtDepth" (* SubDop 4) "Depth" (* XjSD 1) "Gauss" "Factor" 0.50 )
259
260 ; - Source Implant placement
261 (sdedr:define-analytical-profile-placement "PlaceAP.Source"
262   "Gauss.SourceDrain" "BaseLine.Source" "Both" "NoReplace" "Eval")
263
264 ; - Drain Implant placement
265 (sdedr:define-analytical-profile-placement "PlaceAP.Drain"
266   "Gauss.SourceDrain" "BaseLine.Drain" "Both" "NoReplace" "Eval")
267
268 ; - Source/Drain Base Line Extensions Implant definition
269 (sdedr:define-gaussian-profile "Gauss.SourceDrainExt"
270   DopSDType "PeakPos" 0 "PeakVal" (/ SDDop 10) "ValueAtDepth" (* SubDop 4) "Depth" (* XjExt 0.8) "Gauss" "Factor" 0.10 )
271
272 ; - Source Extension Implant placement
273 (sdedr:define-analytical-profile-placement "PlaceAP.SourceExt"
274   "Gauss.SourceDrainExt" "BaseLine.SourceExt" "Both" "NoReplace" "Eval")

```

```

275
276 ; - Drain Extension Implant placement
277 (sdedr:define-analytical-profile-placement "PlaceAP.DrainExt"
278 "Gauss.SourceDrainExt" "BaseLine.DrainExt" "Both" "NoReplace" "Eval")
279
280 ;-----
281 ; Meshing Strategy:
282 ;-----
283
284 ; - Substrate
285 (sdedr:define-refinement-size "RefDef.Substrate"
286 (/ Xmax 5.0) (/ Hsub 10.0)
287 Gpn Gpn )
288 (sdedr:define-refinement-function "RefDef.Substrate"
289 "DopingConcentration" "MaxTransDiff" 1)
290 (sdedr:define-refinement-region "PlaceRF.Substrate"
291 "RefDef.Substrate" "R.Substrate" )
292
293 ; - Body or Channel
294 (sdedr:define-refinement-window "RefWin.Body"
295 "Rectangle"
296 (position Xmin 0.0 0.0)
297 (position Xmax Ysub 0.0) )
298 (sdedr:define-refinement-size "RefDef.Body"
299 (/ Xmax 10.0) (/ Hsub 20.0)
300 Gpn Gpn )
301 (sdedr:define-refinement-function "RefDef.Body"
302 "DopingConcentration" "MaxTransDiff" 1)
303 (sdedr:define-refinement-placement "PlaceMB.Body"
304 "RefDef.Body" "RefWin.Body" )
305
306 ; - Body or Channel Multibox
307 (sdedr:define-refinement-window "MBWindow.Body"
308 "Rectangle"
309 (position Xmin 0.0 0.0)
310 (position Xmax XjSD 0.0) )
311 (sdedr:define-multibox-size "MBSize.Body"
312 (/ Lg 14.0) (/ XjSD 24.0)
313 (/ Lg 18.0) 2e-5
314 1.0 1.35 )
315 (sdedr:define-multibox-placement "MBPlace.Body"
316 "MBSize.Body" "MBWindow.Body" )
317
318 ; - GateOx
319 (sdedr:define-refinement-window "RefWin.Gateox"
320 "Rectangle"
321 (position Xspmin Ygox 0.0)
322 (position Xspmax 0.0 0.0) )
323 (sdedr:define-refinement-size "RefDef.Gateox"
324 (/ Ltot 8.0) (/ Tox 8.0)
325 Gpn (/ Tox 12.0) )
326 (sdedr:define-refinement-region "PlaceRF.Gateox"
327 "RefDef.Gateox" "R.Gateox" )
328
329 ;-----
330 ; Save CMD file
331 ;-----
332
333 (sdedr:write-cmd-file "n@node@_msh.cmd")
334
335 ;-----
336 ; Build Mesh
337 ;-----
338
339 (system:command "snmesh n@node@_msh")

```

G.5 Script de Sentaurus Structure Editor para o Transistor FDSOI de 28nm em 3 dimensões

```

1 ;*****
2 ;* FD SOI 28nm 3D
3 ;* A Sentaurus Structure Editor Command File
4 ;* Created by: Walter Calienes Bartra
5 ;* Version: 06/07/2015
6 ;* Comments: 28nm-Lg N-channel FD SOI MOSFET without BPlane Design Version 1.2
7 ;*****
8
9 ;-----
10 ;Variables from SWB:
11 ;
12 ; @Type@ : Type of transistor ("nMOS" or "pMOS")
13 ; @BPType@ :Back Plane Type ("n" or "p")
14 ; @Tsi@ : Silicon Channel Mesh thickness [um]
15 ; @Tbox@ : Buried Oxide thickness [um]
16 ; @Tbp@ : Back Plane thickness [um]
17 ; @Lg@ : Gate Length [um]
18 ; @Wg@ : Gate Width [um], only to reference
19 ;
20 ;-----
21
22 (if (string=? "@Type@" "nMOS")
23 (begin
24 (define DopSubType "BoronActiveConcentration")
25 (define DopSDType "ArsenicActiveConcentration")
26 (define SubDop 1.0e14 ) ; [1/cm3] Substrate doping
27 (define SDDop 4.0e20 ) ; [1/cm3] Source and Drain Well doping (ORG 2.0e20)
28 (define BodyDop 1.0e15 ) ; [1/cm3] Channel or Body doping
29 (define SubConDop 3.0e15) ; [1/cm3] Substrate Contact doping
30 (define Tox 1.3e-3) ; [um] Gate Oxide Thickness (tox parameter)
31 )
32 (begin
33 (define DopSubType "ArsenicActiveConcentration")
34 (define DopSDType "BoronActiveConcentration")
35 (define SubDop 1.0e14 ) ; [1/cm3] Substrate doping
36 (define SDDop 4.0e20 ) ; [1/cm3] Source and Drain Well doping
37 (define BodyDop 1.0e15 ) ; [1/cm3] Channel or Body doping
38 (define SubConDop 3.0e15) ; [1/cm3] Substrate Contact doping
39 (define Tox 1.3e-3) ; [um] Gate Oxide Thickness
40 )
41 )
42
43 (if (string=? "@BPType@" "n")
44 (begin
45 (define DopBPType "ArsenicActiveConcentration")
46 (define BackPlaneDop 2.0e18) ; [1/cm3] Pack Plane doping
47 )
48 (begin
49 (define DopBPType "BoronActiveConcentration")
50 (define BackPlaneDop 2.0e18) ; [1/cm3] Pack Plane doping
51 )
52 )
53
54 ;-----
55 ; Setting parameters
56 ;-----
57
58 ; - Length for each part
59 (define Lgate @Lg@) ; [um] Gate length
60 (define Wgate @Wg@) ; [um] Gate width
61 (define Los 0.00) ; [um] Extension S/D Spacer length
62 (define Lsp (* @Lg@ 1)) ; [um]
63 (define Lcont 0.04) ; [um] Source/Drain region length
64 (define Ltot (+ Lgate (* 2 Lsp) (* 2 Lcont))) ; [um] Total Lateral Dimension

```

```

65
66 ; - Layer thickness
67 (define Hsub 0.2) ; [um] Substrate thickness
68 (define Tox 0.0009) ; [um] Gate oxide thickness
69 (define Hpol 0.09) ; [um] Poly gate thickness
70 (define Tsi @Tsi@) ; [um] SWB Variable Channel thickness
71 (define Tbox @Tbox@) ; [um] SWB Variable Buried Oxide thickness
72 (define Tbp @Tbp@) ; [um] Back or Ground Plane thickness
73 (define Tsd 0.01) ; [um] Source/Drain thickness
74
75 ; - Junction Depths
76 (define XjExt 0.0005) ; [um] Source/Drain Extension depth (ORG 0.01)
77 (define XjSD 0.0045) ; [um] Deep Source/Drain Junction depth (ORG 0.025)
78
79 ; - Others
80 ; - Spacer rounding
81 (define fillet-radius (/ @Lg@ 1)) ; [um] Rounding radius
82
83 ; - pn junction resolution
84 (define Gpn 0.0005) ; [um]
85
86 ;-----
87 ; Derived quantities
88 ;-----
89
90 (define Xwmax (* Wgate 0.5)) ;Positive Component of Width
91 (define Xwmin (* Wgate -0.5)) ;Negative Component of Width
92
93 (define Ymax (/ Ltot 2.0)) ;Components of Silicon Block Length
94 (define Ymin (/ Ltot -2.0))
95 (define Ygmax (/ Lgate 2.0)) ;Components of Gate Length
96 (define Ygmin (/ Lgate -2.0))
97 (define Yspmax (+ Ygmax Lsp)) ;Components of Spacers Length
98 (define Yspmin (- Ygmin Lsp))
99
100 (define Zsub (* Hsub -1.0)) ; Bottom of the Substrate contact
101 (define Zcsub (+ Zsub 0.01)) ; Top of the Substrate contact
102 (define Zgox Tox) ; Top of the oxide layer
103 (define Zpol (+ Hpol Zgox)) ; Top of PolySilicon block
104 (define Zsi (* Tsi -1.0)) ; Bottom of the Channel Mesh
105 (define Zbp (* (+ Tsi Tbox Tbp) -1.0)) ;Bottom of Back Plane
106 (define Zbox (* (+ Tsi Tbox) -1.0)) ;Bottom of Buried Oxide
107 (define Zsd Tsd) ; Top of Source/Drain contacts
108
109 ;-----
110 ; Overlap resolution: New replaces Old
111 ;-----
112
113 (sdegeo:set-default-boolean "ABA")
114
115 ;-----
116 ; Creating regions
117 ;-----
118
119 ;Creating substrate
120 (sdegeo:create-cuboid
121 (position Xwmax Ymin Zsub )
122 (position Xwmin Ymax Zsd ) "Silicon" "R.Substrate" )
123
124 ;Creating substrate contact
125 (sdegeo:create-cuboid
126 (position Xwmin Ymax Zcsub )
127 (position Xwmax Ymin Zsub ) "Silicon" "R.SubContact" )
128
129 ;Creating backplane
130 (sdegeo:create-cuboid
131 (position Xwmin Ymax Zbp)
132 (position Xwmax Ymin Zbox) "Silicon" "R.BackPlane" )
133
134 ;Creating buried oxide

```

```

135 (sdegeo:create-cuboid
136   (position Xwmax Ymin Zbox)
137   (position Xwmin Ymax Zsi) "SiO2" "R.Buriedox" )
138
139 ;Crating channel region
140 (sdegeo:create-cuboid
141   (position Xwmax Ymin Zsd)
142   (position Xwmin Ymax Zsi) "Silicon" "R.Channel")
143
144 ;Creating gates oxide
145 (sdegeo:create-cuboid
146   (position Xwmax Ygmax 0.0)
147   (position Xwmin Ygmin Zgox) "SiO2" "R.Gateox" )
148
149 ;Creating right spacer region
150 (sdegeo:create-cuboid
151   (position Xwmax Ygmax 0.0)
152   (position Xwmin Yspmax Zpol) "Si3N4" "R.RightSpacer" )
153
154 ;Creating left spacer region
155 (sdegeo:create-cuboid
156   (position Xwmax Ygmin 0.0)
157   (position Xwmin Yspmin Zpol) "Si3N4" "R.LeftSpacer" )
158
159 ;Creating PolySi gate
160 (sdegeo:create-cuboid
161   (position Xwmin Ygmin Zgox)
162   (position Xwmax Ygmax Zpol) "PolySi" "R.Polygate" )
163
164 ;-----
165 ; Rounding spacers
166 ;-----
167
168 ;Right spacer
169 (sdegeo:fillet
170   (find-edge-id (position 0.0 Yspmax Zpol )) fillet-radius)
171
172 ;Left spacer
173 (sdegeo:fillet
174   (find-edge-id (position 0.0 Yspmin Zpol )) fillet-radius)
175
176 ;-----
177 ; Contact declarations
178 ;-----
179
180 ;Drain
181 (sdegeo:define-contact-set "drain"
182   2.0 (color:rgb 1.0 0.0 0.0) "###")
183
184 ;Source
185 (sdegeo:define-contact-set "source"
186   2.0 (color:rgb 0.0 1.0 0.0) "###")
187
188 ;Gate
189 (sdegeo:define-contact-set "gate"
190   2.0 (color:rgb 0.0 0.0 1.0) "###")
191
192 ;Substrate
193 (sdegeo:define-contact-set "substrate"
194   2.0 (color:rgb 1.0 1.0 0.0) "###")
195
196 ;-----
197 ; Contact settings
198 ;-----
199
200 ; For the Drain, find the face at the middle point between Ymax and Yspmax
201 (sdegeo:define-3d-contact
202   (find-face-id (position 0.0 (* (+ Ymax Yspmax) 0.5) Zsd)) "drain")
203
204 ; For the Source, find the edge at the middle point between Xmin and Xspmin

```

```

205 (sdegeo:define-3d-contact
206   (find-face-id (position 0.0 (* (+ Ymin Yspmin) 0.5) Zsd) "source")
207
208 ; For the Gate, find de PolySi body, set the boundary contact and delete the body
209 (define GateMetal (find-body-id (position 0.0 0.0 (* 0.5 (+ Zpol Zgox) )))
210 (sdegeo:set-current-contact-set "gate")
211 (sdegeo:set-contact-boundary-faces GateMetal)
212 (sdegeo:delete-region GateMetal)
213
214 ; For the Substrate, find the face in (0,0,Zsub)
215 (sdegeo:define-3d-contact
216   (find-face-id (position 0.0 0.0 Zsub)) "substrate")
217
218 ;-----
219 ; Saving BND file
220 ;-----
221
222 (sdeio:save-tdr-bnd (get-body-list) "n@node@_bnd.tdr")
223
224 ;-----
225 ; Profiles:
226 ;-----
227
228 ; - Substrate
229 (sdedr:define-constant-profile "Const.Substrate" DopSubType SubDop )
230 (sdedr:define-constant-profile-region "PlaceCD.Substrate"
231   "Const.Substrate" "R.Substrate" )
232
233 ; - Substrate Contact
234 (sdedr:define-constant-profile "Const.SubsContact" DopSubType SubConDop )
235 (sdedr:define-constant-profile-region "PlaceCD.SubstrateCon"
236   "Const.SubsContact" "R.SubContact" )
237
238 ; - Back or Ground Plane
239 (sdedr:define-constant-profile "Const.BackPlane" DopBPType BackPlaneDop )
240 (sdedr:define-constant-profile-region "PlaceCD.BackPlane"
241   "Const.BackPlane" "R.BackPlane" )
242
243 ; - Channel or Body
244 (sdedr:define-constant-profile "Const.Channel" DopSubType BodyDop )
245 (sdedr:define-constant-profile-region "PlaceCD.Channel"
246   "Const.Channel" "R.Channel" )
247
248 ; - Define Source Base Rectangle Extensions Implant Window
249 (sdedr:define-refinement-window "BaseLine.SourceExt" "Rectangle"
250   (position Xwmin (* Ymin 1.5238) Zsd)
251   (position Xwmax (* Ygmin 1.000) Zsd) )
252
253 ; - Define Drain Base Rectangle Extensions Implant Window
254 (sdedr:define-refinement-window "BaseLine.DrainExt" "Rectangle"
255   (position Xwmax (* Ygmax 1.000) Zsd)
256   (position Xwmin (* Ymax 1.5238) Zsd) )
257
258 ; - Define Source Base Rectangle Implant Window
259 (sdedr:define-refinement-window "BaseLine.Source" "Rectangle"
260   (position Xwmin (* Ymin 1.5238) Zsd)
261   (position Xwmax (* Yspmin 0.80) Zsd) )
262
263 ; - Define Drain Base Rectangle Implant Window
264 (sdedr:define-refinement-window "BaseLine.Drain" "Rectangle"
265   (position Xwmax (* Yspmax 0.80) Zsd)
266   (position Xwmin (* Ymax 1.5238) Zsd) )
267
268 ; - Source/Drain Base Line Implant definition
269 (sdedr:define-gaussian-profile "Gauss.SourceDrain"
270   DopSDType "PeakPos" 0 "PeakVal" 4.4e20 "ValueAtDepth" 1.0e17 "Depth" (* Tsi 3) "Gauss" "Factor" 0.675 )
271
272 ; - Source Implant placement
273 (sdedr:define-analytical-profile-placement "PlaceAP.Source"
274   "Gauss.SourceDrain" "BaseLine.Source" "Both" "NoReplace" "Eval")

```

```

275
276 ; - Drain Implant placement
277 (sdedr:define-analytical-profile-placement "PlaceAP.Drain"
278 "Gauss.SourceDrain" "BaseLine.Drain" "Both" "NoReplace" "Eval")
279
280 ; - Source/Drain Base Line Extensions Implant definition
281 (sdedr:define-gaussian-profile "Gauss.SourceDrainExt"
282 DopSDType "PeakPos" 0 "PeakVal" 4.4e19 "ValueAtDepth" 1.0e17 "Depth" (* Tsi 0.3) "Gauss" "Factor" 0.750 )
283
284 ; - Source Extension Implant placement
285 (sdedr:define-analytical-profile-placement "PlaceAP.SourceExt"
286 "Gauss.SourceDrainExt" "BaseLine.SourceExt" "Both" "NoReplace" "Eval")
287
288 ; - Drain Extension Implant placement
289 (sdedr:define-analytical-profile-placement "PlaceAP.DrainExt"
290 "Gauss.SourceDrainExt" "BaseLine.DrainExt" "Both" "NoReplace" "Eval")
291
292 ;-----
293 ; Meshing Strategy:
294 ;-----
295
296 ; - All the Bulk
297 (sdedr:define-refinement-window "RefWin.Body"
298 "Cuboid"
299 (position Xwmin Ymin Zsd)
300 (position Xwmax Ymax Zsub) )
301 (sdedr:define-refinement-size "RefDef.Body"
302 (/ Wgate 5.0) (/ Ymax 5.0) (/ Hsub 10.0)
303 Gpn Gpn Gpn)
304 (sdedr:define-refinement-function "RefDef.Body"
305 "DopingConcentration" "MaxTransDiff" 1)
306 (sdedr:define-refinement-placement "PlaceMB.Body"
307 "RefDef.Body" "RefWin.Body" )
308
309 ; - Buried Oxide (R.Buriedox)
310 (sdedr:define-refinement-window "RefWin.Box"
311 "Cuboid"
312 (position Xwmin Ymin Zsi)
313 (position Xwmax Ymax Zbox) )
314 (sdedr:define-refinement-size "RefDef.Box"
315 (/ Wgate 5.0) (/ Ymax 5.0) (/ Hsub 10.0)
316 Gpn Gpn Gpn)
317 (sdedr:define-refinement-function "RefDef.Box"
318 "MaxLenInt" "Silicon" "Oxide" 0.005 1.4)
319 (sdedr:define-refinement-placement "PlaceMB.Box"
320 "RefDef.Box" "RefWin.Box" )
321
322 ; - Body or Channel Multibox
323 (sdedr:define-refinement-window "MBWindow.Body"
324 "Cuboid"
325 (position Xwmin Ymin 0.0)
326 (position Xwmax Ymax Zsi) )
327 (sdedr:define-multibox-size "MBSize.Body"
328 (/ Lgate 7.0) (/ Lgate 7.0) (/ XjSD 12.0)
329 (/ Lgate 9.0) (/ Lgate 9.0) 4e-5
330 1.0 1.0 1.35 )
331 (sdedr:define-multibox-placement "MBPlace.Body"
332 "MBSize.Body" "MBWindow.Body" )
333
334 ; - GateOx
335 (sdedr:define-refinement-window "RefWin.Gateox"
336 "Cuboid"
337 (position Xwmin Ygmin Zgox)
338 (position Xwmax Ygmax 0.0) )
339 (sdedr:define-refinement-size "RefDef.Gateox"
340 (/ Wgate 4.0) (/ Ltot 4.0) (/ Tox 4.0)
341 Gpn Gpn (/ Tox 6.0) )
342 (sdedr:define-refinement-region "PlaceRF.Gateox"
343 "RefDef.Gateox" "R.Gateox" )
344

```

```
345 ;-----  
346 ; Save CMD file  
347 ;-----  
348  
349 (sdedr:write-cmd-file "n@node@_msh.cmd")  
350  
351 ;-----  
352 ; Build Mesh  
353 ;-----  
354  
355 (system:command "snmesh n@node@_msh")
```

G.6 Script de Sentaurus Device para obter a curva I_d vs. V_g do Transistor Bulk de 32nm

```

1  *-----
2  * Id vs. Vg curve for 32nm NMOS Bulk ASU-PTM VDD=1.0V
3  * 07/07/2015
4  *
5  *-----
6  Device SOIn{
7
8      *-----
9      * File Section
10     *-----
11
12     File{
13         * Input Files
14         Grid="@tdr@"
15         * Output Files
16         Plot="@tdrdat@"
17         Current="@plot@"
18     }
19
20     *-----
21     * Electrode Section
22     *-----
23
24     Electrode{
25         {Name="source" Voltage=0.0 AreaFactor=@Wg@}
26         {Name="drain" Voltage=0.0 AreaFactor=@Wg@}
27         {Name="gate" Voltage=0.0 AreaFactor=@Wg@ WorkFunction=4.25}
28         {Name="substrate" Voltage=0.0 AreaFactor=@Wg@}
29     }
30
31     *-----
32     * Physics Section
33     *-----
34
35     Physics{
36         Mobility(Phumob DopingDep HighFieldSat Enormal)
37         EffectiveIntrinsicDensity(BandGapNarrowing(OldSlotboom))
38         Fermi
39         Recombination(SRH Auger Avalanche eAvalanche hAvalanche)
40     }
41 }
42
43 *-----
44 * System Section
45 *-----
46
47 System{
48     Plot "Curves_SOIn" (v(Vgate) v(Vdrain) i(Vdrain GND))
49     SOIn soIn("source"=GND "drain"=Vdrain "gate"=Vgate "substrate"=GND)
50     Vsource_pset VGG(Vgate GND) {dc=0.0}
51     Vsource_pset VDD(Vdrain GND) {dc=1.0}
52     Set (GND=0)
53 }
54
55 *-----
56 * Plot Section
57 *-----
58
59 Plot{
60     eDensity hDensity eCurrent hCurrent
61     Potential SpaceCharge ElectricField
62     eMobility hMobility eVelocity hVelocity
63     Doping DonorConcentration AcceptorConcentration
64 }

```

```
65
66 *-----
67 * Math Section
68 *-----
69
70 Math{
71     WallClock
72     Rhsmx=1e25
73     -Derivates
74     Iterations=20
75     NotDamped=50
76     Method=ILS
77     Number_Of_Threads=maximum
78     StackSize=100000000
79     Extrapolate
80     RelErrControl
81 }
82
83 *-----
84 * Solve Section
85 *-----
86
87 Solve{
88
89     Coupled {Circuit soin.Poisson soin.Contact}
90     Coupled {Circuit soin.Poisson soin.Contact soin.Electron}
91     QuasiStationary(MaxStep=0.01 MinStep=1e-10 Goal{Parameter=VGG."dc" Value=1.0})
92     {Coupled {Circuit soin.Poisson soin.Contact soin.Electron}}
93 }
```

G.7 Script de Sentaurus Device para obter a curva I_d vs. V_g do Transistor FDSOI de 28nm

```

1  *-----
2  * Id vs. Vg curve for 28nm NMOS FDSOI with BPlane VDD=1.0V
3  * 07/07/2015
4  *
5  *-----
6  Device SOIn{
7
8      *-----
9      * File Section
10     *-----
11
12     File{
13         * Input Files
14         Grid="@tldr@"
15         * Output Files
16         Plot="@tldrdat@"
17         Current="@plot@"
18     }
19
20     *-----
21     * Electrode Section
22     *-----
23
24     Electrode{
25         {Name="source" Voltage=0.0 AreaFactor=@Wg@}
26         {Name="drain" Voltage=0.0 AreaFactor=@Wg@}
27         {Name="gate" Voltage=0.0 AreaFactor=@Wg@ WorkFunction=4.52}
28         {Name="substrate" Voltage=0.0 AreaFactor=@Wg@}
29         {Name="backplane" Voltage=0.0 AreaFactor=@Wg@}
30     }
31
32     *-----
33     * Physics Section
34     *-----
35
36     Physics{
37         Mobility(Phumob DopingDep HighFieldSat Enormal)
38         EffectiveIntrinsicDensity(BandGapNarrowing(OldSlotboom))
39         Fermi
40         Recombination(SRH Auger Avalanche eAvalanche hAvalanche)
41     }
42 }
43
44 *-----
45 * System Section
46 *-----
47
48 System{
49     Plot "Curves_SOIn" (v(Vgate) v(Vdrain) i(Vdrain GND))
50     SOIn soIn("source"=GND "drain"=Vdrain "gate"=Vgate "substrate"=GND "backplane"=GND)
51     Vsource_pset VGG(Vgate GND) {dc=0.0}
52     Vsource_pset VDD(Vdrain GND) {dc=1.0}
53     Set (GND=0)
54 }
55
56 *-----
57 * Plot Section
58 *-----
59
60 Plot{
61     eDensity hDensity eCurrent hCurrent
62     Potential SpaceCharge ElectricField
63     eMobility hMobility eVelocity hVelocity
64     Doping DonorConcentration AcceptorConcentration

```

```
65 }
66
67 *-----
68 * Math Section
69 *-----
70
71 Math{
72     WallClock
73     Rhsmax=1e25
74     -Derivates
75     Iterations=20
76     NotDamped=50
77     Method=ILS
78     Number_Of_Threads=maximum
79     StackSize=100000000
80     Extrapolate
81     RelErrControl
82 }
83
84 *-----
85 * Solve Section
86 *-----
87
88 Solve{
89
90     Coupled {Circuit soin.Poisson soin.Contact}
91     Coupled {Circuit soin.Poisson soin.Contact soin.Electron}
92     QuasiStationary(MaxStep=0.01 MinStep=1e-10 Goal{Parameter=VGG."dc" Value=1.0})
93     {Coupled {Circuit soin.Poisson soin.Contact soin.Electron}}
94 }
```

G.8 Script de Sentaurus Device para estudar o Impacto de um Ion Pesado na terminal do Dreno de um Transistor Bulk de 32nm

```

1  *-----
2  *
3  *
4  * 13/07/2015 00 degrees Bulk 32nm
5  *-----
6
7  Device SOIn{
8      *-----
9      * File Section
10     *-----
11
12     File{
13         * Input Files
14         Grid="@tdr@"
15         * Output Files
16         Plot="@tdrdat@"
17         Current="@plot@"
18     }
19
20     *-----
21     * Electrode Section
22     *-----
23
24     Electrode{
25         {Name="source" AreaFactor=@Wg@ Voltage=0.0}
26         {Name="drain" AreaFactor=@Wg@ Voltage=0.0}
27         {Name="gate" AreaFactor=@Wg@ Voltage=0.0 WorkFunction=@Phi_M@}
28         {Name="substrate" AreaFactor=@Wg@ Voltage=0.0}
29     }
30
31     *-----
32     * Physics Section
33     *-----
34
35     Physics{
36         RecGenHeat
37         Mobility(Phumob DopingDep HighFieldSat Enormal)
38         EffectiveIntrinsicDensity(BandGapNarrowing(OldSlotboom))
39         Fermi
40         Recombination(SRH Auger Avalanche eAvalanche hAvalanche)
41         HeavyIon(Time=0.025e-9 LET_f=1.0447 Length=0.30 Wt_Hi=0.0200 Location=(@LocX@,-0.01,0) Direction=(0,1,0)
42             Gaussian PicoCoulomb)
43
44         *****
45         * Directions by Angle Theta in Drain Terminal (-sin(Theta),cos(Theta),0) *
46         *****
47         * Theta = 0 --> Direction=( 0.00000,1.00000,0)
48         * Theta = 15 --> Direction=(-0.25882,0.96593,0)
49         * Theta = 30 --> Direction=(-0.50000,0.86603,0)
50         * Theta = 45 --> Direction=(-0.70711,0.70711,0)
51         * Theta = 60 --> Direction=(-0.86603,0.50000,0)
52         * Theta = 75 --> Direction=(-0.96593,0.25882,0)
53         *
54     }
55 }
56
57 *-----
58 * Global File Section
59 *-----
60
61 File{
62     Output="32nmBulk_@LocX@_@Phi_M@_00" *---- CHANGE WHEN HAVE OTHER ANGLE OR DEVICE
63 }
64

```

```

65 *-----
66 * Plot Section
67 *-----
68
69 Plot{
70     eDensity hDensity
71     eCurrent hCurrent
72     eCurrent/Vector hCurrent/Vector
73     TotalCurrent/Vector
74     Potential SpaceCharge
75     ElectricField eEparallel hEparallel
76     eMobility hMobility
77     eVelocity hVelocity
78     Doping
79     DonorConcentration AcceptorConcentration
80     HeavyIonCharge HeavyIonGeneration
81     AvalancheGeneration eAvalanche hAvalanche
82     eAlphaAvalanche hAlphaAvalanche
83 }
84
85 *-----
86 * Math Section
87 *-----
88
89 Math{
90     WallClock
91     -Derivatives
92     Rhsmax=1e25
93     AvalDerivatives
94     Iterations=50
95     NotDamped=100
96     Method=ILS
97     RecBoxInteger
98     Number_Of_Threads=maximum
99     StackSize=100000000
100     Extrapolate
101     RelErrControl
102     *NoCheckTransientError
103 }
104
105 *-----
106 * System Section
107 *-----
108
109 System{
110     Plot "32nmBulk_LocX@_Phi_M@_00.plt" (time() i (mnl VDD))
111     SOIn mnl("source"=GND "drain"=VDD "gate"=GND "substrate"=GND)
112     Vsource_pset Vdd(VDD GND) {dc=1.0}
113     Set (GND=0.0)
114 }
115
116 *-----
117 * Solve Section
118 *-----
119
120 Solve{
121     Coupled (Iterations=100){Poisson}
122     Coupled (Iterations=100){Poisson Circuit}
123     Coupled (Iterations=100){Circuit Poisson Contact}
124     Coupled (Iterations=100){Circuit Poisson Contact Electron}
125     Transient (InitialTime=0.00e-9 FinalTime=0.1e-9 InitialStep=1e-12 MaxStep=1e-11 Plot{Range=(0.00e-9 0.1e-9) Intervals=20})
126     {Coupled (Iterations=50){Circuit mnl.Poisson mnl.Contact mnl.Electron mnl.Hole}}
127 }

```

G.9 Script de Sentaurus Device para estudar o Impacto de um Ion Pesado na terminal do Dreno de um Transistor FDSOI de 28nm

```

1  *-----
2  *
3  *
4  * 21/07/2015 00 degrees FDSOI with backplane terminal grounded
5  *-----
6
7  Device SOIn{
8
9      *-----
10     * File Section
11     *-----
12     File{
13         * Input Files
14         Grid="@tdr@"
15         * Output Files
16         Plot="@tdrdat@"
17         Current="@plot@"
18     }
19
20     *-----
21     * Electrode Section
22     *-----
23
24     Electrode{
25         {Name="source" AreaFactor=@Wg@ Voltage=0.0}
26         {Name="drain" AreaFactor=@Wg@ Voltage=0.0}
27         {Name="gate" AreaFactor=@Wg@ Voltage=0.0 WorkFunction=@Phi_M@}
28         {Name="backplane" AreaFactor=@Wg@ Voltage=0.0}
29         {Name="substrate" AreaFactor=@Wg@ Voltage=0.0}
30     }
31
32
33     *-----
34     * Physics Section
35     *-----
36
37     Physics{
38         RecGenHeat
39         Mobility(Phumob DopingDep HighFieldSat Enormal)
40         EffectiveIntrinsicDensity(BandGapNarrowing(OldSlotboom))
41         Fermi
42         Recombination(SRH Auger Avalanche eAvalanche hAvalanche)
43         HeavyIon(Time=0.025e-9 LET_f=1.0447 Length=0.30 Wt_Hi=0.0200 Location=@LocX@,-0.01,0) Direction=(0.00000,1.00000,0)
44             Gaussian PicoCoulomb)
45
46         *****
47         * Directions by Angle Theta in Drain Terminal (-sin(Theta),cos(Theta),0) *
48         *****
49         * Theta = 00 --> Direction=( 0.00000,1.00000,0)
50         * Theta = 15 --> Direction=(-0.25882,0.96593,0)
51         * Theta = 30 --> Direction=(-0.50000,0.86603,0)
52         * Theta = 45 --> Direction=(-0.70711,0.70711,0)
53         * Theta = 60 --> Direction=(-0.86603,0.50000,0)
54         * Theta = 75 --> Direction=(-0.96593,0.25882,0)
55         *
56     }
57 }
58
59 *-----
60 * Global File Section
61 *-----
62
63 File{
64     Output="28nmFDSOI_@LocX@_@Phi_M@_00" *<--- CHANGE WHEN HAVE OTHER ANGLE OR DEVICE

```

```

65 }
66
67 *-----
68 * Plot Section
69 *-----
70
71 Plot{
72     eDensity hDensity
73     eCurrent hCurrent
74     eCurrent/Vector hCurrent/Vector
75     TotalCurrent/Vector
76     Potential SpaceCharge
77     ElectricField eEparallel hEparallel
78     eMobility hMobility
79     eVelocity hVelocity
80     Doping
81     DonorConcentration AcceptorConcentration
82     HeavyIonCharge HeavyIonGeneration
83     AvalancheGeneration eAvalanche hAvalanche
84     eAlphaAvalanche hAlphaAvalanche
85 }
86
87 *-----
88 * Math Section
89 *-----
90
91 Math{
92     WallClock
93     -Derivatives
94     Rhsmax=1e25
95     AvalDerivatives
96     Iterations=50
97     NotDamped=100
98     Method=ILS
99     RecBoxInteger
100    Number_Of_Threads=maximum
101    StackSize=100000000
102    Extrapolate
103    RelErrControl
104    *NoCheckTransientError
105 }
106
107 *-----
108 * System Section
109 *-----
110
111 System{
112     Plot "28nmFDSOI_@LocX@_@Phi_M@_00.plt" (time() i(mnl VDD)) *<--- CHANGE WHEN HAVE OTHER ANGLE OR DEVICE
113     SOIn mnl("source"=GND "drain"=VDD "gate"=GND "substrate"=GND "backplane"=GND)
114     Vsource_pset Vdd(VDD GND) {dc=1.0}
115     Set (GND=0.0)
116 }
117
118 *-----
119 * Solve Section
120 *-----
121
122 Solve{
123     Coupled (Iterations=100){Poisson}
124     Coupled (Iterations=100){Poisson Circuit}
125     Coupled (Iterations=100){Circuit Poisson Contact}
126     Coupled (Iterations=100){Circuit Poisson Contact Electron}
127     Transient(InitialTime=0.00e-9 FinalTime=0.1e-9 InitialStep=1e-12 MaxStep=1e-11 Plot{Range=(0.00e-9 0.1e-9) Intervals=20})
128     {Coupled (Iterations=50){Circuit mnl.Poisson mnl.Contact mnl.Electron mnl.Hole}}
129 }

```

G.10 Modelo Preditivo do Transistor de 32nm de baixo consumo da Arizona State University convertido a Sentaurus Device

O seguinte *script* é gerado com o comando `spice2sdevice` do Sentaurus TCAD, o qual converte os *scripts* de circuitos descritos em SPICE a *scripts* equivalentes para Sentaurus Device (SYNOPSYS, 2013g). A sintaxe usada neste trabalho para conversão dos *scripts* SPICE no Sentaurus Device é a seguinte:

```
spice2sdevice -o <Arquivo de extensão .SCF> <Arquivo SPICE>
```

onde <Arquivo SPICE> é o arquivo SPICE original e o <Arquivo de extensão .SCF> é o arquivo de saída criado pelo comando `spice2sdevice -o`, o qual é armazenado na mesma pasta do <Arquivo SPICE> original. Para que o arquivo criado funcione em uma simulação de modo misto é necessário que tenha extensão `.SCF`.

Antes de fazer qualquer conversão, é necessário editar o <Arquivo SPICE>, tirando espaços e linhas de comentários excessivos para evitar os erros de sintaxe.

O seguinte *script* foi criado a partir do *script* mostrado no anexo F.1.

```

1 # SPICE Circuit File for Sentaurus Device
2 # Generated by Sentaurus spice2sdevice Version G-2012.06 (1.0)
3 # Copyright (c) 1994-2012 Synopsys, Inc.
4 # All rights reserved.
5
6 PSET nmos
7   DEVICE HMOS_L54
8   PARAMETERS
9     a0 = 1
10    a1 = 0
11    a2 = 1
12    acde = 1
13    acnqsmod = 0
14    agidl = 0.0002
15    ags = 0
16    aigbacc = 0.012
17    aigbinv = 0.014
18    aigc = 0.015211
19    aigsd = 0.015211
20    alpha0 = 0.074
21    alphal = 0.005
22    at = 33000
23    b0 = 0
24    b1 = 0
25    beta0 = 30
26    bgidl = 2100000000
27    bigbacc = 0.0028
28    bigbinv = 0.004
29    bigc = 0.0027432
30    bigsd = 0.0027432
31    binunit = 1
32    bvd = 10
33    bvs = 10

```

```
34 capmod = 2
35 cdsc = 0
36 cdsccb = 0
37 cdsd = 0
38 cgbo = 2.56e-11
39 cgd1 = 2.653e-10
40 cgdo = 8.5e-11
41 cgid1 = 0.0002
42 cgs1 = 2.653e-10
43 cgso = 8.5e-11
44 cigbacc = 0.002
45 cigbinv = 0.004
46 cigc = 0.002
47 cigsd = 0.002
48 cit = 0
49 cjd = 0.0005
50 cjs = 0.0005
51 cjswd = 5e-10
52 cjswgd = 5e-10
53 cjswgs = 3e-10
54 cjsws = 5e-10
55 ckappad = 0.03
56 ckappas = 0.03
57 delta = 0.01
58 diomod = 1
59 dmcg = 0
60 dmcgt = 0
61 dmci = 0
62 dmdg = 0
63 drout = 0.5
64 dsub = 0.1
65 dtox = 3e-10
66 dvt0 = 1
67 dvt0w = 0
68 dvt1 = 2
69 dvt1w = 0
70 dvt2 = 0
71 dvt2w = 0
72 dvtp0 = 1e-11
73 dvtp1 = 0.1
74 dwb = 0
75 dwg = 0
76 dwj = 0
77 egid1 = 0.8
78 eigbinv = 1.1
79 epsrox = 3.9
80 eta0 = 0.0115
81 etab = 0
82 fnoimod = 1
83 fprou = 0.2
84 gbmin = 1e-10
85 geomod = 1
86 igbmod = 1
87 igcmod = 1
88 ijthdfwd = 0.01
89 ijthdrev = 0.001
90 ijthsfwd = 0.01
91 ijthsrev = 0.001
92 jsd = 0.0001
93 jss = 0.0001
94 jswd = 1e-11
95 jswgd = 1e-10
96 jswgs = 1e-10
97 jsws = 1e-11
98 k1 = 0.4
99 k2 = 0
100 k3 = 0
101 k3b = 0
102 keta = 0.04
103 kt1 = -0.11
```

```
104      kt11 = 0
105      kt2 = 0.022
106      level = 54
107      lint = 0
108      ll = 0
109      lln = 1
110      lpe0 = 0
111      lpeb = 0
112      lw = 0
113      lwl = 0
114      lwn = 1
115      minv = 0.05
116      mjd = 0.5
117      mjs = 0.5
118      mjswd = 0.33
119      mjswgd = 0.33
120      mjswgs = 0.33
121      mjsws = 0.33
122      mobmod = 0
123      moin = 15
124      ndep = 4.12e+18
125      nfactor = 1.6
126      ngate = 1e+23
127      ngcon = 1
128      nigbacc = 1
129      nigbinv = 3
130      nigc = 1
131      njd = 1
132      njs = 1
133      nmos = 1
134      noff = 0.9
135      nsd = 2e+20
136      ntox = 1
137      paramchk = 1
138      pbd = 1
139      pbs = 1
140      pbswd = 1
141      pbswgd = 1
142      pbswgs = 1
143      pbsws = 1
144      pclm = 0.02
145      pdiblc1 = 0.001
146      pdiblc2 = 0.001
147      pdiblc3 = -0.005
148      pdits = 0.01
149      pditsd = 0.23
150      pditsl = 2300000
151      permod = 1
152      phin = 0
153      pigcd = 1
154      pmos = 0
155      poxedge = 1
156      prt = 0
157      prwb = 0
158      prwg = 0
159      pscbe1 = 814000000
160      pscbe2 = 1e-07
161      pvag = 1e-20
162      rbdb = 15
163      rbodymod = 0
164      rbpb = 5
165      rbpd = 15
166      rbps = 15
167      rbsb = 15
168      rdsmod = 0
169      rdsw = 190
170      rdswmin = 0
171      rdw = 75
172      rdwmin = 0
173      rgatemod = 0
```

```
174     rsh = 5
175     rshg = 0.4
176     rsw = 75
177     rswmin = 0
178     tcj = 0.001
179     tcjsw = 0.001
180     tcjswg = 0.001
181     tnoimod = 0
182     tnom = 27
183     tox = 1.6e-09
184     toxm = 1.6e-09
185     toxp = 1.3e-09
186     toxref = 1.6e-09
187     tpb = 0.005
188     tpbsw = 0.005
189     tpbswg = 0.005
190     trngsmod = 0
191     u0 = 0.052
192     ua = 6e-10
193     ua1 = 4.31e-09
194     ub = 1.2e-18
195     ub1 = 7.61e-18
196     uc = 0
197     ucl = -5.6e-11
198     ute = -1.5
199     version = 4
200     vfb = -0.55
201     voff = -0.1144
202     voffcv = 0.02
203     voffl = 0
204     vsat = 155000
205     vth0 = 0.53
206     w0 = 2.5e-06
207     wint = 5e-09
208     wl = 0
209     wln = 1
210     wr = 1
211     ww = 0
212     wwl = 0
213     wwn = 1
214     xgl = 0
215     xgw = 0
216     xj = 5e-08
217     xjbvd = 1
218     xjbvs = 1
219     xpart = 0
220     xrorg1 = 12
221     xrorg2 = 5
222     xtld = 3
223     xtis = 3
224     END PSET
225
226     PSET pmos
227     DEVICE HMOS_L54
228     PARAMETERS
229     a0 = 1
230     a1 = 0
231     a2 = 1
232     acde = 1
233     acngsmod = 0
234     agidl = 0.0002
235     ags = 1e-20
236     aighbacc = 0.012
237     aighbinv = 0.014
238     aigc = 0.0097
239     aigsd = 0.0097
240     alpha0 = 0.074
241     alpha1 = 0.005
242     at = 33000
243     b0 = 0
```

```
244     b1 = 0
245     beta0 = 30
246     bgidl = 2100000000
247     bigbacc = 0.0028
248     bigbinv = 0.004
249     bigc = 0.00125
250     bigsd = 0.00125
251     binunit = 1
252     bvd = 10
253     bvs = 10
254     capmod = 2
255     cdsc = 0
256     cdsccb = 0
257     cdsdcd = 0
258     cgbo = 2.56e-11
259     cgd1 = 2.653e-10
260     cgdo = 8.5e-11
261     cgidl = 0.0002
262     cgsl = 2.653e-10
263     cgso = 8.5e-11
264     cigbacc = 0.002
265     cigbinv = 0.004
266     cigc = 0.0008
267     cigsd = 0.0008
268     cit = 0
269     cjd = 0.0005
270     cjs = 0.0005
271     cjswd = 5e-10
272     cjswgd = 5e-10
273     cjswgs = 3e-10
274     cjsws = 5e-10
275     ckappad = 0.03
276     ckappas = 0.03
277     delta = 0.01
278     diomod = 1
279     dmcg = 0
280     dmcgt = 0
281     dmci = 0
282     dmdg = 0
283     drout = 0.56
284     dsub = 0.1
285     dtox = 3.2e-10
286     dvt0 = 1
287     dvt0w = 0
288     dvt1 = 2
289     dvt1w = 0
290     dvt2 = -0.032
291     dvt2w = 0
292     dvtp0 = 1e-11
293     dvtp1 = 0.05
294     dwb = 0
295     dwg = 0
296     dwj = 0
297     egidl = 0.8
298     eigbinv = 1.1
299     epsrox = 3.9
300     eta0 = 0.0115
301     etab = 0
302     fnoimod = 1
303     fprout = 0.2
304     gbmin = 1e-10
305     geomod = 1
306     igbmod = 1
307     igcmod = 1
308     ijthdfwd = 0.01
309     ijthdrev = 0.001
310     ijthsfwd = 0.01
311     ijthsrev = 0.001
312     jsd = 0.0001
313     jss = 0.0001
```

```
314     jswd = 1e-11
315     jswgd = 1e-10
316     jswgs = 1e-10
317     jsws = 1e-11
318     k1 = 0.4
319     k2 = -0.01
320     k3 = 0
321     k3b = 0
322     keta = -0.047
323     kt1 = -0.11
324     kt11 = 0
325     kt2 = 0.022
326     level = 54
327     lint = 0
328     l1 = 0
329     ll1n = 1
330     lpe0 = 0
331     lpeb = 0
332     lw = 0
333     lwl = 0
334     lwn = 1
335     minv = 0.05
336     mjd = 0.5
337     mjs = 0.5
338     mjswd = 0.33
339     mjswgd = 0.33
340     mjswgs = 0.33
341     mjsws = 0.33
342     mobmod = 0
343     moin = 15
344     ndep = 3.07e+18
345     nfactor = 1.8
346     ngate = 1e+23
347     ngcon = 1
348     nighbacc = 1
349     nigbinv = 3
350     nigc = 1
351     njd = 1
352     njs = 1
353     nmos = 0
354     noff = 0.9
355     nsd = 2e+20
356     ntox = 1
357     paramchk = 1
358     pbd = 1
359     pbs = 1
360     pbswd = 1
361     pbswgd = 1
362     pbswgs = 1
363     pbsws = 1
364     pclm = 0.12
365     pdiblc1 = 0.001
366     pdiblc2 = 0.001
367     pdiblc3 = 3.4e-08
368     pdits = 0.08
369     pditsd = 0.23
370     pditsl = 2300000
371     permod = 1
372     phin = 0
373     pigcd = 1
374     pmos = 1
375     poxedge = 1
376     prt = 0
377     prwb = 0
378     prwg = 0
379     pscbe1 = 814000000
380     pscbe2 = 9.58e-07
381     pvag = 1e-20
382     rbdb = 15
383     rbodymod = 0
```

```
384      rbpb = 5
385      rbpd = 15
386      rbps = 15
387      rbsb = 15
388      rdsmo = 0
389      rdsw = 240
390      rdswmin = 0
391      rdw = 75
392      rdwmin = 0
393      rgatemod = 0
394      rsh = 5
395      rshg = 0.4
396      rsw = 75
397      rswmin = 0
398      tcj = 0.001
399      tcjsw = 0.001
400      tcjswg = 0.001
401      tnoimod = 0
402      tnom = 27
403      tox = 1.62e-09
404      toxm = 1.62e-09
405      toxp = 1.3e-09
406      toxref = 1.6e-09
407      tpb = 0.005
408      tpbw = 0.005
409      tpbwg = 0.005
410      trngsmo = 0
411      u0 = 0.016
412      ua = 2e-09
413      ua1 = 4.31e-09
414      ub = 5e-19
415      ub1 = 7.61e-18
416      uc = 0
417      uc1 = -5.6e-11
418      ute = -1.5
419      version = 4
420      vfb = 0.55
421      voff = -0.1
422      voffcv = 0.02
423      voffl = 0
424      vsat = 135000
425      vth0 = -0.5808
426      w0 = 2.5e-06
427      wint = 5e-09
428      wl = 0
429      wln = 1
430      wr = 1
431      ww = 0
432      wwl = 0
433      wwn = 1
434      xgl = 0
435      xgw = 0
436      xj = 1e-08
437      xjbvd = 1
438      xjbvs = 1
439      xpart = 0
440      xrorg1 = 12
441      xrorg2 = 5
442      xtid = 3
443      xtis = 3
444      END PSET
```

G.11 Script de Sentaurus Device para estudar o Impacto de um Ion Pesado em uma Célula de Memória Bulk de 32nm

```

1  -----
2  * Heavy Ion Impact on 32nm Bulk Memory Cell Simulation
3  * Autor: Walter Calienes Bartra
4  * Date: 02/10/2015
5  * Version: 1.10
6  -----
7
8  Device BLKn{
9      -----
10     * File Section
11     -----
12
13     File{
14         * Input Files
15         Grid="@tdr@"
16         * Output Files
17         Plot="@tdrdat@"
18         Current="@plot@"
19     }
20
21     -----
22     * Electrode Section
23     -----
24
25     Electrode{
26         {Name="source" Voltage=0.0 AreaFactor=@Wg@}
27         {Name="drain" Voltage=0.0 AreaFactor=@Wg@}
28         {Name="gate" Voltage=0.0 AreaFactor=@Wg@ WorkFunction=4.25}
29         {Name="substrate" Voltage=0.0 AreaFactor=@Wg@}
30     }
31
32     -----
33     * Physics Section
34     -----
35
36     Physics{
37         Mobility(Phumob DopingDep HighFieldSat Enormal)
38         EffectiveIntrinsicDensity(BandGapNarrowing(OldSlotboom))
39         Fermi
40         Recombination(SRH Auger Avalanche eAvalanche hAvalanche)
41         HeavyIon(Time=0.5e-9 LET_f=@LET@ Length=0.300 Wt_Hi=0.0200 Location=(0.078,-0.01,0) Direction=(-0.50000,0.86603,0)
42             Gaussian PicoCoulomb)
43     }
44
45 }
46
47 -----
48 * Global File Section
49 -----
50
51 File{
52     SPICEPath=". lib"
53     Output="32nmBLKMemCell_n@node@"
54 }
55
56 -----
57 * Plot Section
58 -----
59
60 Plot{
61     eDensity hDensity
62     eCurrent hCurrent
63     eCurrent/Vector hCurrent/Vector
64     TotalCurrent/Vector

```

```

65     Potential SpaceCharge
66     ElectricField eEparallel hEparallel
67     eMobility hMobility
68     eVelocity hVelocity
69     Doping
70     DonorConcentration AcceptorConcentration
71     HeavyIonCharge HeavyIonGeneration
72     AvalancheGeneration eAvalanche hAvalanche
73     eAlphaAvalanche hAlphaAvalanche
74 }
75
76 *-----
77 * Math Section
78 *-----
79
80 Math{
81     WallClock
82     -Derivatives
83     AvalDerivatives
84     Iterations=50
85     NotDamped=100
86     Method=ILS
87     RecBoxInteger
88     Number_Of_Threads=maximum
89     StackSize=100000000
90     Extrapolate
91     RelErrControl
92     *NoCheckTransientError
93 }
94
95 *-----
96 * System Section
97 *-----
98
99 System{
100     Plot "32nmBLKMemCellCurves_n@node@" (time() v(OUTL) v(OUTR) i(mnl GND))
101     BLKn mnl("source"=GND "drain"=OUTL "gate"=OUTR "substrate"=GND)
102     pmos mpl(OUTL OUTR VDD VDD){l=32n w=91n pd=422n ps=422n ad=10920e-18 as=10920e-18}
103     nmos mnr(OUTR OUTL GND GND){l=32n w=217n pd=674n ps=674n ad=26040e-18 as=26040e-18}
104     pmos mpr(OUTR OUTL VDD VDD){l=32n w=91n pd=422n ps=422n ad=10920e-18 as=10920e-18}
105     nmos mnal(BL WL OUTL GND){l=32n w=160n pd=560n ps=560n ad=19200e-18 as=19200e-18}
106     nmos mnar(BLE WL OUTR GND){l=32n w=160n pd=560n ps=560n ad=19200e-18 as=19200e-18}
107     Vsource_pset Vdd(VDD GND) {dc=1.0}
108     Vsource_pset Wline(WL GND) {dc=0.0}
109     Isource_pset Bline(BL GND) {dc=0.0}
110     Isource_pset Bnline(BLB GND) {dc=0.0}
111     Set (GND=0.0)
112     Initialize (OUTR=0.0)
113     Initialize (OUTL=1.0)
114 }
115
116 *-----
117 * Solve Section
118 *-----
119
120 Solve{
121     Coupled (Iterations=1000){Circuit}
122     Coupled (Iterations=100){Poisson}
123     Coupled (Iterations=100){Poisson Circuit}
124     Coupled (Iterations=100){Circuit Poisson Contact}
125     Coupled (Iterations=100){Circuit Poisson Contact Hole Electron}
126     Transient(InitialTime=0 FinalTime=1e-9 InitialStep=1e-12 MaxStep=1e-12 Plot{Range=(0 1e-9) Intervals=10})
127     {Coupled (Iterations=50){Circuit mnl.Poisson mnl.Contact mnl.Electron mnl.Hole}}
128 }

```

G.12 Script de Sentaurus Device para estudar o Impacto de um Ion Pesado em uma Célula de Memória FDSOI de 28nm

```

1  *-----
2  * Heavy Ion Impact on 28nm FDSOI Memory Cell Simulation
3  * Autor: Walter Calienes Bartra
4  * Date: 02/10/2015
5  * Version: 1.10
6  *-----
7
8  Device SOIn{
9
10     *-----
11     * File Section
12     *-----
13     File{
14     * Input Files
15         Grid="@tdr@"
16     * Output Files
17         Plot="@tdrdat@"
18         Current="@plot@"
19     }
20
21     *-----
22     * Electrode Section
23     *-----
24
25     Electrode{
26         {Name="source" Voltage=0.0 AreaFactor=@Wg@}
27         {Name="drain" Voltage=0.0 AreaFactor=@Wg@}
28         {Name="gate" Voltage=0.0 AreaFactor=@Wg@ WorkFunction=4.25}
29         {Name="backplane" Voltage=0.0 AreaFactor=@Wg@}
30         {Name="substrate" Voltage=0.0 AreaFactor=@Wg@}
31     }
32
33     *-----
34     * Physics Section
35     *-----
36
37     Physics{
38         Mobility(Phumob DopingDep HighFieldSat Enormal)
39         EffectiveIntrinsicDensity(BandGapNarrowing(OldSlotboom))
40         Fermi
41         Recombination(SRH Auger Avalanche eAvalanche hAvalanche)
42         HeavyIon(Time=0.5e-9 LET_f=@LET@ Length=0.300 Wt_Hi=0.0200 Location=(0.052,-0.01,0) Direction=(-0.96593,0.25882,0)
43             Gaussian PicoCoulomb)
44     }
45 }
46
47
48 *-----
49 * Global File Section
50 *-----
51
52 File{
53     SPICEPath=". lib"
54     Output="28nmSOIMemCell_n@node@"
55 }
56
57 *-----
58 * Plot Section
59 *-----
60
61 Plot{
62     eDensity hDensity
63     eCurrent hCurrent
64     eCurrent/Vector hCurrent/Vector

```

```

65     TotalCurrent/Vector
66     Potential SpaceCharge
67     ElectricField eEparallel hEparallel
68     eMobility hMobility
69     eVelocity hVelocity
70     Doping
71     DonorConcentration AcceptorConcentration
72     HeavyIonCharge HeavyIonGeneration
73     AvalancheGeneration eAvalanche hAvalanche
74     eAlphaAvalanche hAlphaAvalanche
75 }
76
77 *-----
78 * Math Section
79 *-----
80
81 Math{
82     WallClock
83     -Derivatives
84     AvalDerivatives
85     Iterations=50
86     NotDamped=100
87     Method=ILS
88     RecBoxInteger
89     Number_Of_Threads=maximum
90     StackSize=100000000
91     Extrapolate
92     RelErrControl
93 }
94
95 *-----
96 * System Section
97 *-----
98
99 System{
100     Plot "28nmSOIMemCellCurves_n@node@" (time() v(OUTL) v(OUTR) i(mnl GND))
101     SOIn mnl("source"=GND "drain"=OUTL "gate"=OUTR "substrate"=GND "backplane"=GND)
102     pmos mpl(OUTL OUTR VDD VDD){l=28n w=80n pd=400n ps=400n ad=9600e-18 as=9600e-18}
103     nmos mnr(OUTR OUTL GND GND){l=28n w=190n pd=620n ps=620n ad=22800e-18 as=22800e-18}
104     pmos mpr(OUTR OUTL VDD VDD){l=28n w=80n pd=400n ps=400n ad=9600e-18 as=9600e-18}
105     nmos mnal(BL WL OUTL GND){l=28n w=140n pd=520n ps=520n ad=16800e-18 as=16800e-18}
106     nmos mnar(BLE WL OUTR GND){l=28n w=140n pd=520n ps=520n ad=16800e-18 as=16800e-18}
107     Vsource_pset Vdd(VDD GND) {dc=1.0}
108     Vsource_pset Wline(WL GND) {dc=0.0}
109     Isource_pset Bline(BL GND) {dc=0.0}
110     Isource_pset Bnline(BLE GND) {dc=0.0}
111     Set (GND=0.0)
112     Initialize (OUTR=0.0)
113     Initialize (OUTL=1.0)
114 }
115
116 *-----
117 * Solve Section
118 *-----
119
120 Solve{
121     Coupled (Iterations=1000){Circuit}
122     Coupled (Iterations=100){Poisson}
123     Coupled (Iterations=100){Poisson Circuit}
124     Coupled (Iterations=100){Circuit Poisson Contact}
125     Coupled (Iterations=100){Circuit Poisson Contact Hole Electron}
126     Transient(InitialTime=0 FinalTime=1e-9 InitialStep=1e-12 MaxStep=1e-12 Plot{Range=(0 1e-9) Intervals=10})
127     {Coupled (Iterations=100){Circuit mnl.Poisson mnl.Contact mnl.Electron mnl.Hole}}
128 }

```

G.13 Script de Inspect para obter a Corrente Pico e a Carga Total do transistor FDSOI de 28nm *High-K*

```

1 #
2
3 #
4 # Inspect Script for extract the Peak Current and Total Charge from the experiment
5 #
6 # 01/04/2016
7 #
8
9 set ProjName "Transitorial"
10 set Curve "Current"
11
12 proj_load 28nmFDSOIHiK_45_n@previous@_des.plt $ProjName
13
14 cv_create $Curve "$ProjName time" "$ProjName i(mnl,GND)" y
15
16 set Imax [cv_compute "vecmax(<$Curve>)" A A A A ]
17 set Qmax [cv_compute "vecmax(integr(<$Curve>))" A A A A ]
18
19 ft_scalar Ipeak $Imax
20 ft_scalar Qtot $Qmax

```

G.14 Script de Inspect para obter a Corrente Pico, Carga Total e o Estado de uma célula SRAM FDSOI de 28nm *High-K*

```

1 #
2
3 #
4 # Inspect Script for extract the Peak Current, Total Charge and Status from the experiment
5 #
6 # 29/03/2016
7 #
8
9 set ProjName "MemCellFDSOI"
10 set Curve "Current"
11 set Curve2 "Voltage"
12 set Ival "0.1e-9"
13 set Fval "0.9e-9"
14
15
16 # YOU MUST TO CHANGE THE ANGLE VALUE TO DON'T HAVE ERRORS!!! --->
17 proj_load 28nmSOIMemCellHKCur_n@previous@_des.plt $ProjName
18
19 # Create Curves
20 cv_create $Curve "$ProjName time" "$ProjName i(mnl,GND)" y
21 cv_create $Curve2 "$ProjName time" "$ProjName v(OUTL)" y2
22
23 # Obtain Maximum Current and Maximum Charge
24 set Imax [cv_compute "vecmax(<$Curve>)" A A A A ]
25 set Qmax [cv_compute "vecmax(integr(<$Curve>))" A A A A ]
26
27 # Obtain initial and final data values in a cell at time
28 set Vouti [cv_compute "vecvaly(<$Curve2>,$Ival)" A A A A ]
29 set Voutf [cv_compute "vecvaly(<$Curve2>,$Fval)" A A A A ]
30 set Voutr [expr $Vouti - $Voutf]
31

```

```
32 # Evaluation of the Flip condition
33 # YOU MUST BE RESPECT THIS STRANGE STRUCTURE: IS WITH ENTERS!!!
34 if {$Voutr < 0.5} {
35     set Status "No"
36 } else {
37     set Status "Yes"
38 }
39
40 # Put results on Sentaurus Workbench Variables
41 ft_scalar Ipeak $Imax
42 ft_scalar Qtot $Qmax
43 ft_scalar FlipCell $Status
```