

SALÃO DE
INICIAÇÃO CIENTÍFICA
XXIX SIC
**UFRGS**
PROPESQ



múltipla 
UNIVERSIDADE
inovadora  inspiradora

Evento	Salão UFRGS 2017: SIC - XXIX SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2017
Local	Campus do Vale
Título	Adaptação de uma Plataforma para Avaliação da Confiabilidade de Sistemas de Comunicação em FPGAs
Autor	EDUARDO NUNES DE SOUZA
Orientador	GABRIEL LUCA NAZAR

Título: “Adaptação de uma Plataforma para Avaliação da Confiabilidade de Sistemas de Comunicação em FPGAs”

Autor: Eduardo Nunes de Souza

Orientador: Prof. Dr. Gabriel Luca Nazar

Instituição de origem: Laboratório de Sistemas Embarcados - INF/UFRGS

Os sistemas de comunicação utilizam FPGAs (*Field Programmable Gate Arrays*) extensivamente para a implementação de seus projetos. Além da possibilidade de reconfiguração, estes dispositivos possibilitam um alto desempenho a um baixo custo de desenvolvimento. Esses sistemas, todavia, requerem uma alta confiabilidade (especialmente aplicações críticas como satélites de comunicação) e, para tanto, técnicas de tolerância a falhas são utilizadas com o intuito de garantir esse requisito.

Quando expostos a determinados ambientes, os FPGAs apresentam um alto índice de falhas devido a partículas ionizantes presentes no meio. Dessa forma, se faz necessário avaliar o impacto dessas falhas através de simulações.

O presente trabalho consistiu na adaptação de uma plataforma de injeção de falhas que foi originalmente desenvolvida para o FPGA Virtex-5 XC5VLX110T-1FF1136 para o FPGA Kintex-7 XC7K325T-1FFG676. O uso do novo FPGA faz-se necessário devido a sua maior capacidade lógica, que permite avaliar circuitos de maior complexidade. Dentre os circuitos de interesse do projeto de pesquisa onde esse trabalho se insere estão circuitos para reconhecimento de expressões regulares e decodificadores LDPC (*Low-Density Parity Check*).

O FPGA Virtex-5 possui 17280 *slices* e conta com uma interface PCI-express 1.0 x1, o que garante uma comunicação *full-duplex* a uma taxa de transferência de 250MB/s. O FPGA Kintex-7 possui 50950 *slices* (quase três vezes mais que o Virtex-5) e uma interface PCI-express 2.0 x4 que também suporta uma comunicação *full-duplex*, porém a uma taxa de 2GB/s.

O projeto é dividido em três grandes módulos. O primeiro módulo é responsável por fazer a comunicação entre o *Host* e o FPGA através da interface PCI-express. Foi utilizado o Xillybus, que consiste em um módulo IP Core para o FPGA e um driver para o sistema *host*. Houve um acréscimo no número de *lanes* da interface PCI-express de uma placa para a outra (no Virtex-5 há apenas um e no Kintex-7 são quatro *lanes*). Por esse motivo, diversas modificações foram necessárias nesse módulo. Para validá-lo, foi utilizado um circuito simples de *loopback*.

O segundo módulo do projeto é responsável por realizar a sincronia entre o host e o FPGA (troca de mensagens através do módulo PCI-express) e por realizar a injeção de falhas na memória de configuração do FPGA. Esse módulo é o que sofreu mais alterações, visto que o endereçamento dos frames muda bastante de uma placa para a outra.

O terceiro e último módulo é o circuito sob teste (*Circuit Under Test - CUT*) que, no escopo do projeto de pesquisa onde este trabalho se insere, será tipicamente um circuito com necessidades de recursos lógicos de moderadas a grandes, conforme mencionado anteriormente.

As ferramentas utilizadas nesse trabalho foram o ISE, o Plan Ahead e o FPGA Editor, todas ferramentas da Xilinx para programar o FPGA e detalhar a memória de configuração. Foi utilizado essencialmente a linguagem VHDL para programar o FPGA e, apenas no módulo do PCI-express, há alguns arquivos descritos em Verilog. No *host*, foi utilizado o Code Blocks para adaptar o programa em C++ que realiza a interface com a placa.