



**Universidade:  
presente!**

**UFRGS**  
PROPEAQ



**XXXI SIC**

21. 25. OUTUBRO • CAMPUS DO VALE

<b>Evento</b>	Salão UFRGS 2019: SIC - XXXI SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2019
<b>Local</b>	Campus do Vale - UFRGS
<b>Título</b>	Desenvolvimento de Bibliotecas de Células Digitais CMOS de 28nm para Computação de Ultrabaixo Consumo (ULP-NTC)
<b>Autor</b>	RODRIGO NOGUEIRA WUERDIG
<b>Orientador</b>	SERGIO BAMPI

# Desenvolvimento de Bibliotecas de Células Digitais CMOS de 28nm para Computação de Ultrabaixo Consumo (ULP-NTC)

Rodrigo N. Wuerdig\*, Sergio Bampi

PGMICRO e Instituto de Informática - Universidade Federal do Rio Grande do Sul

\* Bolsista IC – FAPERGS – Projeto ULP Radio

## Resumo

O projeto de Circuitos Integrados (CIs) CMOS de consumo ultrabaixo é requisito central para as inovações em nanoeletrônica. Internet das Coisas (*Internet of Things - IoT*), *Green Computing*, *Aging-Aware Design*, etc são importantes motivadores à inovação em micro-dispositivos. O efeito de *aging* decorre da injeção de portadores de carga (elétrons para transistores NMOS e “lacunas/buracos” para PMOS), de alta energia, do canal para o óxido isolante de porta. Estes portadores geram “traps”/defeitos ativos no óxido que alteram o limiar de condução e a mobilidade dos transistores MOSFET com o decorrer do tempo e com a atividade de chaveamento digital. A miniaturização do canal (comprimento) dos transistores impacta diretamente no *aging* dos circuitos integrados (CI). A redução das tensões de dreno e de gate reduz o efeito, porém causa uma grande redução no desempenho dos CIs. Operar portas lógicas em *near-threshold* (NTV) minimiza o efeito de *aging* do dispositivo, assim como pode levar a um incremento expressivo (de 5 a 20 vezes) na eficiência energética por operação lógica. A redução do consumo de energia contribui para dispositivos IoT operarem de modo mais autônomo, como *Green Computing devices*.

Há grande diversidade de bibliotecas de células CMOS para diversos nodos tecnológicos e aplicações, porém elas são majoritariamente desenvolvidas para operar em tensão nominal (900 mV para a tecnologia de 40 nm). Diversos autores apontam que o Vdd de mínima energia (*Minimum Energy Point - MEP*), que é a alimentação onde o circuito digital síncrono CMOS (combinacional e registradores) opera com a maior eficiência energética por operação, é de aproximadamente 300 mV, para diversas aplicações e tecnologias CMOS.

Este trabalho propõe e desenvolve uma biblioteca de células CMOS para operação em 300 mV, de forma a explorar a maior eficiência energética para operação em Near-Threshold. As bibliotecas são desenvolvidas para tecnologias CMOS bulk de 40 nm e 28 nm da TSMC. Trata-se de um grande desafio, haja vista o grande incremento da variabilidade de desempenho, da potência estática e redução da margem de ruído em tensões tão baixas. Superados os desafios, as bibliotecas irão ser usadas no projeto de um rádio-receptor CMOS com PLL e circuitos de controle digital e filtros digitais do projeto FAPERGS ULP-Radio. A biblioteca a ser desenvolvida conta com um conjunto inicial de 31 células, sendo 8 lógicas diferentes com diversas capacidades de chaveamento (*Drive Strength*), assim como 6 células extras para o desenvolvimento de testes com circuitos assíncronos. Há diversos obstáculos quanto a confecção de células para baixo Vdd, haja visto que o fluxo de desenvolvimento de células padrão não se enquadra para circuitos que operam perto da tensão de limiar (*Near-Threshold - NTV*). Além do desenvolvimento das bibliotecas de células, incluindo desde o desenvolvimento de metodologias para dimensionamento de transistores, caracterização das células e síntese de circuitos de teste, serão aperfeiçoadas as análises dos circuitos do projeto ULP Radio com o fluxo de *standard-cells* com as bibliotecas desenvolvidas pelo autor.

## Palavras-chave:

Projeto de Circuitos Integrados, Células Lógicas CMOS; Ultra-Low Power ; MEP; Computação em “*Near-Threshold*” (NTC).