

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
CURSO DE PÓS-GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO

**Uma Técnica de Depuração e Teste
de Circuitos Integrados
Usando Um Microscópio Eletrônico**

por

CARLOS JESUS ORELLANA HURTADO

Dissertação submetida à avaliação, como requisito parcial para
a obtenção do grau de Mestre em
Ciência da Computação

Prof. Altamiro Amadeu Suzim
Orientador

Prof. Ricardo Augusto da Luz Reis
Prof. Tiaraju Vasconcelos Wagner
Co-orientadores

Porto Alegre, agosto de 1986.

Agradecimentos

Ao meu orientador Prof. Altamiro Amadeu Suzin pelas discussões e orientação no decorrer do trabalho.

Aos meus co-orientadores Prof. Ricardo Augusto da Luz Reis e Tiaraju Vasconcelos Wagner pelas críticas e sugestões.

Ao Prof. Dante Barone pelo apoio e incentivo.

Ao Prof. Francisco Kiss e Prof. Sérgio Zim (Departamento de Metalurgia– UFRGS) pelos ensinamentos na área de microscopia eletrônica e pelas facilidades concedidas no uso da ferramenta MEV.

Ao pessoal da equipe de pesquisa em arquitetura dos computadores do laboratório TIM3, Instituto IMAG-França, pela bibliografia fornecida.

Ao corpo docente da Pós Graduação em Ciências da Computação da Universidade Federal do Rio Grande do Sul.

Aos meus colegas e funcionários que colaboraram diretamente ou indiretamente com o trabalho.

Ao CNPQ pelo apoio recebido.

A Cleusa, Carlinhos e Pablo

Sumário

Lista de Abreviaturas	6
Lista de Figuras	7
Lista de Fotografias.....	9
Lista de Tabelas	11
Resumo.....	12
Abstract	13
1 Introdução	14
1.1 Teste e Depuração de Circuitos Integrados	14
1.2 Hipótese de Erro de Concepção	14
1.3 Erros de projeto (Concepção)	15
1.4 Circuitos	15
1.5 Teste funcional de protótipos	16
2 A Ferramenta	19
2.1 Introdução	19
2.2 MEV (Microscópio Eletrônico de Varredura).....	19
2.2.1 Emissão de elétrons e fótons da amostra (Princípio de funcionamento).....	20
2.2.2 Coletor Everhart – Thornley (ET).....	22
2.2.3 Modo de exibição da informação	22
2.2.4 Formação de imagens	23
2.2.5 Contraste por tensão	25
2.2.6 Acondicionamento de circuitos	27
2.2.7 Efeitos negativos do feixe em circuitos MOS.....	28
2.2.8 Condições de observação	32
2.3 Retirada de sinais via feixe eletrônico.....	32
2.4 Determinação dos níveis de cinza em relação à variação do nível de tensão.....	33
2.5 Proposta de uma ferramenta MEV	35
3 Técnicas de Observação	37
3.1 Introdução	37
3.2 Contraste por Tensão - Record	37
3.3 Contraste por Tensão - Tv	38
3.4 Código por Tensão	38
3.5 Estroboscopia.....	39
3.6 Amostragem.....	40
3.7 Conclusões	41
4 Técnica de Teste e Depuração	43

4.1	Introdução	43
4.2	Observação de circuitos MOS	43
4.3	Observabilidade e Controlabilidade	54
4.3.1	Técnicas de Projeto visando o Teste	55
4.3.2	Estruturas sensíveis ao feixe eletrônico.....	60
4.3.3	Aumento da observabilidade	63
4.4	Documentação necessária	66
4.5	Inspeção	67
4.6	Depuração	68
4.6.1	Polarização	69
4.6.2	Identificação de blocos que contêm erros.....	70
4.6.3	Localização de erros nos blocos funcionais.....	71
5	Outras Aplicações	87
5.1	Caracterização dos Materiais	87
5.2	Inspeção	87
5.3	Análise microfotográfica (engenharia reversa)	88
5.4	Análise de falhas	88
6	Conclusões	89
ANEXO 1	91
ANEXO 2	100
ANEXO 3	102
ANEXO 4	103
ANEXO 5	104
ANEXO 6	105
ANEXO 7	109
ANEXO 8	114
BIBLIOGRAFIA	116

Lista de Abreviaturas

EBIC	Electron Beam Induced Current
F1	Fase 1
F2	Fase 2
MEV	Microscópio Eletrônico de Varredura
MOS	Metal Oxide Silicon
PAC	Projeto Auxiliado por Computador
PLA	Programmed Logic Array
PVT	Projeto Visando o teste
RAM	Random Access Memory
ROM	Read Only Memory
RT	Registrador de Transferência
VLSI	Very Large Scale Integration

Lista de Figuras

Figura 1.1 Modelo de um circuito	15
Figura 1.2 Desenvolvimento de um circuito	17
Figura 2.1 Ferramenta MEV	19
Figura 2.2 Emissão de elétrons e fótons	21
Figura 2.3 Coletor Everhart – Thornley [GOL 77].....	22
Figura 2.4 Vista de corte da coluna ótica do MEV.....	24
Figura 2.5 Linhas equipotenciais ao redor da trilha.....	27
Figura 2.6 Acondicionamento de circuitos.....	28
Figura 2.7 Ação do feixe no CI	29
Figura 2.8 Coeficiente de emissão em função da energia do feixe de elétrons [GOL 77].....	31
Figura 2.9 Sinal visto na tela do osciloscópio.....	33
Figura 2.10 Visualização de um Inversor	33
Figura 2.11 Nível de cinza.....	34
Figura 2.12 Diagrama de blocos da ferramenta	35
Figura 3.1 Código de tensão-x	38
Figura 3.2 Estroboscopia	40
Figura 3.3 Amostragem.....	41
Figura 4.1 Exemplo de aplicação do particionamento.....	56
Figura 4.2 Exemplo de aplicação de pinos de teste	57
Figura 4.3 Diagrama de blocos de um registrador deslocador	58
Figura 4.4 Diagrama lógico de um registrador deslocador	58
Figura 4.5 Interconexão de células de um registrador deslocador	59
Figura 4.6 Aplicação de um reg. deslocador em um circuito seqüencial.....	60
Figura 4.7 Diagrama de um registro chaveado pelo feixe eletrônico.....	61
Figura 4.8 Controle de uma máquina de estados.....	62
Figura 4.9 Multiplexador controlado pelo feixe eletrônico	62
Figura 4.10 Particionamento com estruturas sensíveis ao feixe	63
Figura 4.11 Pontos de teste	64
Figura 4.12 Colocação de pontos de teste.....	64
Figura 4.13 Ponte metálica em inversores	65
Figura 4.14 Anel de teste	66
Figura 4.15 Linhas de alimentação interrompidas.....	70
Figura 4.16 Teste de blocos	71
Figura 4.17 Localização de erros	72
Figura 4.18 Diagrama lógico do registrador estático	73
Figura 4.19 Layout da célula do registrador estático.....	73

Figura 4.20 Diagrama lógico do registrador deslocador.....	75
Figura 4.21 Layout da célula do registrador deslocador.....	76
Figura 4.22 Layout de todas as camadas de um bloco operativo da qual faz parte o registrador deslocador	77
Figura 4.23 Layout da camada metálica de um bloco operativo da qual faz parte o registrador deslocador.....	78
Figura 4.24 Layout PLA.....	81

Lista de Fotografias

Fotografia 2.1 Imagem da superfície de um circuito(A= x500, E= 40 μm).....	25
Fotografia 2.2 Imagem com contraste por tensão (A= x500, E = 40 μm).....	26
Fotografia 4.1 Visualização de linhas de polisilício, difusão e metálicas de circuito NMOS (A= x80, E = 40 μm)	44
Fotografia 4.2 Linhas Metálicas e pontos de solda de circuito NMOS (A= x20, E= 1mm)	45
Fotografia 4.3 Superfície de circuito NMOS (A= x50, E= 400 μm)	45
Fotografia 4.4 Carga da camada de óxido (A= x650, E= 20 μm)	46
Fotografia 4.5 Carga da camada de óxido de circuito Multi-projeto NMOS sem passivação (A= x30, E= 400 μm)	47
Fotografia 4.6 Imagem com contraste por tensão nas linhas metálicas (A= x80, E= 40 μm)	47
Fotografia 4.7 Contraste por tensão de circuito passivado (A= x60, E= 200 μm)	48
Fotografia 4.8 Observação de sinais DC (A= x500)	49
Fotografia 4.9 Observação de sinal AC (A= x500)	49
Fotografia 4.10 Linhas metálicas contendo relógio de duas fases (A= x640, E= 20 μm).....	50
Fotografia 4.11 “Pad” relógio de duas fases visto através do microscópio ótico (A= x200)	51
Fotografia 4.12 “Pad” relógio na fase Φ_1 (A= x300).....	51
Fotografia 4.13 “Pad” relógio na fase Φ_2 (A= x300).....	52
Fotografia 4.14 Observação de área de circuito integrado ao microscópio eletrônico (A= x200)	53
Fotografia 4.15 Observação de sinal AC nas linhas em polisilício (A= x300)...	53
Fotografia 4.16 Imagem de oscilador em anel imediatamente após ter sido desligada a alimentação (A= x220, E= 100 μm).....	54
Fotografia 4.17 Região de um circuito com partículas de poeira na superfície (A= x130)	68
Fotografia 4.18 Vista Três registros do registrador estático (A= x1000).....	74
Fotografia 4.19 Três registros do registrador estático (A= x1000)	75
Fotografia 4.20 Registrador deslocador no estado binário 011110 (A=x320, E = 40 μm).....	79
Fotografia 4.21 Registrador deslocador no estado binário 001111 (A=x320, E= 40 μm).....	79
Fotografia 4.22 Registrador deslocador no estado binário 000010 (A=x320, E= 40 μm).....	80

Fotografia 4.23 Contraste por tensão do PLA (A=x130).....	82
Fotografia 4.24 A máquina no estado A (A=x130)	82
Fotografia 4.25 A máquina no estado B (A=x130)	83
Fotografia 4.26 A máquina no estado C (A=x130, E = 100 μm).....	83
Fotografia 4.27 A máquina no estado D (A=x130, E = 100 μm).....	84
Fotografia 4.28 Seqüência de localização de um erro(A=x50, E = 400 μm)	85
Fotografia 4.29 Seqüência de localização de um erro(A=x200, E = 100 μm) ..	85
Fotografia 4.30 Seqüência de localização de um erro(A=x520, E = 40 μm)	86
Fotografia 4.31 Seqüência de localização de um erro(A=x2000, E = 400 μm)	86

Lista de Tabelas

Tabela 2.1 Níveis de Tensão aplicados no Inversor.....	34
Tabela 3.1 Técnicas de Observação.....	42

Resumo

O trabalho tem por objetivo mostrar uma técnica de depuração de circuitos integrados VLSI, utilizando um microscópio eletrônico de varredura (MEV) aliado ao fenômeno de contraste por tensão. São abordadas a descrição da ferramenta, técnicas de observação e depuração dos circuitos, bem como, são sugeridas estratégias de concepção visando facilitar a depuração dos circuitos. Embora tenham sido utilizados circuitos NMOS para realizar as experiências, a técnica é aplicável a circuitos MOS em geral. Resultados experimentais, utilizando circuitos projetados no PGCC, são apresentados.

Palavras-chave: Microeletrônica, Depuração de Circuitos Integrados usando microscópio eletrônico de varredura, Teste de Circuitos Integrados

Abstract

The main goal of this thesis is to show the debugging process of integrated circuits (VLSI) using the scanning electron microscope (SEM) allied to the voltage contrast. The tool description, some observation techniques and the circuits debugging steps are addressed. Some design strategies whose objective is to facilitate tests during the design phase are suggested. Although NMOS circuits have been used for experimental activities, this technique may be applied for MOS circuits in general. Some experimental results have also been presented.

Keywords: Microelectronics, Test of VLSI using scanning electron microscope

1 Introdução

1.1 Teste e Depuração de Circuitos Integrados

Consideramos o teste como sendo o processo de detecção de não conformidades, e depuração como sendo o processo de determinação da exata natureza, localização e eliminação dos problemas que as ocasionaram [FRA 81].

No caso de circuitos integrados, temos vários momentos em que estes processos podem ser utilizados:

- a) concepção (para aprimoramento do projeto);
- b) fabricação (para aprimoramento dos processos);
- c) armazenamento e funcionamento (para fins de confiabilidade).

Como a natureza dos problemas é distinta, admite-se formas diferentes de teste e depuração em cada um destes períodos. Durante a fase da concepção, para realizar o teste e depuração nos vários níveis de descrição (funcional, estrutural, físico) do circuito, costuma-se utilizar ferramentas de PAC (Projeto auxiliado por Computador).

1.2 Hipótese de Erro de Concepção

Durante o desenvolvimento de um circuito é difícil, atualmente, verificar e validar completamente sua concepção antes do mesmo ser fabricado. Existem ferramentas para verificação e validação dos vários níveis de descrição do circuito; estas ferramentas possibilitam a detecção de erros, tanto de implementação como de especificação. No caso de ferramentas para simulação, o grau de detalhamento aumenta à medida que mais baixo for o nível de descrição. A complexidade da simulação também aumenta, ocupando um tempo maior de processamento e necessitando mais recursos de memória. Como consequência, uma simulação muito detalhada do circuito completo torna-se praticamente impossível em circuitos complexos. Enquanto os simuladores a nível RT (Registradores de Transferencia) podem simular computadores inteiros, os simuladores elétricos (SPICE, MSINC) limitam-se à simulação de circuitos com umas poucas centenas de transistores, a menos que sejam utilizados supercomputadores. Portanto, a detecção de todos os erros durante a concepção não é garantida na maioria dos casos.

Por outro lado, se é certo que a automatização das diversas fases da concepção de um circuito (por exemplo a geração automática de células, posicionamento e roteamento) traz como consequência a diminuição da chance de cometer erros, também é certo que sempre estaremos trabalhando sobre modelos aproximados, tanto de sua estrutura física quanto comportamental.

1.3 Erros de projeto (Concepção)

Um erro de projeto é a consequência de uma falha. Especificamente erros de projetos são provocados por falha humana durante a concepção de um circuito. Estes erros podem ser cometidos em qualquer nível de descrição (funcional, estrutural, físico). Portanto, falhas podem ser geradas em qualquer um destes níveis.

1.4 Circuitos

Estamos considerando que os circuitos em depuração são sistemas digitais formados por blocos funcionais agrupados em duas partes: aqueles que formam a parte de controle e aqueles que formam a parte operativa. A parte de controle é responsável pelo seqüenciamento das operações e a parte operativa é responsável pela sua execução [SUZ 85] (ver Figura 1.1).

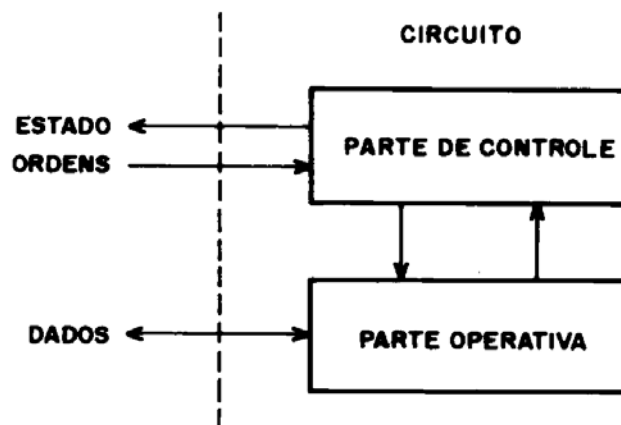


Figura 1.1 Modelo de um circuito

A interface entre a parte operativa e parte de controle é responsável pela conexão entre as duas partes, adaptação de níveis elétricos e algumas vezes pela introdução de tempos (fase).

Os blocos funcionais da parte operativa são estruturas de memorização, transformação e comunicação; respectivamente memórias, operadores e barramentos. As memórias são, basicamente, de dois tipos: as memórias propriamente ditas e os registradores. Os operadores são circuitos combinacionais que realizam uma função de transformação sobre um ou mais operandos (soma, decremento, comparação). Os blocos funcionais da parte operativa podem se comunicar através de um barramento ou de interconexões dedicadas.

Por outro lado, os blocos funcionais da parte de controle são máquinas seqüenciais (contadores, máquinas de estado finito).

1.5 Teste funcional de protótipos

Após a obtenção da primeira pastilha de silício, isto é, após a implementação física de um circuito em desenvolvimento (protótipo), é necessário verificar se o funcionamento do circuito está de acordo com as especificações do projeto e se não houve problemas na implementação. Para tanto, realizamos o teste funcional do mesmo, mas, antes será executado um teste preliminar. O teste preliminar é realizado com o circuito não alimentado, utilizando ohmímetro, para detectar problemas, tais como:

- a) curtos nas linhas de alimentação;
- b) curtos nos pinos de entrada.

Com o circuito alimentado para detectar problemas, tais como:

- a) consumo excessivo de corrente;
- b) sinais de saída que não atingem os níveis de tensão especificados;
- c) superaquecimento do invólucro.

O teste funcional externo pode ser realizado aplicando uma seqüência de vetores de entrada (programa de teste) nos pinos de entrada e observando os sinais nos pinos de saída. A seqüência dos vetores de entrada é definida a partir da especificação funcional do circuito. No momento em que o resultado das saídas for diferente do resultado esperado, estaremos diante de um circuito contendo falhas. O passo seguinte é a depuração do circuito (ver Figura 1.2)

Para localizar as falhas dentro de um protótipo necessitamos acessar os sinais em muitos pontos internos. Tradicionalmente, utiliza-se equipamentos dispendo de ponteiras de teste para contatar estes pontos internos, mas este tipo de ferramentas tem-se demonstrado inadequado para lidar com o circuito de alto grau de integração (VLSI).

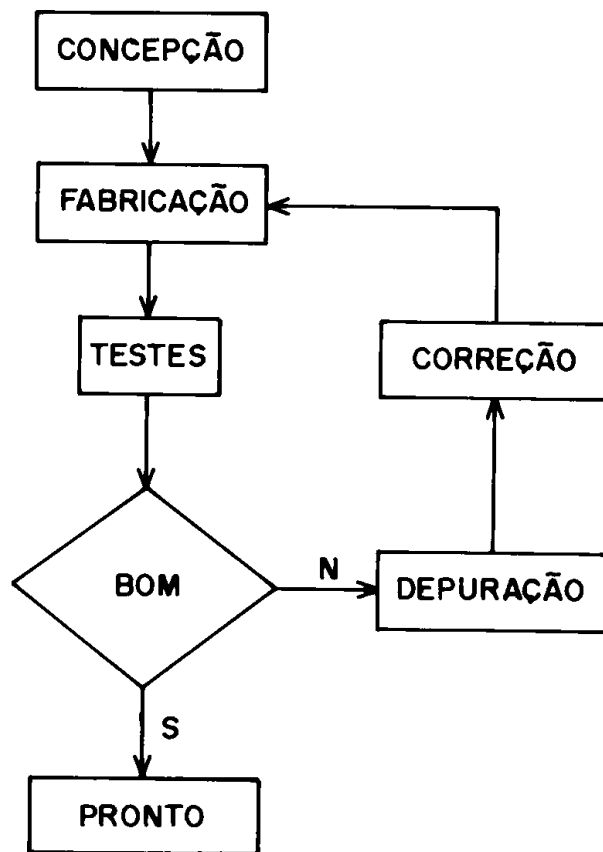


Figura 1.2 Desenvolvimento de um circuito

As desvantagens do uso de ponteiras são:

- risco de dano mecânico devido a problemas de manipulação;
- inserção de uma capacitância parasita que pode ocasionar o mau funcionamento do circuito e/ou alterar as medidas elétricas;
- utilização simultânea de um número limitado de ponteiras;
- manipulação e posicionamento lento das ponteiras;
- retirada ou aplicação de sinais somente em pontos da última camada condutora.

Atualmente estão sendo desenvolvidos equipamentos alternativos que se adaptam melhor ao teste e depuração de circuitos VSLI e que não apresentam as desvantagens das ponteiras mecânicas. Entre estes equipamentos estão:

- o microscópio eletrônico de varredura (MEV);
- a ponteira laser;
- microscópio acústico.

Neste trabalho utilizamos um microscópio eletrônico de varredura (MEV), pertencente ao Laboratório de Microscopia Eletrônica da UFRGS, para realizar a depuração de protótipos. Esta ferramenta permite, além da observação da superfície do circuito (topografia), a 'visualização' paralela dos níveis de tensão e retirada da forma de onda de pontos internos do circuito.

2 A Ferramenta

2.1 Introdução

A ferramenta foi desenvolvida basicamente em partes: a modificação do MEV para acondicionamento de circuitos e o desenvolvimento da unidade de controle de circuitos (ver Figura 2.1). Neste capítulo trataremos da primeira parte.

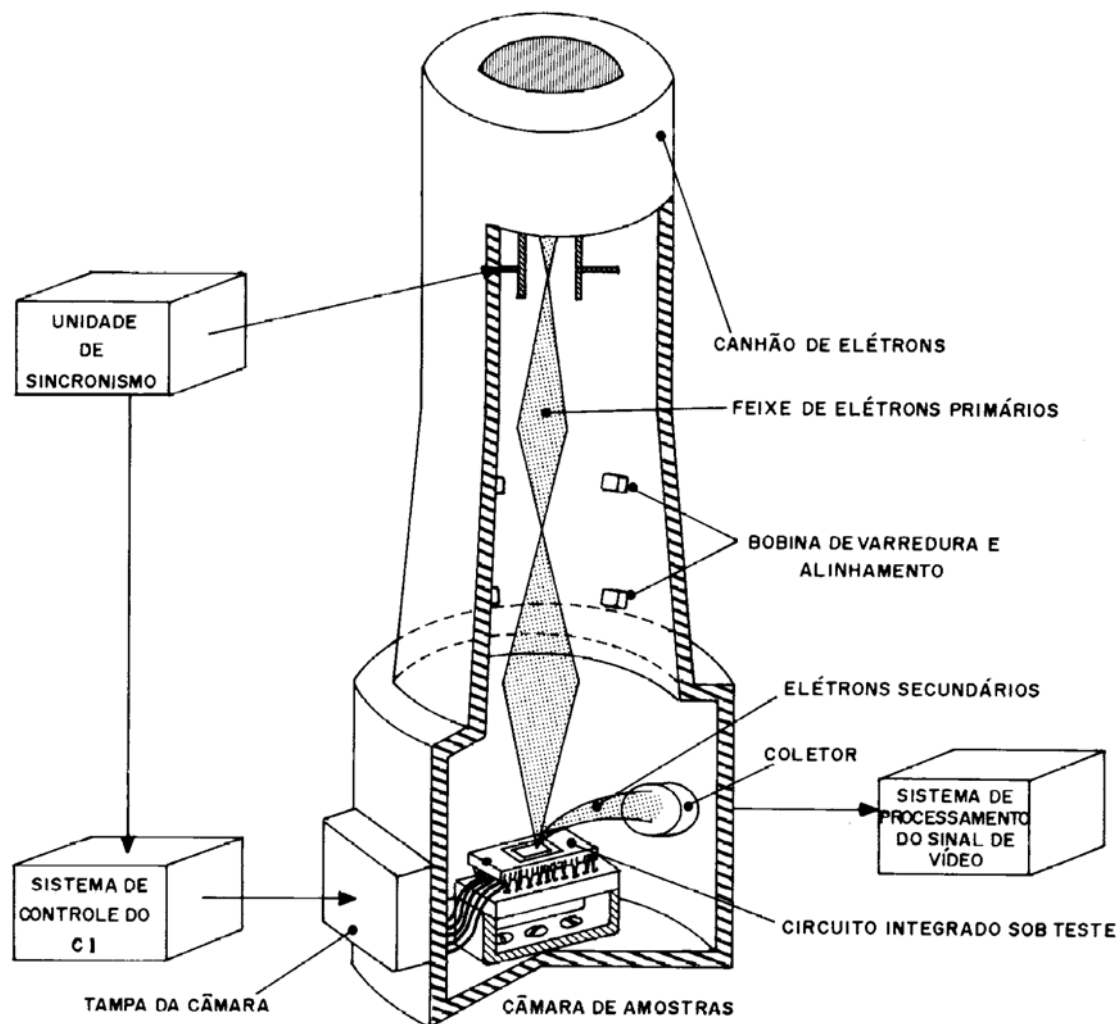


Figura 2.1 Ferramenta MEV

2.2 MEV (Microscópio Eletrônico de Varredura)

O microscópio eletrônico de varredura (MEV) Stereoscan 600 mostra a informação derivada da ação da varredura do feixe de elétrons na superfície da amostra (corrente de feixe 10⁻⁸A). A resolução dos detalhes da amostra é

melhor do que 25nm em condições ótimas de funcionamento. O stereoscan tem uma ampliação entre X20 até X50000 correspondente a uma área da amostra varrida pelo feixe desde 6mm x 5mm até 2,4um x 2um.

2.2.1 Emissão de elétrons e fótons da amostra (Princípio de funcionamento)

Um grande número de interações ocorre quando um feixe de elétrons atinge a superfície da amostra. Entre os principais efeitos temos:

- a) Emissão de elétrons:
 - elétrons secundários;
 - elétrons refletidos;
 - elétrons Auger.

- b) Emissão de fótons:
 - raios X;
 - visíveis.

Elétrons primários com energia de 1-50 Kev, ao atingir a superfície de uma amostra, apresentam características muito complexas. Os efeitos primários sobre estes elétrons que atingem a amostra são:

- a) a dispersão elástica (mudança de direção com pequena perda de energia).
- b) a dispersão inelástica (perda da energia com pequena mudança na direção).

A dispersão elástica é causada principalmente pela interação dos elétrons com os núcleos dos átomos, ocorrendo uma significativa mudança de direção em relação a direção incidente. A dispersão elástica é responsável pela produção de elétrons refletidos, que são elétrons de alta energia (próxima da energia dos elétrons primários). A dispersão inelástica é causada por dois mecanismos, interação inelástica com o núcleo atômico e interação inelástica com os elétrons mais externos ao átomo.

Quando a dispersão inelástica ocorre com os núcleos dos átomos, os elétrons em movimento perdem energia no campo de coulomb do núcleo, que emite radiação branca ou raios x . Na ocorrência de colisões inelásticas, entre os elétrons externos que estão fracamente ligados ao núcleo, e os elétrons incidentes (primários), alguma energia é perdida pelos elétrons primários e estes elétrons externos serão ejetados.

Os elétrons ejetados têm uma energia tipicamente menor ou igual a 50eV e são chamados de elétrons secundários. Se estes elétrons são produzidos perto da superfície e a sua energia é maior do que a energia de barreira da superfície (2 -6eV), os elétrons secundários têm uma grande

probabilidade de escapar da superfície da amostra. Se estes elétrons são produzidos a mais de 100 Å abaixo da superfície da amostra, a probabilidade de escapar é extremamente pequena. Se os elétrons secundários se recombinam com as lacunas formadas durante o processo de dispersão é produzido um fóton, que tem um comprimento de onda dentro do campo visível ou próximo do infravermelho. Em todas as colisões inelásticas, o processo é combinado com a perda parcial ou total da energia dos elétrons primários.

Colisões inelásticas podem provocar uma variedade de processos de ionização. Uma das conseqüências de colisões inelásticas é a produção de raios X. O feixe de elétrons primários perde energia equivalente das camadas K, L, M, etc e os elétrons são ejetados durante a produção dos raios X. Ocasionalmente, depois da ejeção de um elétron, o processo de desequilíbrio pode causar a ejeção de um outro chamado elétron Auger sem emissão de radiação (ver Figura 2.2)

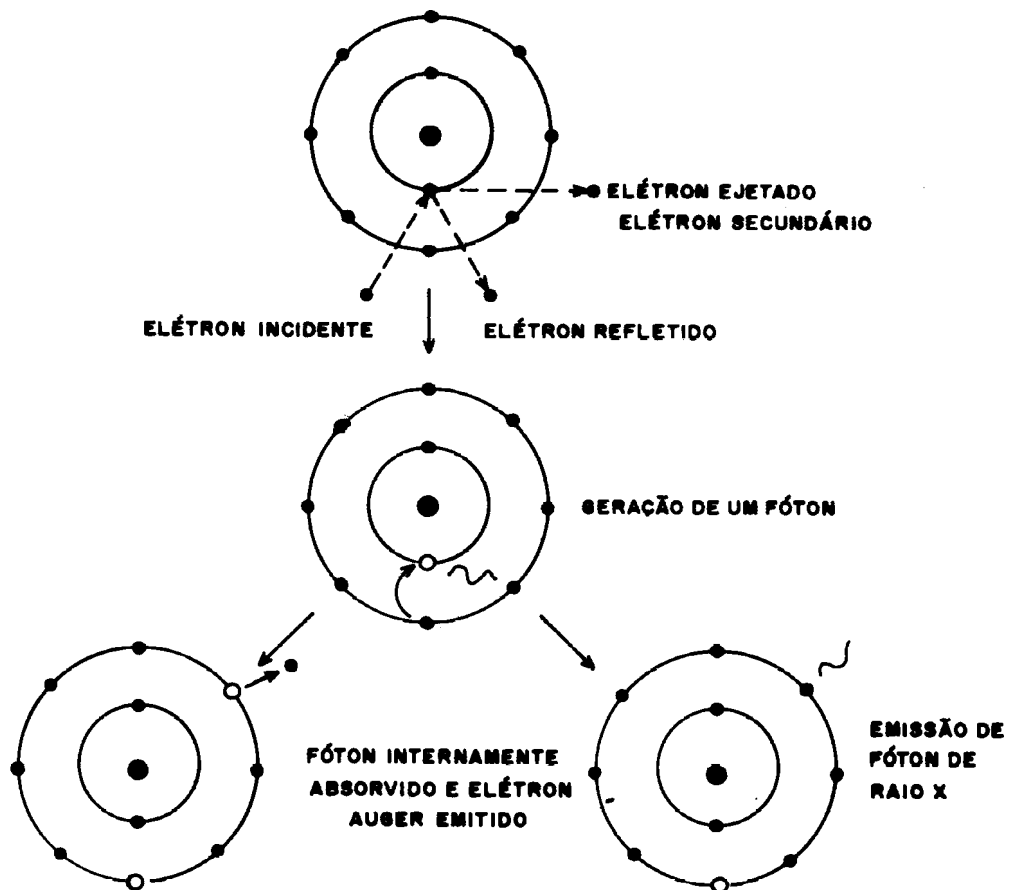


Figura 2.2 Emissão de elétrons e fótons

Cada um destes elétrons ou fótons emitidos pode ser coletado e analisado independentemente, para obter informação relativa a composição, topografia, cristalografia, etc. Para nossos estudos, a emissão mais importante é de elétrons secundários, que contém informação relativa a topografia da

superfície da amostra. O sistema de coleta de elétrons do MEV é tratado a seguir.

2.2.2 Coletor Everhart – Thornley (ET)

O coletor ET (ver Figura 2.3) oferece um sistema flexível para o estudo dos elétrons secundários e elétrons refletidos. Com a gaiola de Faraday mantida em +250V, os elétrons secundários emitidos pela amostra são coletados através do campo elétrico, formado entre a gaiola de Faraday e amostra. A trajetória dos elétrons secundários até o coletor é curva e quase todos elétrons são coletados. Muitos elétrons que são emitidos na direção do coletor são absorvidos pelo campo elétrico. O coletor tem desta forma um grande ângulo sólido de coleção de elétrons secundários. Quando o potencial da gaiola de Faraday é -250V em relação a amostra, os elétrons secundários são quase que completamente repelidos. Por outro lado, os elétrons refletidos de alta energia são os únicos que podem atingir o coletor. Após a coleta dos elétrons emitidos pela amostra (elétrons secundários), o sinal elétrico na saída do fotomultiplicador será proporcional aos elétrons emitidos do ponto onde o feixe está posicionado. O que nos interessa é a coleta dos elétrons secundários, por isso sempre polarizaremos a gaiola de Faraday em +250V. Existem outros tipos de coletores de elétrons que não serão tratados aqui, por não fazerem parte do nosso estudo. O coletor ET é o mais utilizado atualmente.

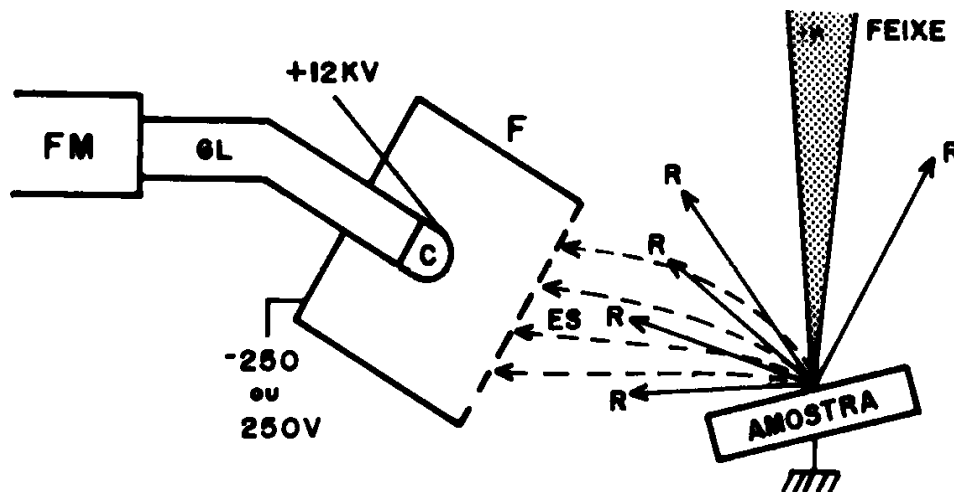


Figura 2.3 Coletor Everhart – Thornley [GOL 77]

2.2.3 Modo de exibição da informação

O MEV tem vários modos de exibição da informação:

- a) Imagem;
- b) imagem reduzida;
- c) gráfica;
- d) linha;
- e) ponto;
- f) modulação Y.

O modo imagem e o modo ponto são os mais importantes para nossas aplicações. O modo imagem consiste na varredura de uma área da superfície da amostra, linha por linha, até completar um quadro. Paralelamente e em sincronismo, a imagem da superfície é formada linha por linha no terminal de vídeo. No modo ponto o feixe de elétrons está livre da ação da varredura, podendo ser posicionado em qualquer ponto da amostra através de um controle manual. A posição do feixe é dado por um ponto luminoso que aparece na tela do vídeo sobre um fundo escuro.

2.2.4 Formação de imagens

O feixe de elétrons é gerado a partir de elétrons emitidos por um filamento de tungstênio (emissão termoiônica), que são acelerados por um campo elétrico entre o cátodo e ânodo (1,5Kv – 25Kv) como mostra a Figura 2.4. Antes de atingir a amostra, o feixe atravessa uma série de bobinas para:

- a) Alinhamento;
- b) Condensação;
- c) Varredura;
- d) Focalização.

O sistema de coleta tem uma grade que quando polarizada positivamente (+250V) atrai elétrons secundários e alguns elétrons refletidos. Estes elétrons contêm informações relativa a topografia da amostra. Quando os elétrons coletados atingem o cintilador, são emitidos fótons, os quais atravessam uma guia de luz até o fotomultiplicador. O sinal do fotomultiplicador é enviado para o sistema de amplificação e repassado para o terminal de vídeo, onde o sinal amplificado modula a intensidade dos raios catódicos, formando a imagem.

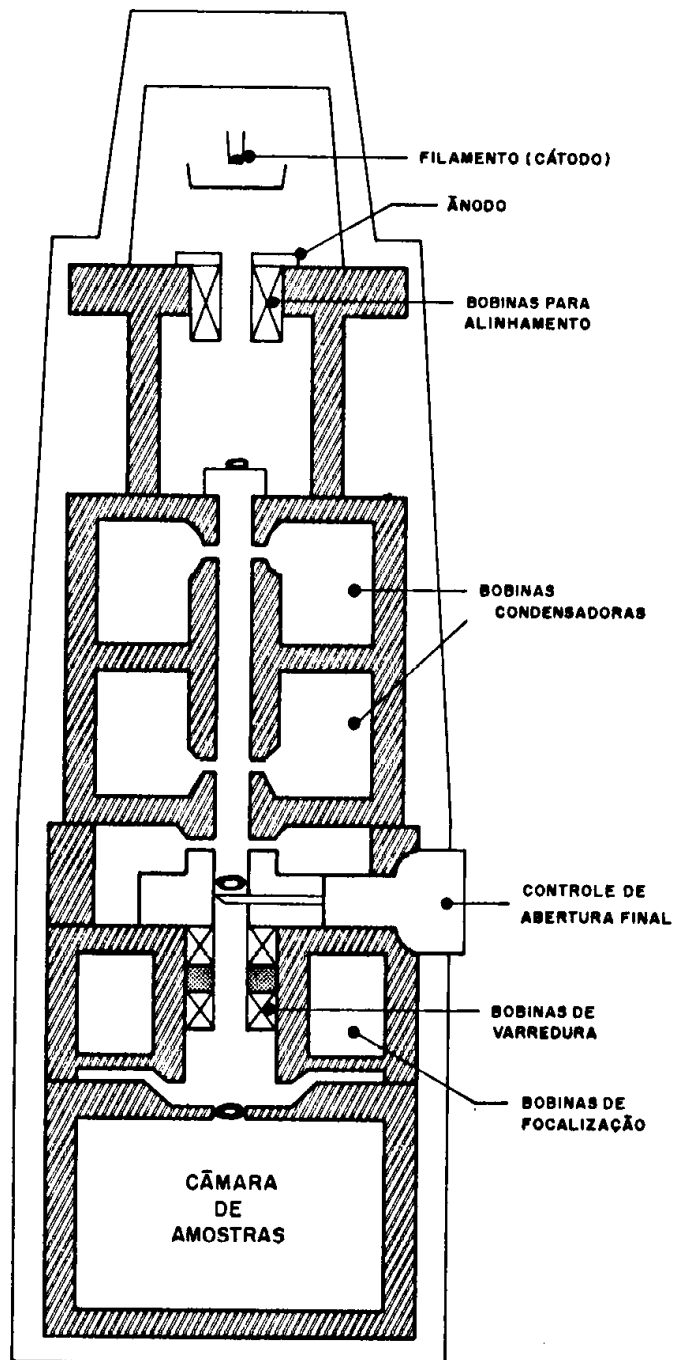


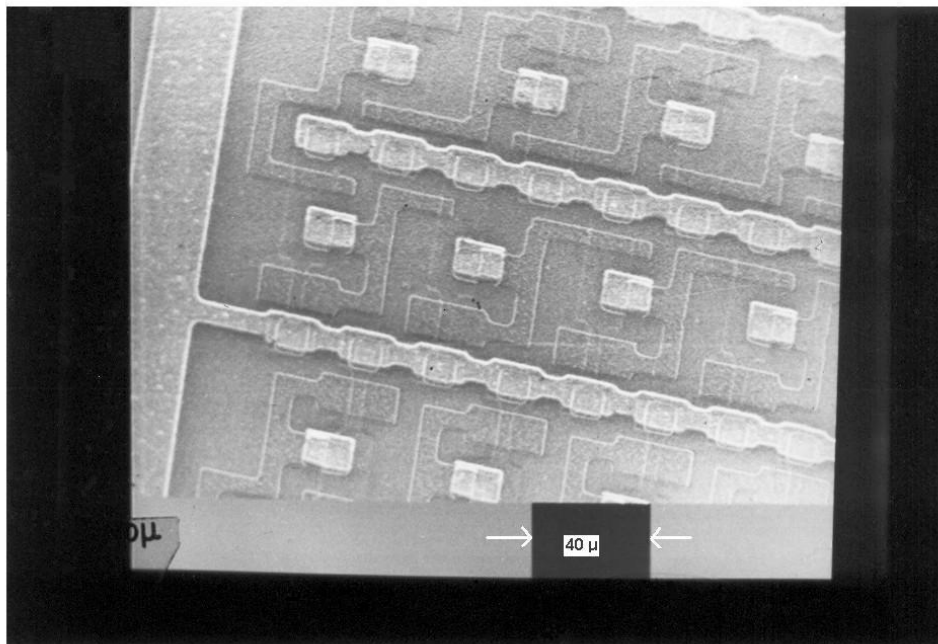
Figura 2.4 Vista de corte da coluna ótica do MEV

A imagem resultante mostra as características topográficas da amostra. Os níveis de contraste observados nas imagens são proporcionais à variação do número de elétrons emitidos e/ou refletidos das diferentes partes da amostra. A emissão de elétrons é uma função de inclinação da superfície em relação a direção de incidência do feixe de elétrons. Assim, variações da superfície varrida pelo feixe se traduzem em variações do número de elétrons coletados. A ampliação da imagem é determinada pela relação entre a área da tela do vídeo, que é fixa, e a área varrida pelo feixe. Podemos aumentar a

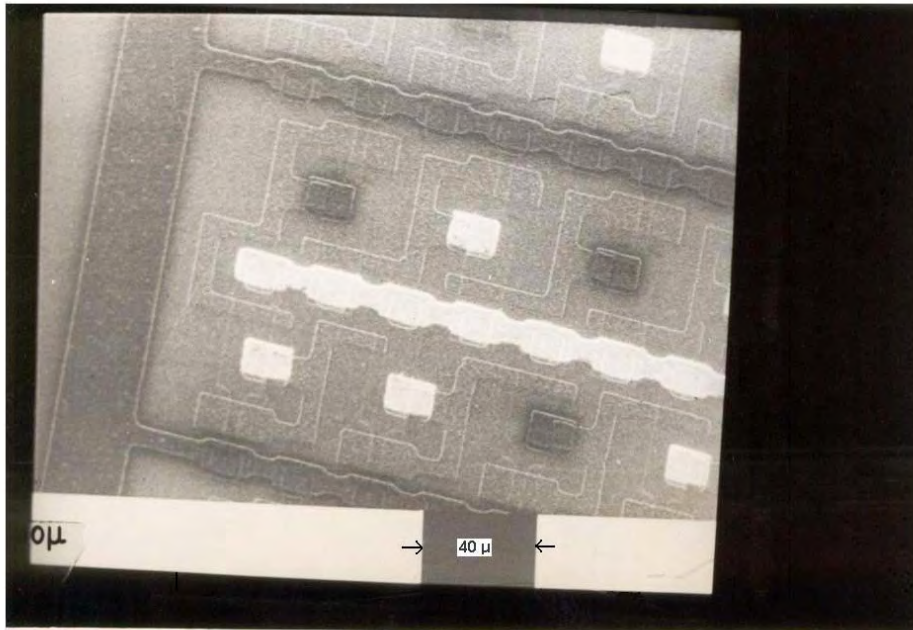
emissão de elétrons e, assim, melhorar a qualidade da imagem obtida, inclinando a amostra em relação a direção de incidência do feixe de elétrons.

2.2.5 Contraste por tensão

Como já foi dito, a maior ou menor quantidade de elétrons que atingem o coletor, depende das características da superfície do circuito (amostra), que é varrido pelo feixe de elétrons. A imagem formada a partir da coleta de elétrons secundários e elétrons refletidos (ver Fotografia 2.1) mostra detalhes da superfície do circuito. Conforme mencionado, os elétrons secundários têm pouca energia ($0 \leq E \leq 50\text{eV}$), sendo sensíveis ao campo elétrico formado entre o coletor e a amostra. Quando alimentamos um circuito digital, observamos uma distribuição de campos elétricos na sua superfície, que são proporcionais aos níveis lógicos de tensão. Para uma linha condutora polarizada em 5V, teremos a formação de um campo elétrico ou de linhas equipotenciais ao seu redor, as quais se superpõem as linhas equipotenciais formadas pelo coletor, como vemos na Figura 2.5. Os elétrons secundários emitidos pelos pontos polarizados em 5V serão retidos no campo elétrico, formado ao redor da linha condutora, e não serão coletados. Por outro lado, os elétrons emitidos das linhas condutoras polarizadas em 0V, serão totalmente absorvidos pelo campo elétrico do coletor. Assim, a imagem da superfície observada mostrará as regiões polarizadas em 5V em tons escuros e as regiões polarizadas em 0V em tons claros (ver Fotografia 2.2), evidenciando o fenômeno chamado CONTRASTE POR TENSÃO.



Fotografia 2.1 Imagem da superfície de um circuito ($A = \times 500$, $E = 40 \mu\text{m}$)



Fotografia 2.2 Imagem com contraste por tensão (A= x500, E = 40 μm)

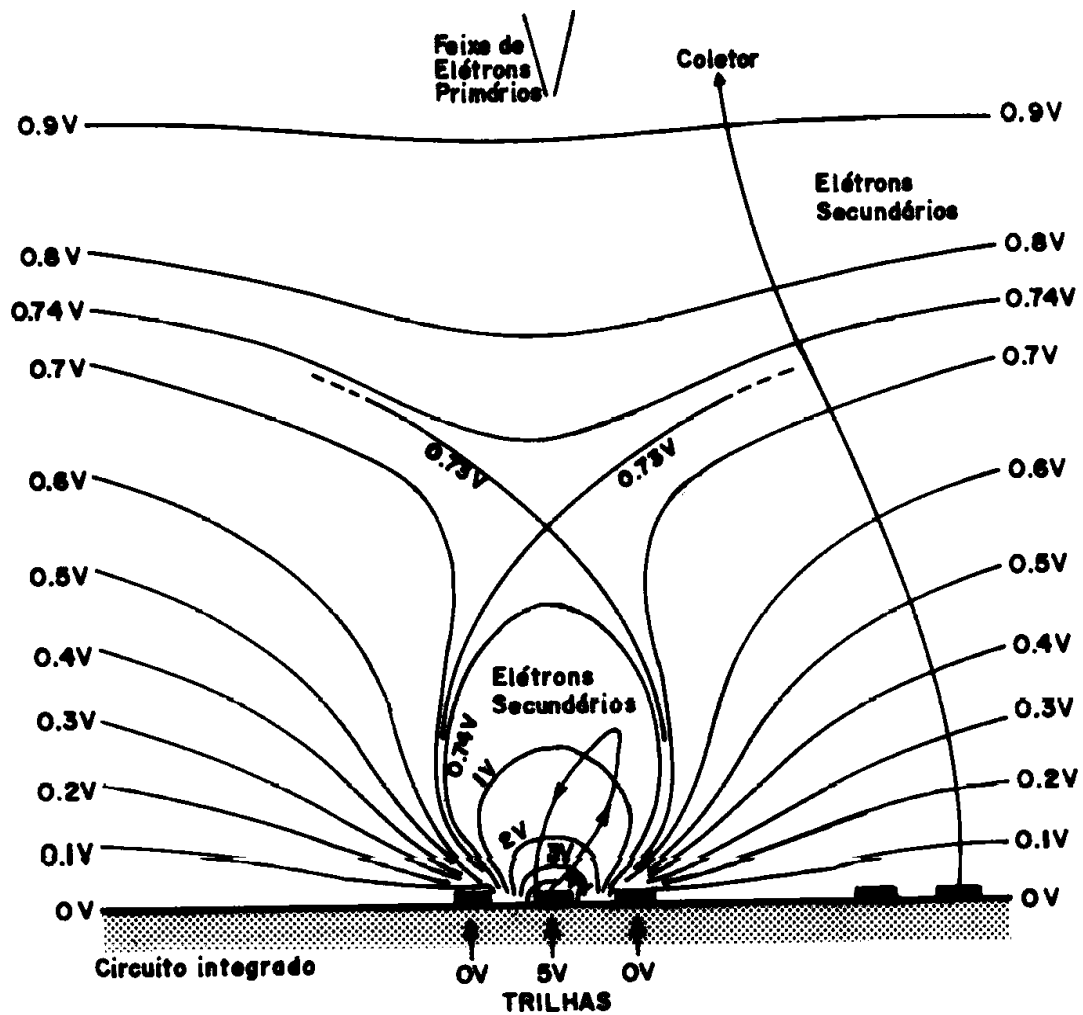


Figura 2.5 Linhas equipotenciais ao redor da trilha

2.2.6 Acondicionamento de circuitos

Foram realizadas algumas modificações na câmara de amostras do MEV, para possibilitar o acondicionamento de circuitos em funcionamento. Assim, um suporte para os circuitos e uma tampa que permitisse a passagem da fiação do meio externo até o circuito foram implementados. O suporte permite a colocação de circuitos de até 40 pinos, podendo ser expandido futuramente (ver Figura 2.6). A fiação conecta os 40 pinos do suporte à unidade de controle de circuitos, onde pode-se configurar cada um deles como pinos de saída, entrada, alimentação e relógio, conforme o circuito a ser observado. O suporte de circuitos pode ser movimentado nas direções x, y e z através de chaves manuais, situadas na parte externa da câmara.

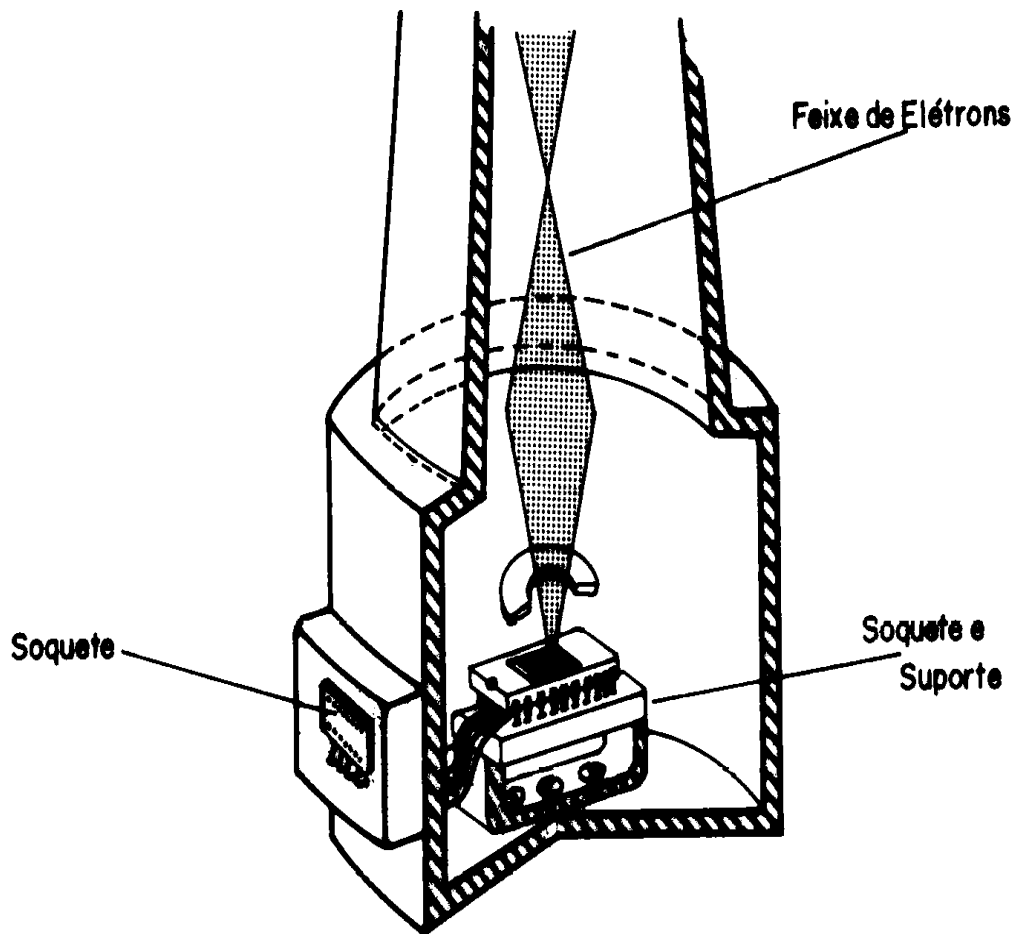


Figura 2.6 Acondicionamento de circuitos

2.2.7 Efeitos negativos do feixe em circuitos MOS

Qualquer amostra pode ser observada no MEV. No caso particular da observação de circuitos integrados, uma variedade de efeitos físicos ocorre quando o feixe atinge a superfície do circuito. Os efeitos listados abaixo, que ocorrem durante a observação do circuito em funcionamento, devem ser evitados, sob pena de dano físico, de funcionamento incorreto ou de não visualização do contraste por tensão:

- a) corrente induzida pelo feixe;
- b) deslocamento da tensão de threshold;
- c) carga na camada de óxido;
- d) deposição de hidrocarbonos.

2.2.7.1 Corrente induzida pelo feixe nas junções p-n

Em dispositivos MOS existem naturalmente muitas junções p-n (ver Figura 2.7), sendo que as mesmas estão sempre polarizadas inversamente. Se o feixe penetrar até estas junções haverá uma geração de pares de elétrons – lacunas. O campo de junção p-n coletará estes portadores e uma corrente induzida pelo feixe será produzida. A indução destas correntes nas junções tem que ser evitada, porque alterará o funcionamento normal do circuito, podendo ocasionar a perda de informação pela inversão de polaridade nas portas dos dispositivos (inversor, NAND ou NOR) ou até inutilizá-los, devido a colocação em curto de alguns pontos. Evita-se o problema com a ativação do feixe de elétrons com baixas energias de aceleração (1-3Kev) e corrente mínima de feixe.

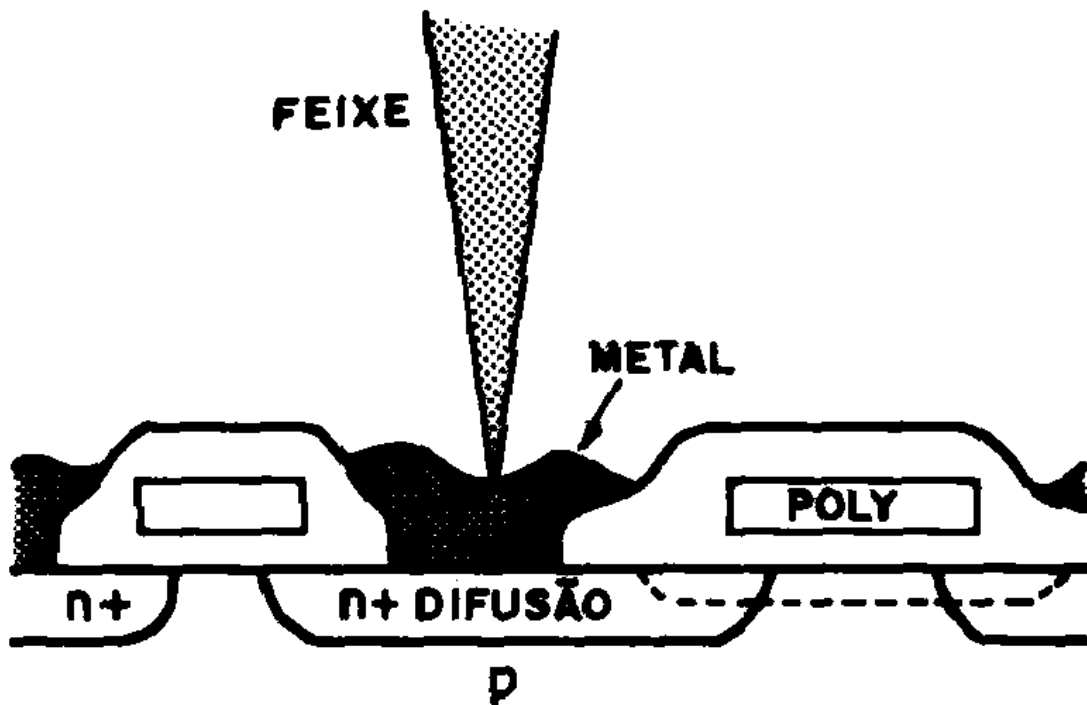


Figura 2.7 Ação do feixe no CI

A penetração do feixe de elétrons com energia de 2Kev é de 700Å em materiais isolantes [GON 78]. Portanto, a existência natural das camadas isolantes já é uma garantia de que estas junções não serão atingidas.

2.2.7.2 Deslocamento da tensão de threshold

Se o feixe de elétrons atingir áreas ativas dos transistores MOS, poderá modificar os parâmetros destes transistores. Quando o feixe atinge a camada de óxido fina dos transistores, provoca a geração de pares de elétrons-lacunas. Estes elétrons, cuja mobilidade é grande, entrarão em um processo de

recombinação na interface SiO₂/Si produzindo uma carga positiva no óxido. Esta carga provocará o incremento da tensão de threshold em transistores PMOS, no caso de transistores NMOS a tensão de threshold será reduzida [BUR 75]. A carga desta camada de óxido pode ser evitada usando o feixe de elétrons com energias entre 2-3Kev [FEU 78].

2.2.7.3 Carga da camada de óxido

Os circuitos integrados têm uma camada protetora e isolante, que protege o circuito contra o contato direto de agentes físico-químicos, que provocam problemas, tais como: corrosão, contaminação, etc. No caso de circuitos em desenvolvimento, para possibilitar o acesso a pontos internos através de ponteiras, esta camada não é depositada. Por outro lado, existem camadas isolantes mais internas do circuito, que em muitos pontos, estão em contato com o meio externo. Estas camadas, quando atingidas pelo feixe de elétrons, tornam-se carregadas, provocando problemas de visualização da imagem da superfície e/ou do contraste por tensão.

Podemos explicar o fenômeno da carga das camadas utilizando a curva mostrada na Figura 2.8. A curva mostra a variação dos coeficientes de emissão (elétrons primários e elétrons secundários) em função da energia dos elétrons incidentes [GOL 77]. Esta curva nos indica que para materiais isolantes existe uma região, na qual o número de elétrons emitidos (secundários e primários) é maior do que o número de elétrons incidentes (primários), isto é, $N+\delta > 1$. Esta região é limitada por dois valores de energia dos elétrons incidentes, E1 e E2, para os quais $N+\delta = 1$. E1 é da ordem de centenas de elétron-volts e E2 está entre 1 a 10 Kev, dependendo do material isolante. Se a energia do feixe incidente for menor do que E1, então $N+\delta < 1$ significando que a quantidade de elétrons emitidos será menor que a quantidade de elétrons incidentes, resultando em uma carga negativa da camada isolante. Esta carga diminuirá a energia efetiva do feixe, produzindo ao mesmo tempo uma diminuição de $N+\delta$. Esta situação continuará até a carga do isolante atingir um nível suficiente para defletir totalmente o feixe incidente. Se a energia do feixe estiver entre E1 e E2, então haverá mais elétrons emitidos do que elétrons incidentes, isto é $N+\delta > 1$. Desta forma a superfície da amostra carrega-se positivamente, e esta carga positiva atua de forma a diminuir o valor efetivo do $N+\delta$, uma vez que os elétrons secundários emitidos são atraídos pela camada isolante carregada. Devido a este processo o valor efetivo de $N+\delta$ torna-se unitário e um valor de equilíbrio é atingido. Operando com $E > E2$ novamente teremos a carga negativa da camada, esta carga diminuirá o valor efetivo da energia do feixe, elevando $N+\delta$ até que o equilíbrio seja atingido. No caso da observação de um circuito polarizado, utilizando baixas tensões de aceleração (1 – 3Kv), é impossível evitar que a camada cobrindo estes pontos se carregue. Dessa forma, depois de alguns segundos, todos os pontos da camada estarão no ponto de equilíbrio, isto é, $N+\delta = 1$. A imagem correspondente a estes pontos terá uma tonalidade uniforme, sendo possível observar somente algumas características topográficas. Para obter uma imagem com contraste por tensão das regiões cobertas pela camada isolante, a energia do feixe de elétrons deve

ser incrementada, até que os elétrons incidentes penetrem esta camada, tornando-a suficientemente condutora, de forma a drenar o excesso de cargas, mas haverá o risco de inutilizar o circuito. Uma outra forma de evitar a carga desta camada é com a deposição de uma camada condutora na superfície (carbono, alumínio, ouro). Esta camada condutora poderá ser ligada à massa do sistema, possibilitando um caminho de condução do excesso de cargas. Isto possibilitará somente a melhor observação das características topográficas da superfície do circuito, não podendo mais observar-se o circuito em funcionamento.

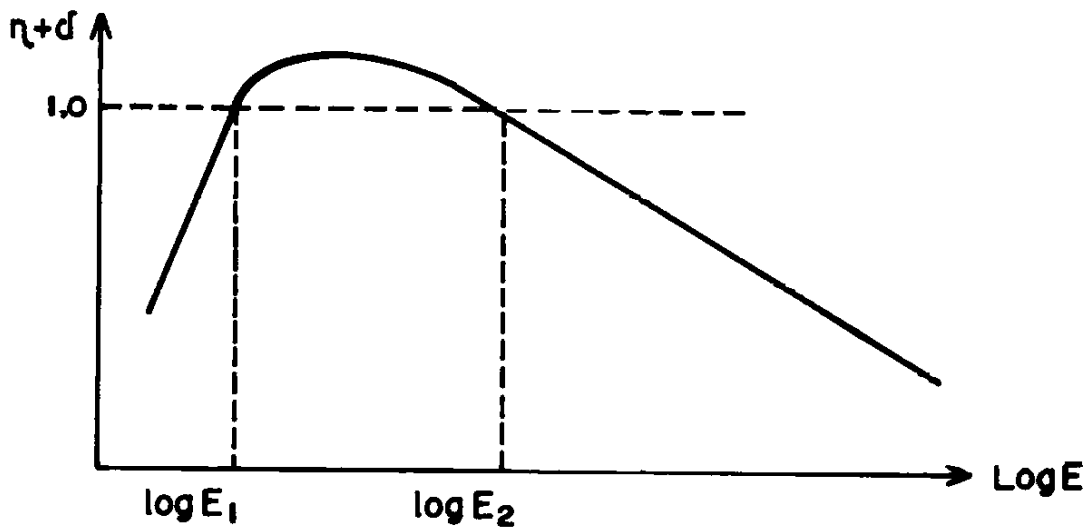


Figura 2.8 Coeficiente de emissão em função da energia do feixe de elétrons [GOL 77]

2.2.7.4 Contaminação por hidrocarbonos

A ação do feixe de elétrons sobre compostos voláteis (graxa, óleo) pode resultar na deposição de carbono e outros elementos sobre a superfície do circuito, portanto, deve-se evitar a contaminação da superfície do circuito por componentes oleosos. O próprio contato físico das mãos com a pastilha pode resultar em uma contaminação. A deposição de carbono durante a observação pode ser vista fazendo-se uma série de ampliações da imagem da superfície, iniciando desde grandes ampliações (varredura de pequenas áreas) até pequenas ampliações (varredura de grandes áreas). O depósito de carbono forma-se rapidamente em grandes ampliações, devido ao incremento da taxa de exposição ao feixe. Observaremos que passando de uma grande ampliação para uma menor, a área anteriormente varrida estará mais escura, indicando a deposição de carbono. Como já dissemos, podemos evitar a contaminação da superfície do circuito, tomando cuidados na manipulação do mesmo e não introduzindo materiais voláteis na câmara de amostras.

2.2.8 Condições de observação

Neste trabalho as condições de observação utilizadas foram aquelas disponíveis no Laboratório de Microscopia Eletrônica da UFRGS, portanto, as limitações do trabalho foram as impostas pelo equipamento disponível. Como já foi dito, temos que ter um cuidado especial na escolha da tensão de aceleração e da corrente de feixe de elétrons. No equipamento disponível a tensão de aceleração mínima de trabalho é de 1,5Kv e uma corrente de feixe da ordem de 10 –8 Amperes. Os resultados das experiências mostraram que, se estes valores não são ótimos, também não provocam danos nos circuitos observados. A câmara está submetida a um vácuo de 10^{-4} T. A obtenção da melhor imagem depende do ajuste das chaves de controle do foco, ganho do sinal de vídeo, brilho e contraste. Para observação de circuitos em funcionamento no modo imagem, um ajuste inicial do nível de contraste do terminal de vídeo é importante. Como sabemos, devido ao contraste por tensão, as regiões polarizadas em 5V são escuras e as regiões polarizadas em 0V são claras, desta forma, dependendo do nível de contraste, estas regiões estarão melhor definidas, isto é, bem escuras ou bem claras

2.3 Retirada de sinais via feixe eletrônico

Com o MEV funcionando no modo ponto, é possível a retirada de sinais de pontos internos de um circuito. Existem diversas técnicas para medidas de sinais (amplitude, forma de onda, propagação) com o feixe de elétrons. A aplicação destas técnicas depende de equipamentos adicionais, da modificação do sistema de coleção de elétrons e do controle do feixe (chaveamento e posicionamento). Foram realizadas experiências quanto a retirada de sinais de baixa frequência de pontos internos do circuito com o objetivo de verificar a possibilidade de realizar esse tipo de medida com o MEV disponível. As experiências foram realizadas utilizando uma tensão de aceleração de 1,5Kv, uma corrente de feixe mínima e um feixe contínuo. Os resultados mostraram que com o equipamento disponível é possível a retirada de sinais de baixa frequência (< 10 KHz) e o reconhecimento dos níveis lógicos de um sinal periódico de baixa frequência. Quanto à medida da forma de onda do sinal e da sua amplitude, são necessárias modificações no sistema de coleta e existe a necessidade de chaveamento do feixe para a medida de sinais de alta frequência. As modificações necessárias no sistema de coleta e no sistema de chaveamento, pela sua complexidade, serão tema de futuros trabalhos.

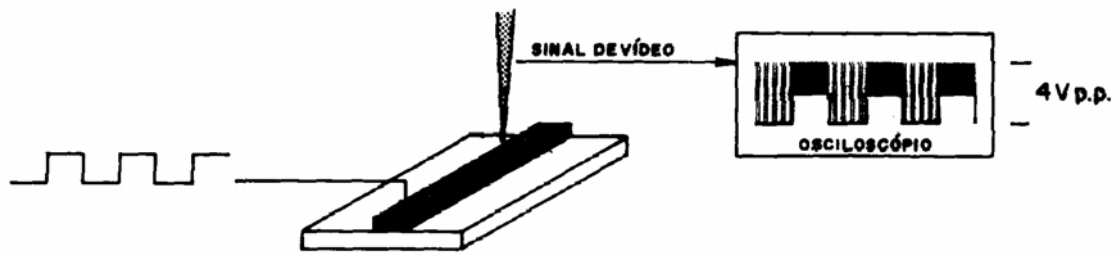


Figura 2.9 Sinal visto na tela do osciloscópio

A experiência de retirada de sinais via feixe foi realizada posicionando o feixe nas trilhas em metal, polisilício e difusão, injetando o sinal de vídeo em um osciloscópio. O sinal obtido foi uma onda quadrada. A Figura 2.9 mostra a forma de onda, do sinal de vídeo, na tela do osciloscópio. O sinal apresentou muito ruído, sendo que, a relação sinal/ruído diminuía quanto maior a frequência do sinal observado, assim foi possível acompanhar sinais até 100Khz. Os sinais das trilhas em metal foram melhor observados do que aqueles das trilhas em polisilício e difusão.

2.4 Determinação dos níveis de cinza em relação à variação do nível de tensão

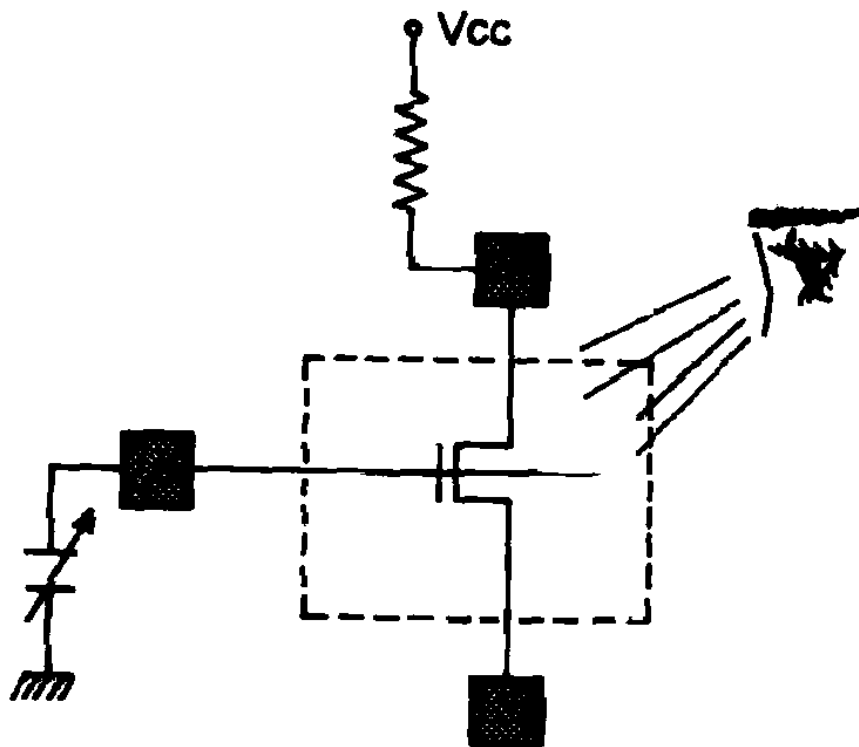


Figura 2.10 Visualização de um Inversor

Para determinar a variação do nível de cinza foi utilizado um conjunto de transistores existente em uma pastilha de testes. Um destes transistores foi ligado como mostra a Figura 2.10 (inversor). Variando a tensão de entrada obteve-se tensões de saída diferentes (ver Tabela 2.1) e para cada uma delas, foi observada um nível de cinza no ponto de saída metálico. Como resultado, foi confeccionada uma curva do nível de cinza visualizado versus tensão no ponto de saída metálico (ver figura Figura 2.11) . Nesta curva vemos que o tom cinza começa a ficar rapidamente escuro a partir de 1V . Para níveis de tensão entre $0 < V < 1$ temos um tom cinza claro.

Tabela 2.1 Níveis de Tensão aplicados no Inversor

Vcc (V)	Vin(V)	Vout(V)	Tom de cinza
5	5	0,2	Claro
5	4	0,25	
5	3,5	0,3	
5	3	0,5	
5	2	1	
5	1,8	2	
5	1,2	3,5	
5	1	4,7	
5	0	4,8	Escuro

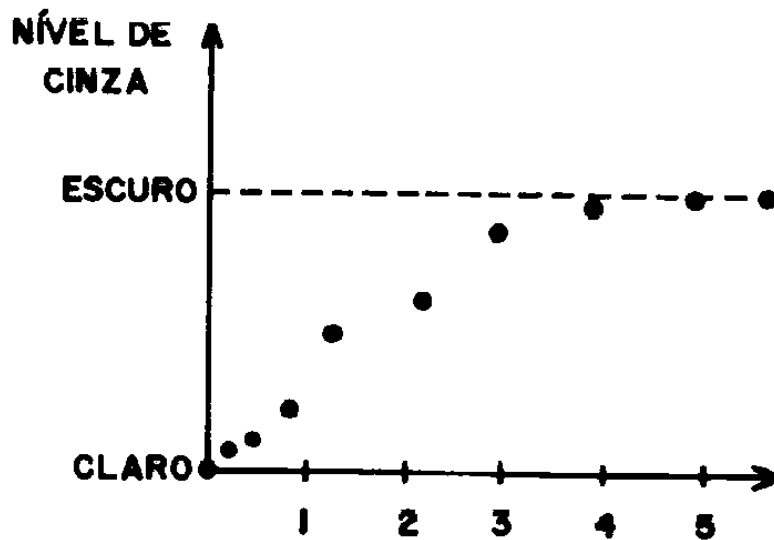


Figura 2.11 Nível de cinza

2.5 Proposta de uma ferramenta MEV

Para realizar as primeiras experiências com o MEV foi necessário a sua modificação, com o intuito de possibilitar o acondicionamento de circuitos na câmara de amostras, bem como, o estudo do funcionamento e operação de ferramenta. Após estas experiências, para análise de circuitos em funcionamento, foi possível definir uma ferramenta que permitisse o aproveitamento dos recursos oferecidos pelo MEV disponível.

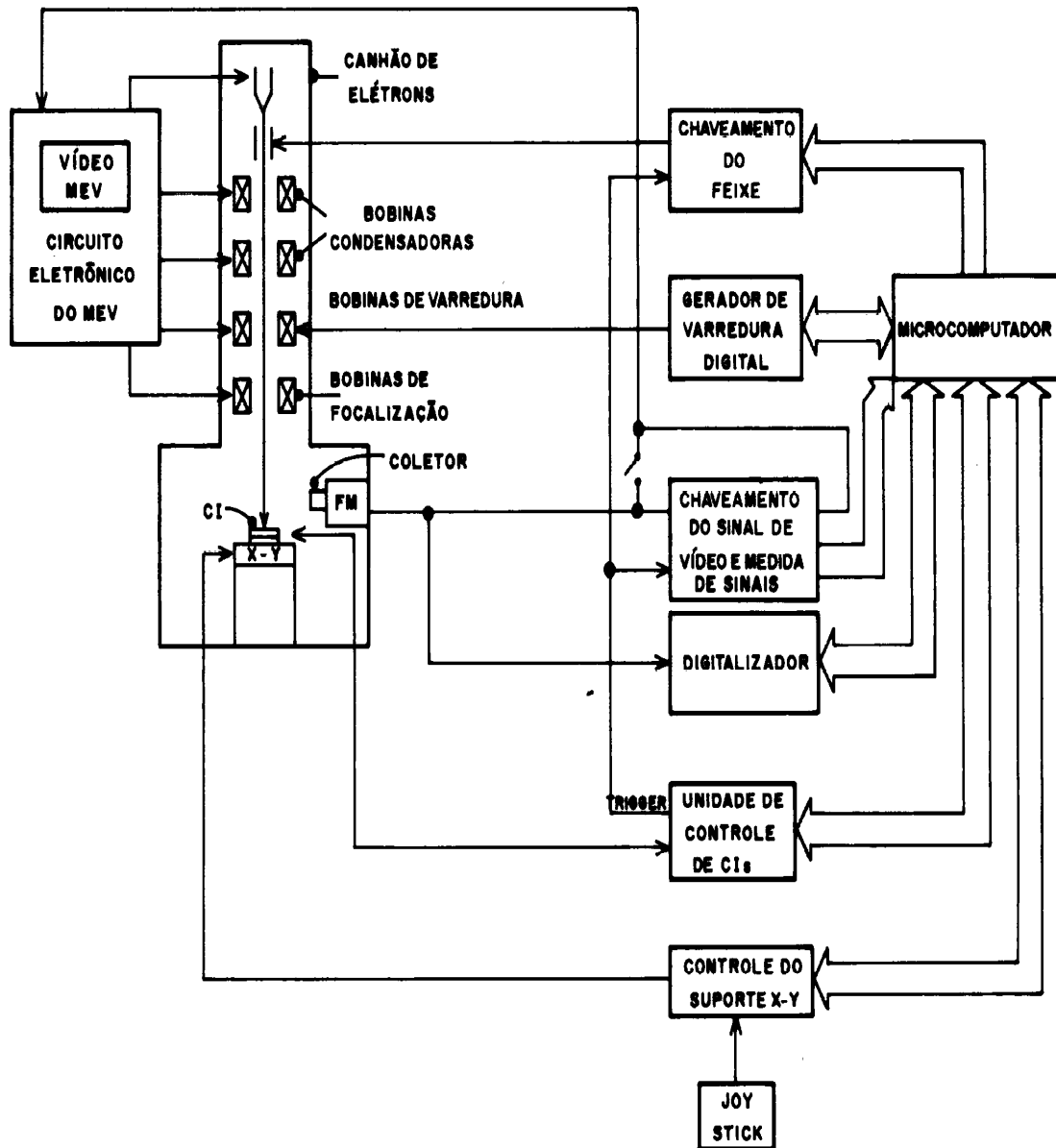


Figura 2.12 Diagrama de blocos da ferramenta

Na Figura 2.12 mostramos um diagrama de blocos da ferramenta proposta. A automatização de algumas operações melhorará sensivelmente a

sua eficácia. A utilização de um microcomputador, para o controle destas operações, permitirá ao mesmo tempo o armazenamento de toda a documentação de concepção do circuito e os programas para manipulação da informação relativa ao circuito, controle dos blocos, bem como das ferramentas de PAC. A seguir descrevemos resumidamente cada um dos blocos:

a) Chaveamento do feixe de elétrons – este módulo contém um gerador de pulsos com duração programável para aplicação de uma tensão pulsada nas placas de um capacitor localizado na coluna ótica do MEV, com o objetivo de defletir o feixe. Desta forma, teremos um feixe pulsado atingindo o circuito. Os pulsos de chaveamento devem ser gerados em sincronismo com a frequência de funcionamento do circuito sob observação.

b) Gerador de varredura digital – o posicionamento do feixe no modo pontual é controlado automaticamente por este bloco, o qual será orientado por um sistema de coordenadas indicado pelo usuário. Assim poderemos posicionar o feixe em pontos previamente programados ou realizar a varredura do feixe segundo um padrão qualquer.

c) Chaveamento do sinal de vídeo e medida de sinais – este bloco tem por função o chaveamento do sinal de vídeo utilizando um circuito controlado por um trem de pulsos. O gerador de pulsos recebe o sinal de sincronismo enviado pela unidade de controle de circuitos. Além disso, este bloco contém circuitos e equipamento para medida de sinais contidas no sinal de vídeo.

d) Digitalizador – a função deste bloco é a digitalização das imagens obtidas, deve permitir a codificação de cada pixel em mais de dois níveis. A digitalização da imagem nos permitirá o seu armazenamento e posterior processamento (superposição da imagem digitalizada com uma imagem gerada a partir da descrição das máscaras, comparação de imagens, engenharia reversa).

e) Unidade de controle de circuitos – este bloco tem por função o estímulo de circuitos, de forma a criar o “meio ambiente” necessário para o funcionamento do circuito, que está dentro da câmara de amostras do MEV, a qual contém fontes de tensão, gerador de funções, etc. Pode ser controlado pelo microcomputador, de forma a poder aplicar uma seqüência de vetores de entrada (por exemplo, um programa de teste) e também para retirada de resultados e posterior análise (por exemplo, comparação com resultados da simulação).

f) Controle de suporte x-y - este bloco controla o posicionamento do suporte de circuitos dentro da câmara e poderá ser controlado automaticamente pelo microcomputador.

3 Técnicas de Observação

3.1 Introdução

A ocorrência do fenômeno de contraste por tensão produz, como já dissemos, uma variação de quantidade de elétrons coletados (sinal de vídeo), proporcional ao sinal existente no ponto sendo varrido pelo feixe. A informação contida no sinal de vídeo pode ser mostrada na forma de imagens (modo imagem) ou graficamente (modo ponto). Existem técnicas de observação que nos indicam como retirar informações sobre os níveis de tensão existentes nos pontos internos do circuito e como apresentá-las (imagem ou graficamente). Estas técnicas são:

- a) contraste por tensão estática - modo RECORD;
- b) contraste por tensão estática - modo TV;
- c) código de tensão;
- d) estroboscopia;
- e) amostragem.

Estas técnicas foram experimentadas no equipamento MEV disponível. A aplicação de algumas destas requer o uso de equipamentos e circuitos adicionais (gerador de pulsos, osciloscópio, circuito de chaveamento do sinal de vídeo, etc) .

3.2 Contraste por Tensão - Record

Esta é uma técnica simples e de fácil aplicação, que permite a visualização do contraste por tensão nas linhas em metal, polisilício e difusão do circuito. A técnica consiste na varredura, pelo feixe, de uma área do circuito, linha por linha até completar um quadro de varredura, uma única vez. Simultaneamente, realiza-se a sensibilização do filme de uma câmera fotográfica com o registro da imagem da superfície do circuito contendo o contraste por tensão. O tempo de exposição de um quadro pode variar entre 5s e 100s . Esta técnica evita a carga da camada de óxido devido ao pouco tempo de exposição do circuito ao feixe, possibilitando desta forma a visualização do contraste por tensão nas camadas mais internas do circuito. O tipo da medida é qualitativo, porque permite retirar informação sobre os níveis de tensão estáveis. O uso de um vídeo de varredura com imagem armazenada ou digitalização da imagem e posterior armazenamento é aconselhável porque permite que a informação seja obtida imediatamente.

3.3 Contraste por Tensão - Tv

A constante exposição ao feixe da superfície de um circuito em funcionamento, permite a formação da imagem desta superfície no vídeo do equipamento contendo informações do contraste por tensão. A visualização dos níveis de tensão estáveis é possível somente nas linhas da última camada condutora (NMOS metal) . A exposição da superfície ao feixe produz a carga da camada de óxido, impossibilitando a observação dos níveis de tensão estáveis das camadas mais internas. A freqüência de varredura do feixe é de 15Khz por linha e 60Hz por quadro.

3.4 Código por Tensão

Esta técnica é apropriada para a observação simultânea de sinais periódicos em linhas paralelas do circuito [WOL 79] . Além disto, os sinais podem ser analisados ao longo do tempo. A técnica baseia-se na escolha de uma freqüência de operação do circuito, que é múltiplo inteiro da freqüência de linha do vídeo (15Khz) ou da freqüência de quadro (60Hz). Para distinguir os dois casos, eles são chamados de código de tensão-x e código de tensão-y respectivamente. Por exemplo, se a freqüência de operação do circuito for três vezes a freqüência de varredura da linha e uma trilha metálica for varrida pelo feixe ao longo do eixo x, a tensão ao longo da trilha mudará exatamente seis vezes. A imagem com contraste por tensão desta linha metálica mostrará três barras claras e três barras escuras (ver Figura 3.1) caracterizando a técnica do código de tensão-x.

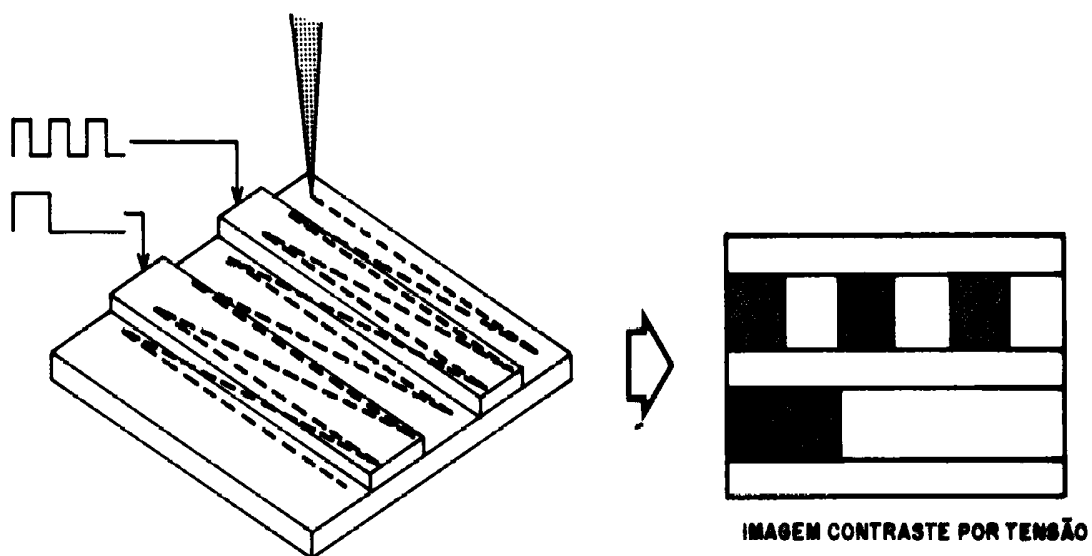


Figura 3.1 Código de tensão-x

O código de tensão-y é aplicado na visualização dos sinais existentes nas trilhas ao longo do eixo y. A frequência mínima do sinal que pode ser observada é limitada pela frequência de varredura do vídeo, isto é, 15Khz para o código de tensão-x e 60Hz para o código de tensão-y. Por outro lado, a frequência máxima é dada pelo número máximo de pares de barras que podem ser reconhecidas visualmente (para 15 pares a frequência máxima será de 225Khz para x e 900Hz para y).

3.5 Estroboscopia

É impossível a retirada de informações sobre sinais dinâmicos de alta frequência (>10Khz) através da simples observação das imagens. Para podermos visualizar estes sinais dinâmicos em uma determinada fase, usamos uma técnica chamada estroboscopia. Podemos imaginar uma haste girando com um período T, e ao mesmo tempo uma luz piscando com o mesmo período; então observaremos a haste não em movimento e sim fixa em alguma posição: este é o princípio da estroboscopia. Há duas formas de obter o efeito estroboscópico:

a) Chaveamento do feixe de elétrons – como mostramos na Figura 3.2, o chaveamento é realizado através da aplicação de um trem de pulsos de curta duração no sistema defletor do feixe (capacitor de placa). Este trem de pulsos é gerado em sincronismo com a frequência do sinal periódico a ser observado, e permite gerar um sinal de vídeo contendo informação relativa ao tempo que o feixe atinge cada ponto do circuito. Se jogarmos esta informação no terminal de vídeo, teremos a formação da imagem da interconexão com a tonalidade do sinal “congelado” em determinada fase (escuro, claro ou intermediário). O efeito estroboscópico produzido pelo chaveamento do feixe permite analisar pictograficamente circuitos funcionando na sua frequência de operação. Usando esta técnica é possível analisar sinais periódicos de até 1Ghz [HOS 78].

b) Chaveamento do sinal de vídeo – durante a varredura de uma área do circuito pelo feixe, o sinal de vídeo (contínuo) contém informação relativa a cada ponto desta área. Caso haja variação dos níveis de tensão nestes pontos, o sinal de vídeo terá uma variação proporcional. O chaveamento do sinal de vídeo é realizado aplicando-se um trem de pulsos de curta duração no circuito de chaveamento. Assim será criada uma janela de tempo, que deixará passar somente a informação que nos interessa. O trem de pulsos é gerado em sincronismo com a frequência do sinal periódico a ser observado. A imagem formada a partir do sinal de vídeo chaveado, mostrará a interconexão com a tonalidade característica do sinal “congelado” em uma determinada fase. O chaveamento do sinal de vídeo permite analisar sinais periódicos de até 2Mhz (limite dado pela largura de banda do equipamento).

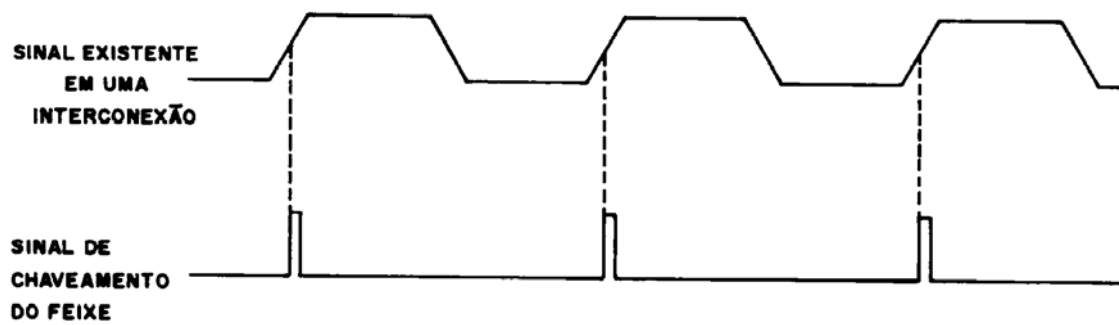


Figura 3.2 Estroboscopia

3.6 Amostragem

Esta técnica permite a medida de sinais de alta frequência (>10 Mhz) de um ponto do circuito (modo ponto) [LUK 82] e consiste na amostragem de um sinal usando o feixe eletrônico. Conseguimos isto através do chaveamento do feixe com um trem de pulsos de curta duração. Os pulsos são gerados sincronizadamente com a frequência do sinal que está sendo amostrado, após um atraso que duplica a cada amostragem (ver Figura 3.3). Assim, após algumas amostragens poderemos reconstruir a forma de onda do sinal amostrado. Esta forma de onda reconstruída tem uma frequência n vezes menor do que a original e pode ser medida através de equipamentos, cuja largura de banda é limitada. Temos que n é um número inteiro, igual à divisão do período do sinal pela unidade de atraso. Para a aplicação desta técnica é necessária a modificação do sistema de coleta de elétrons do MEV, que será motivo de outro trabalho.

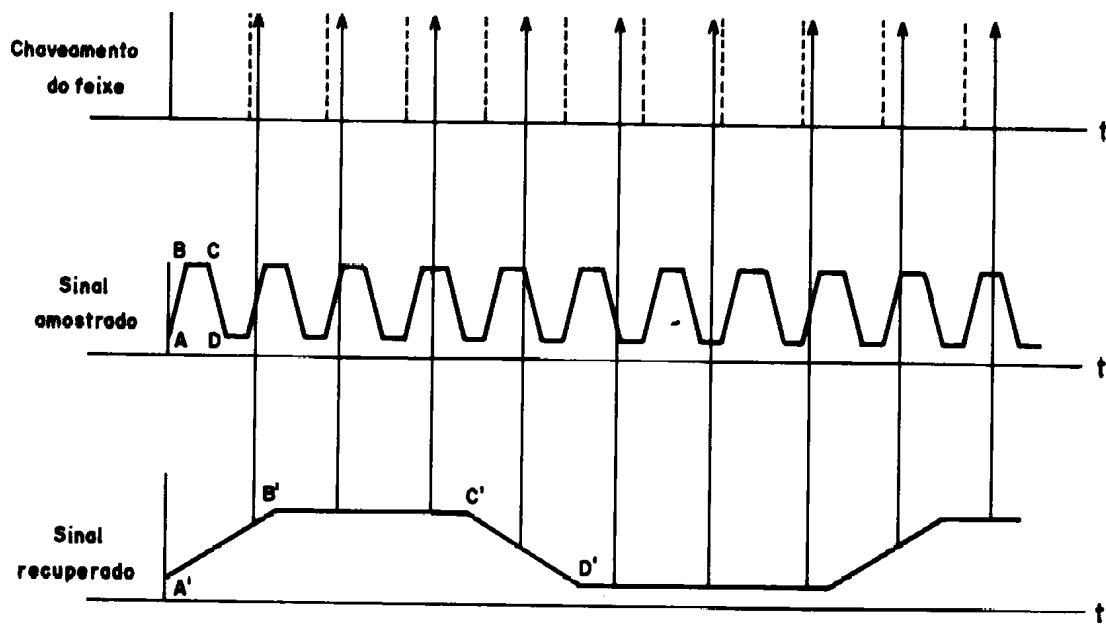


Figura 3.3 Amostragem

3.7 Conclusões

Como já foi mencionado, as quatro primeiras técnicas foram aplicadas em caráter experimental com o equipamento MEV disponível; sendo que os resultados foram satisfatórios. A próxima etapa deve ser a implementação, em caráter definitivo, de um módulo contendo os circuitos adicionais e equipamentos necessários para aplicação destas técnicas. Concluindo, estas técnicas são indispensáveis para o real aproveitamento das vantagens que o equipamento nos oferece. Existem mais técnicas de observação e outras poderão ser desenvolvidas. Na Tabela 3.1 mostramos um resumo destas técnicas.

Tabela 3.1 Técnicas de Observação

Técnicas de Observação		Tipos de sinais observados	Registro da informação	Frequência de funcionamento do CI	Informação retirada	Aplicação experimental
Contraste por tensão modo RECORD		DC	Fotografia	-	Estado binário de inúmeros pontos	Sim
Contarste por tensão modo TV		DC	Imagem	-	Estado binário de inúmeros pontos	Sim
Código de tensão	Y	AC	Imagem	60 – 600 Hz	Estado binário de inúmeros pontos	Sim
	X			15 – 225 Hz		
Estroboscopia	Chaveamento do feixe	AC		30 KHz – 16 Hz	Estado binário de inúmeros pontos	Não
	Chaveamento do sinal de vídeo			30 KHz – 2 Mhz		Sim
Amostragem		AC	Gráfica (forma de onda)	1 Mhz – 100 Mhz	V (x,t)	Não

4 Técnica de Teste e Depuração

4.1 Introdução

Não existindo modelos adequados para representar todos os tipos de erros de concepção e, portanto, não sendo possível prever o efeito destes no comportamento de um circuito, a depuração será um processo heurístico.

A utilização do MEV para realizar a depuração de circuitos em desenvolvimento nos leva a solução de um dos problemas da depuração: a observabilidade. Concomitantemente leva-nos a procurar técnicas para obtenção e análise das informações e metodologias de depuração, de forma a aproveitar as vantagens da utilização do MEV. A depuração de cada circuito é diferente, mas existem problemas comuns que serão abordados e analisados. A utilização do MEV permite pensar no teste e na depuração a nível de blocos ou de células isoladamente.

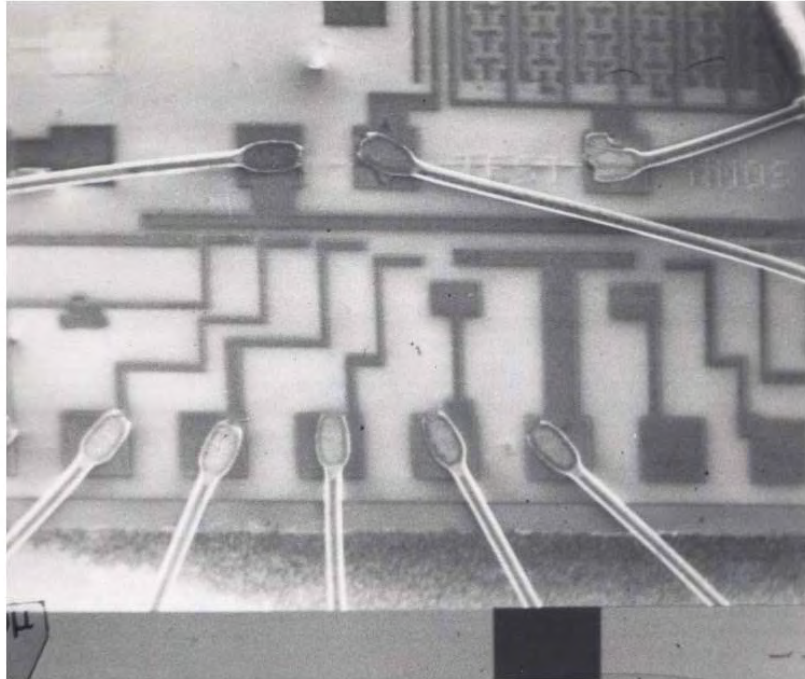
Existe uma série de procedimentos a serem levados em consideração durante a concepção e após a implementação física do circuito. Durante a concepção, a aplicação destes procedimentos permite melhorar a observação e o controle de sinais internos do circuito. Para aumentar a controlabilidade são utilizadas algumas técnicas de projeto visando o teste e/ou a utilização de estruturas específicas para serem ativadas pelo feixe eletrônico. Estes procedimentos indicam também os passos a serem seguidos para realizar o teste e depuração do protótipo utilizando o MEV.

4.2 Observação de circuitos MOS

O MEV pode ser utilizado também para observação da topografia de circuitos não alimentados. Existem vários momentos em que se faz necessário este tipo de observação (depuração, análise de falhas, inspeção, etc). O processo de observação pode ser realizado em circuitos não alimentados e circuitos em funcionamento. A seguir apresentamos alguns resultados obtidos através da observação de circuitos com o equipamento disponível. O objetivo é mostrar o tipo de informação que pode ser obtido e os problemas enfrentados durante a observação.

a) Observação de circuitos sem polarização – Para esta finalidade utilizamos o MEV no modo imagem, assim obtivemos imagens da superfície do circuito. As imagens foram formadas pelas diferenças no relevo da superfície do circuito. Foi necessário o uso de baixas tensões de aceleração (1.5 Kv) e de baixas correntes de feixe para minimizar a carga das camadas isolantes, também foi necessário ligar o substrato do circuito a massa do sistema. As linhas em metal não cobertas pela camada isolante foram visualizadas

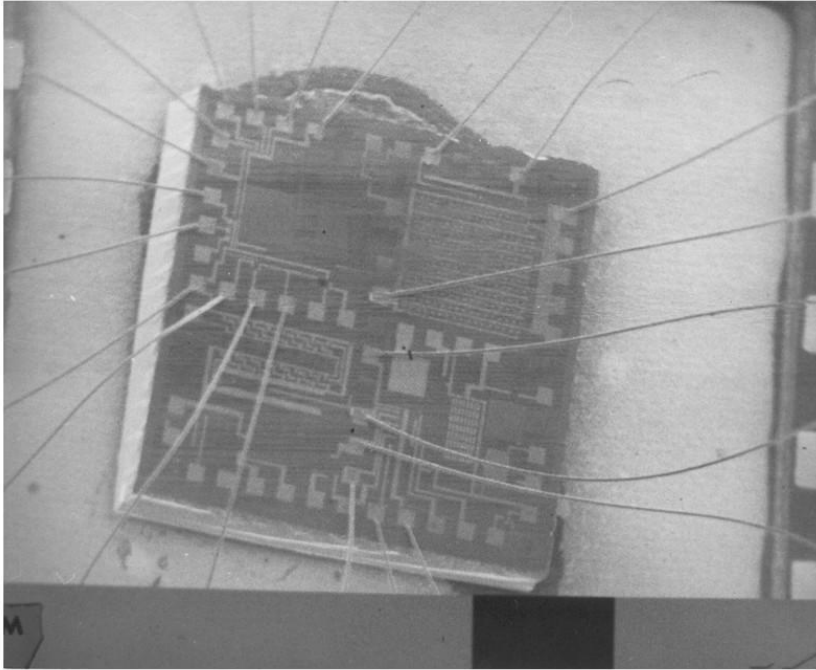
facilmente e apresentaram tons claros e escuros. As linhas em polisilício ou difusão, quando vistas, apresentaram também tons claros ou escuros. Na Fotografia 4.2 vemos apenas as linhas em metal em tons claros. Já as linhas em polisilício e difusão não são visualizadas. Na Fotografia 4.1 podemos observar as linhas em metal, polisilício e difusão. Na Fotografia 4.3 somente as linhas em metal são visualizadas.



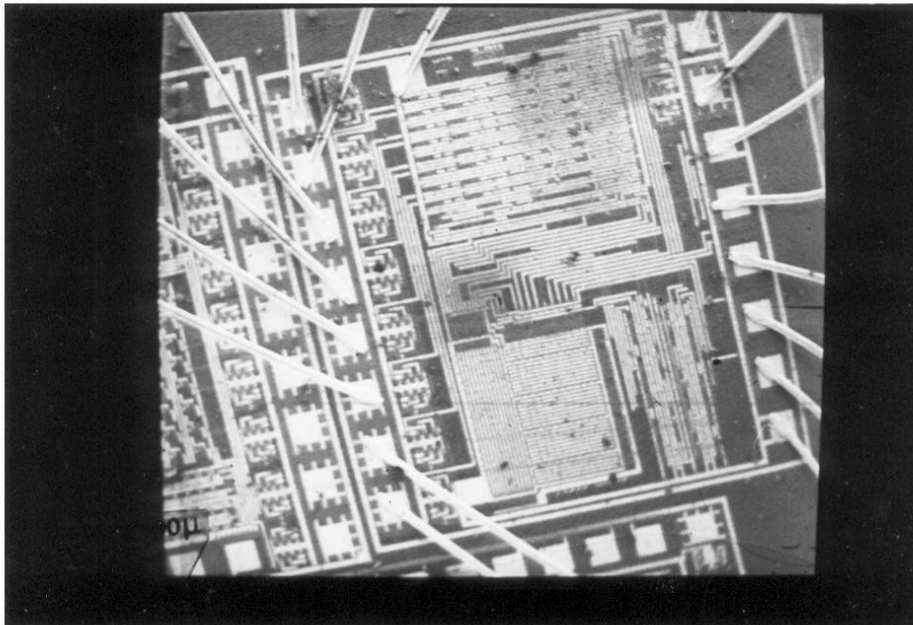
Fotografia 4.1 Visualização de linhas de polisilício, difusão e metálicas de circuito NMOS (A= x80, E = 40 μm)

A tensão de aceleração e a corrente mínima de feixe, que permitem obter a melhor imagem do relevo do circuito, podem variar de circuito para circuito.

No caso do aumento da tensão de aceleração do feixe de elétrons, a carga da camada de óxido pode ser tal, que as imagens serão como as da Fotografia 4.4 e da Fotografia 4.5.

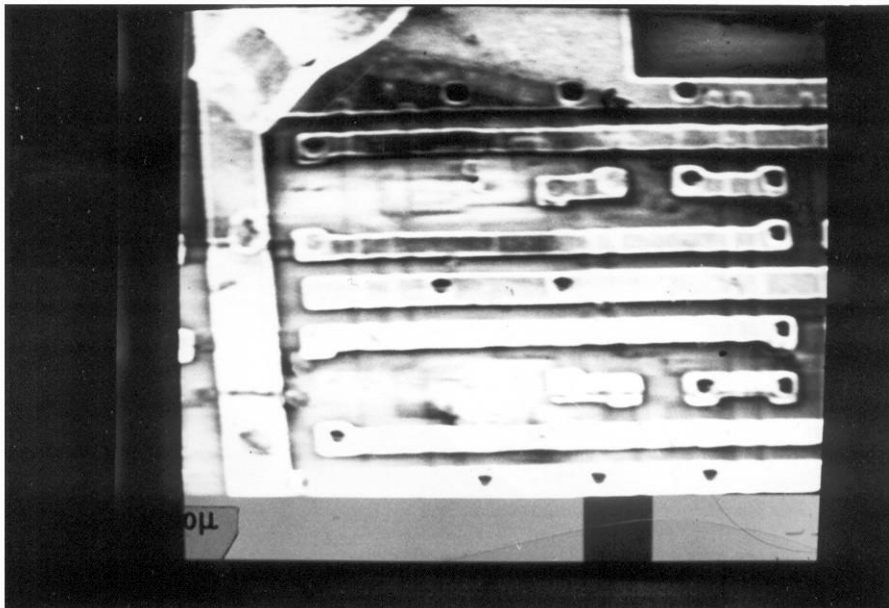


Fotografia 4.2 Linhas Metálicas e pontos de solda de circuito NMOS (A= x20, E= 1mm)

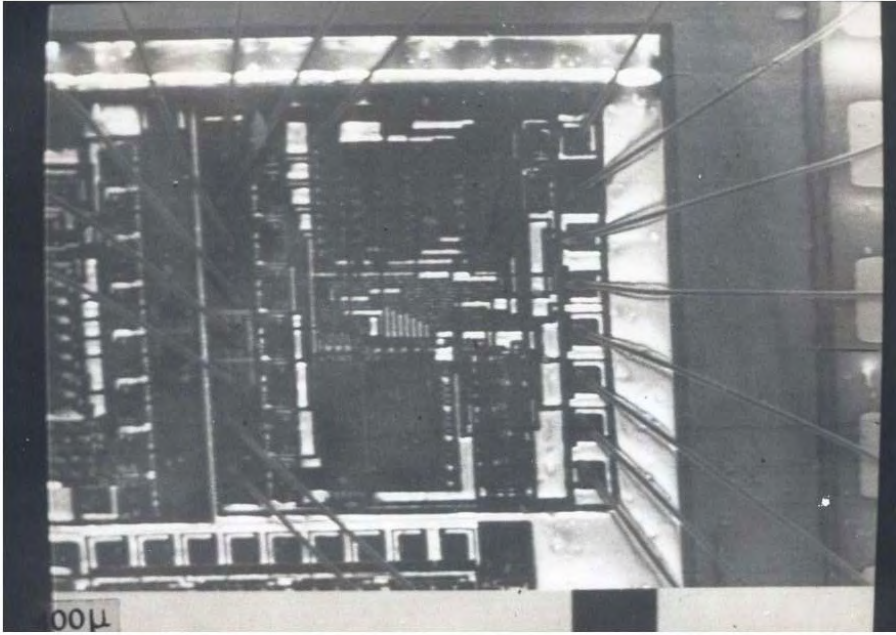


Fotografia 4.3 Superfície de circuito NMOS (A= x50, E= 400 μm)

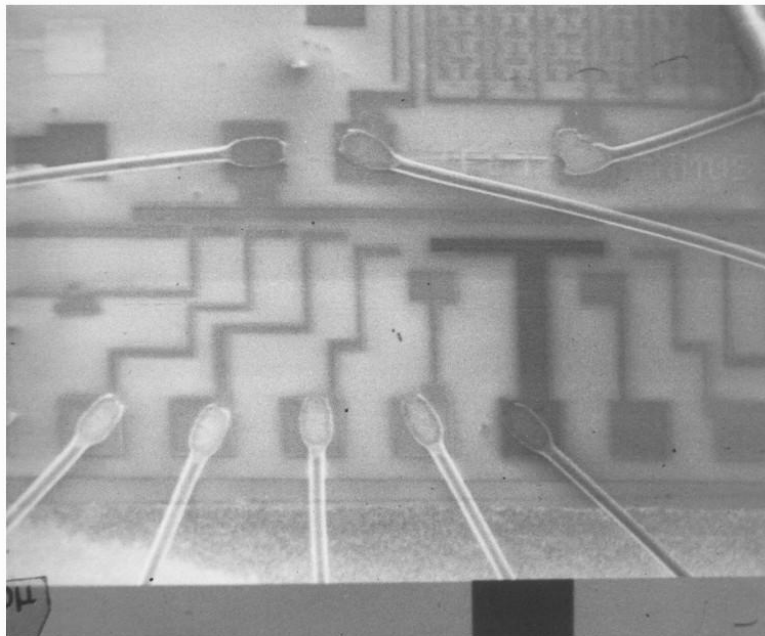
b) Observação de circuitos em funcionamento – distinguimos dois tipos de sinais distribuídos ao longo da superfície do circuito: DC e AC. Os sinais DC podem existir nas linhas em metal, polisílicio e difusão, sendo que apenas na última camada (metal) foi visualizado o contraste por tensão. Na Fotografia 4.6 mostramos a imagem da superfície de um circuito NMOS, onde podemos ver que o contraste por tensão se caracteriza somente nas linhas em metal, que apresentam tons claros ou escuros segundo o seu nível de tensão (0V ou 5V). As linhas em polisílicio e difusão estão polarizadas, mas não podem ser visualizadas devido a carga da camada de óxido que as recobre.



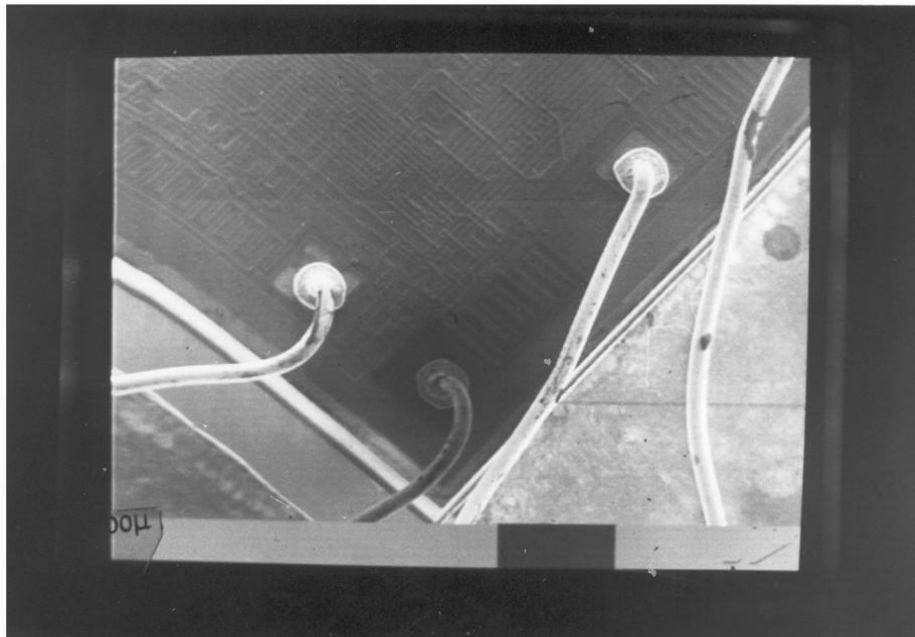
Fotografia 4.4 Carga da camada de óxido (A= x650, E= 20 μ m)



Fotografia 4.5 Carga da camada de óxido de circuito Multi-projeto NMOS sem passivação (A= x30, E= 400 μ m)



Fotografia 4.6 Imagem com contraste por tensão nas linhas metálicas (A= x80, E= 40 μ m)



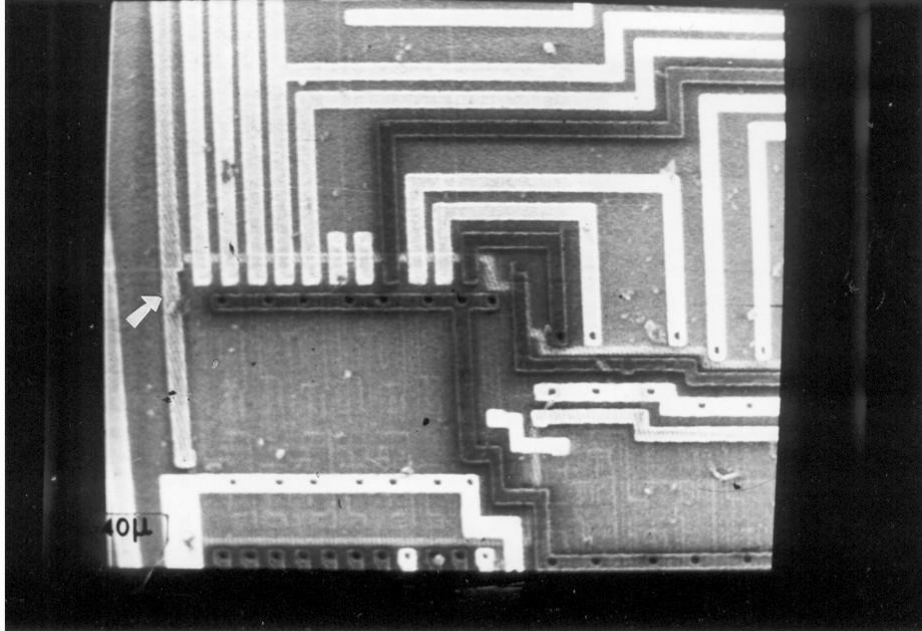
Fotografia 4.7 Contraste por tensão de circuito passivado (A= x60, E= 200 μm)

Aumentando a tensão de aceleração é possível visualizar o contraste por tensão nas linhas mais internas, mas também aumenta o risco de atingir áreas sensíveis ao feixe (canal, junções) e inutilizar o circuito. Por outro lado, sinais AC podem ser observados em qualquer linha (metal, polisilício, difusão, etc). Sinais com frequências menores do que 10Hz são perceptíveis visualmente. Para observar sinais com frequências maiores do que 10Hz deve ser aplicada alguma das técnicas de observação anteriormente abordadas.

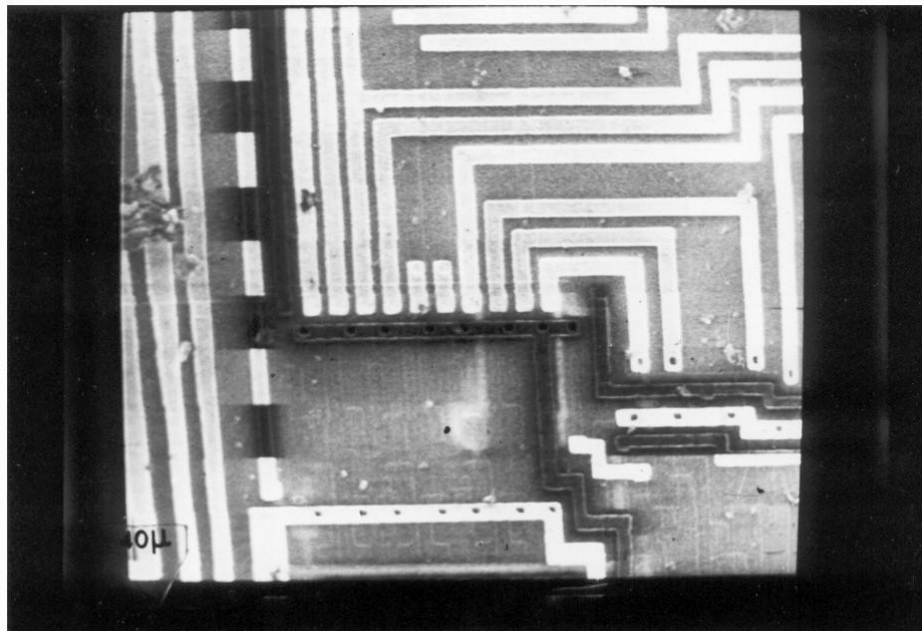
Não haverá contraste por tensão nas imagens de circuitos passivados, mesmo utilizando baixas tensões de aceleração (<3Kv). Na Fotografia 4.7 mostramos a imagem de um circuito passivado, onde observamos que o contraste por tensão somente se manifesta nos fios de ligação e nas áreas de solda.

A observação de sinais AC é possível usando as técnicas anteriormente apresentadas. Na Fotografia 4.8 vemos que o contraste por tensão se manifesta somente nas camadas metálicas que tem sinais DC, já a linha metálica indicada pela seta contém um sinal AC (onda quadrada). Devido a frequência de variação a mesma é vista em um tom cinza. Utilizando a técnica de observação código por tensão – y é possível notar este sinal ao longo desta linha metálica, tal como mostra a Fotografia 4.9. Esta técnica é útil na observação de sinais AC que variam ao longo de linhas paralelas. Na

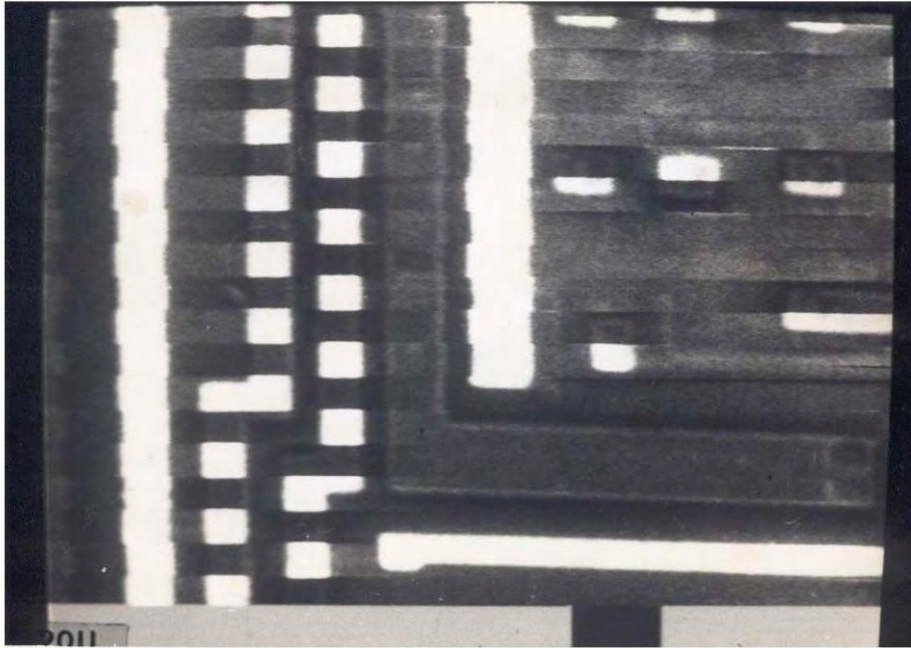
Fotografia 4.10 observamos sinais variando ao longo de duas linhas metálicas verticais (relógio de duas fases).



Fotografia 4.8 Observação de sinais DC (A= x500)

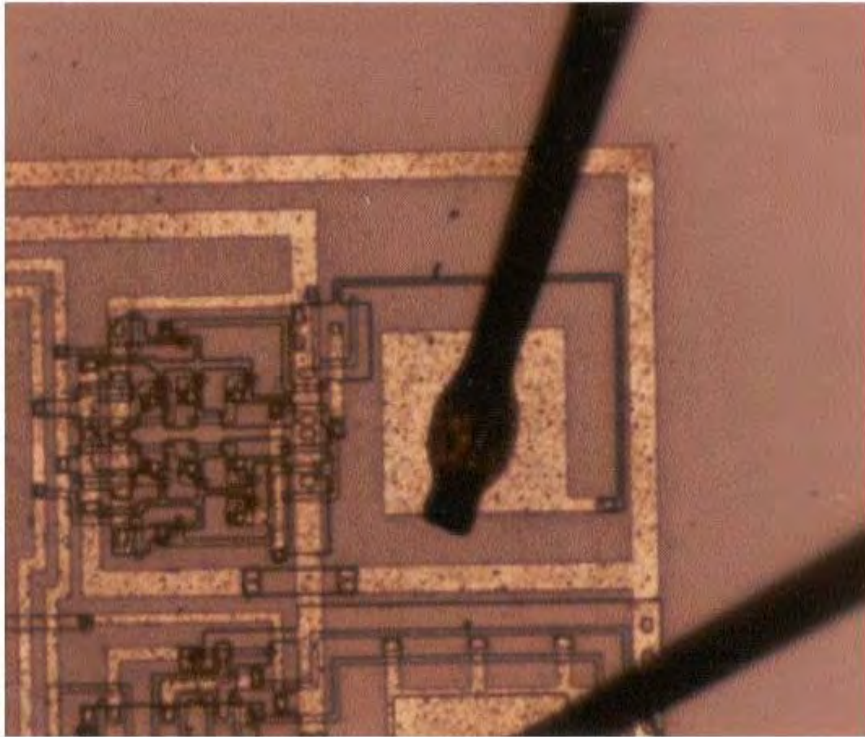


Fotografia 4.9 Observação de sinal AC (A= x500)

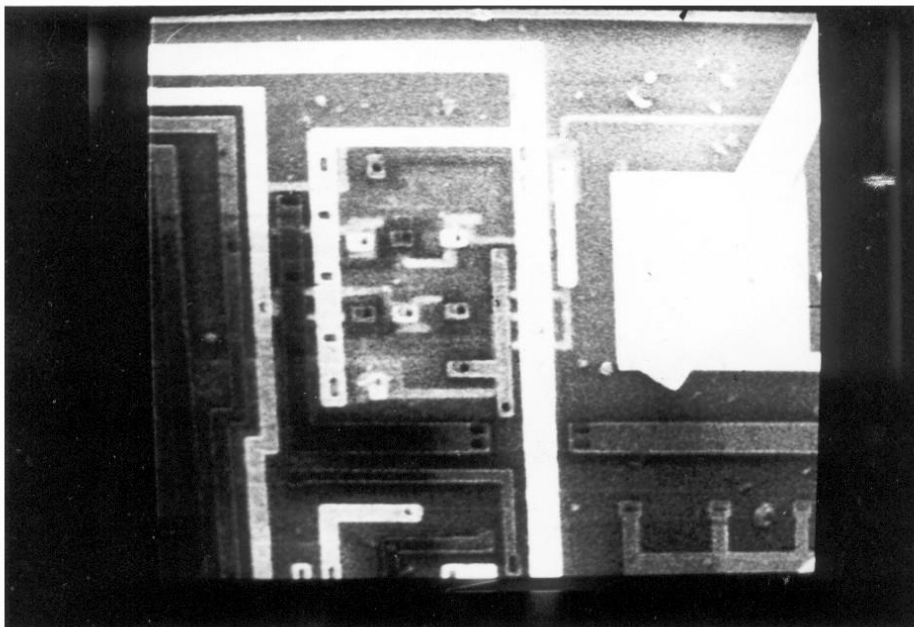


Fotografia 4.10 Linhas metálicas contendo relógio de duas fases (A= x640, E= 20 μ m)

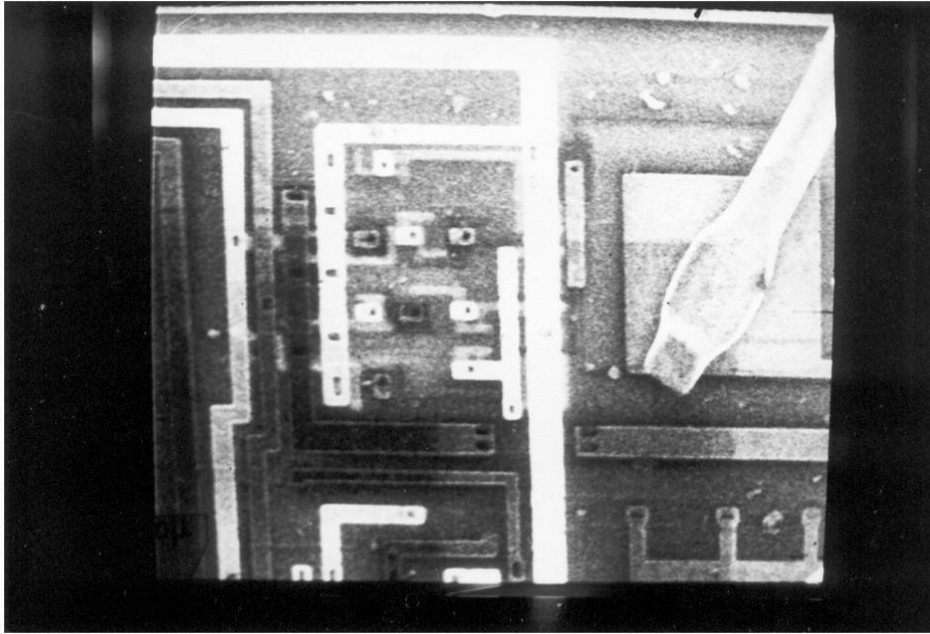
Na Fotografia 4.11 mostramos um “pad” relógio gerador de duas fases sendo observado ao microscópio ótico, onde visualizamos as linhas em metal, polisilício e difusão. Na Fotografia 4.12 e na Fotografia 4.13 mostramos o mesmo “pad” em funcionamento (frequência de 1Mhz) sendo observado com o MEV. Aplicando a técnica estroboscópica é possível “congelar” o estado do relógio na fase F1 e na fase F2 respectivamente. Podemos verificar que o contraste por tensão se manifesta também nas linhas em polisilício e difusão, sendo possível acompanhar os sinais no interior do “pad”.



Fotografia 4.11 “Pad” relógio de duas fases visto através do microscópio ótico (A= x200)

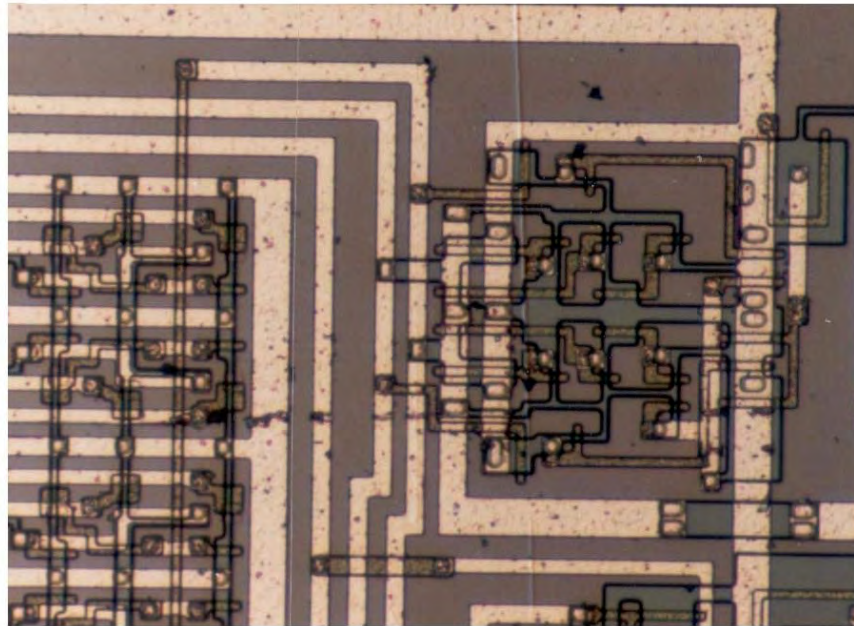


Fotografia 4.12 “Pad” relógio na fase $\Phi 1$ (A= x300)

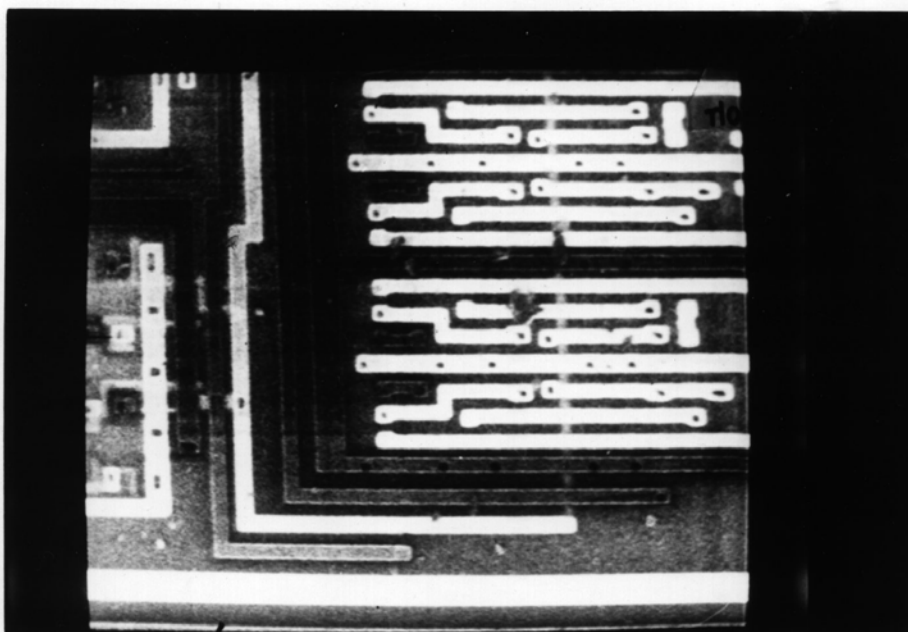


Fotografia 4.13 “Pad” relógio na fase $\Phi 2$ (A= x300)

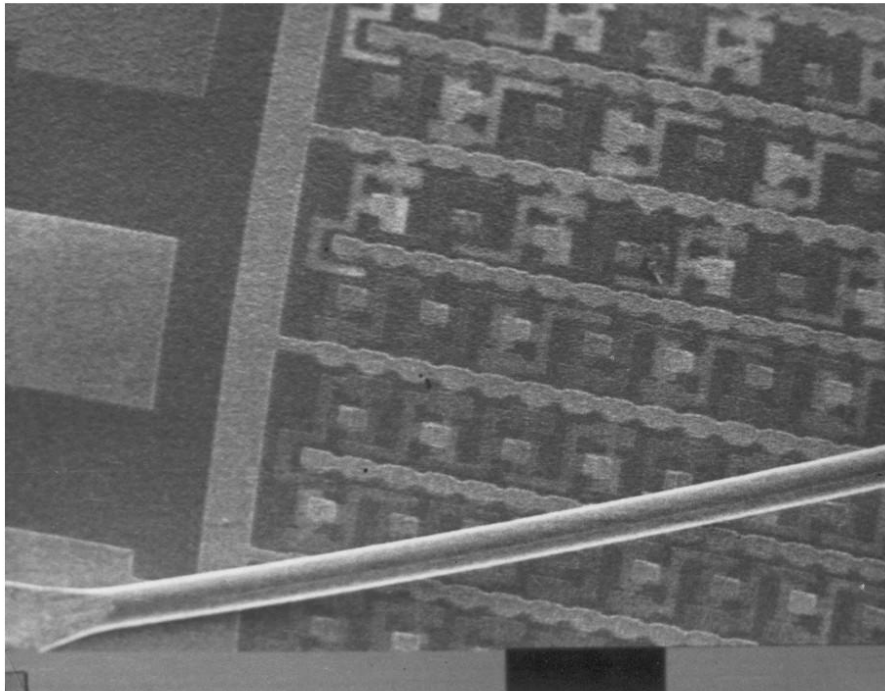
A Fotografia 4.14 mostra a região de um circuito sendo observado ao microscópio ótico. Na Fotografia 4.15 mostramos a imagem com contraste por tensão da mesma região, estas foram obtidas utilizando a técnica estroboscópica. Desta forma, podemos realizar o acompanhamento de sinais AC nas interconexões em polisilício indicadas pelas setas.



Fotografia 4.14 Observação de área de circuito integrado ao microscópio eletrônico (A= x200)



Fotografia 4.15 Observação de sinal AC nas linhas em polisilício (A= x300)



Fotografia 4.16 Imagem de oscilador em anel imediatamente após ter sido desligada a alimentação (A= x220, E= 100 μ m)

A Fotografia 4.16 mostra a imagem de um conjunto de inversores, ligados em cadeia (osciladores em anel), imediatamente após ter sido desligado a sua alimentação. As saídas de alguns inversores são vistos em tons claros durante a descarga de suas capacitâncias. Este efeito é momentâneo e pode ocasionar alguns problemas de visualização, por alguns segundos, até que a superfície do circuito atinja o equilíbrio de cargas.

4.3 Observabilidade e Controlabilidade

Do ponto de vista do teste, a observabilidade é a capacidade de poder retirar um sinal de pontos internos do circuito. A controlabilidade por sua vez é a capacidade de poder inserir um sinal em pontos internos de circuitos.

O teste clássico de circuitos integrados é restrito aos pinos externos do circuito. Visando o aumento da observabilidade do teste, alguns pontos internos do circuito são ligados a pinos externos, mas estaremos limitados pelo número máximo de pinos previstos para o encapsulamento.

O MEV é uma ferramenta que nos permite ter um alto grau de observabilidade no teste de circuitos integrados, praticamente qualquer sinal

interno do circuito pode ser observado. Por outro lado, o problema do controle destes sinais internos ainda persistirá.

Se for possível retirar um sinal de algum ponto interno do circuito, esta região será chamada de ponto observável. Podemos dizer que quase todos os pontos internos do circuito são observáveis, exceto aqueles que devido a carga das camadas isolantes que as recobre, alguns pontos são dificilmente observáveis (camadas internas). Por outro lado, os pontos que não são cobertos por estas camadas isolantes são facilmente observáveis (camada metálica nos circuitos em desenvolvimento). Se pudermos forçar um sinal em algum ponto interno durante o teste, este será chamado de ponto controlável. Assim, poderemos ter pontos somente observáveis, ou controláveis ou ambos.

O controle destes pontos internos pode ser previsto durante a concepção do circuito, se forem utilizadas algumas técnicas conhecidas de projeto visando o teste (PVT) e/ou a colocação de estruturas para serem ativadas pelo feixe de elétrons.

4.3.1 Técnicas de Projeto visando o Teste

As técnicas de projeto visando o teste foram criadas com o objetivo de solucionar o problemas de acesso aos pontos internos do circuito, tanto para seu controle como para a sua observação. Estas técnicas são aplicadas durante a fase de concepção do circuito e exigem a adição de estruturas específicas, para serem ativadas durante seu teste. Estas são comumente utilizadas durante o teste de produção dos circuitos, podendo também serem utilizadas durante a depuração dos protótipos. A nossa proposta é aproveitar a técnica na sua forma mais simples, principalmente o relativo ao controle de pontos internos. A seguir trataremos de algumas destas técnicas.

4.3.1.1 Particionamento

Esta técnica baseia-se no dito “dividir para conquistar”. A idéia é poder isolar os blocos funcionais internos do circuito e controlá-los independentemente através dos pinos externos. Na Figura 4.1 mostramos um exemplo de como isolar o bloco funcional 3 levando a linha HAB=1 e desta forma poder controlar o bloco 3 com os sinais controle1 e controle2.

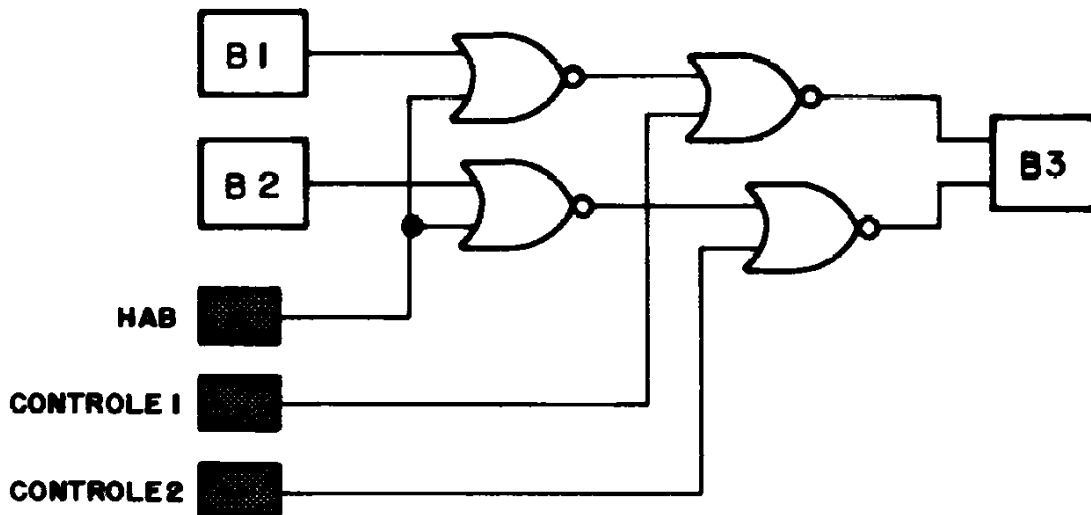


Figura 4.1 Exemplo de aplicação do particionamento

Existem muitas formas de particionar o circuito, ficando por conta do projetista a escolha da melhor forma de particionar e controlar os blocos internos do seu circuito. A desvantagem desta técnica é a necessidade da utilização de muitos pinos externos para ativar os blocos internos. Por este motivo, o seu uso parece mais adequado para particionamento parcial a nível de linhas de um bloco.

4.3.1.2 Pinos de teste

Uma forma de aumentar o grau de controle e observação de um circuito é através do uso de pinos de teste [BRE 76]. Esta prática aumenta o número de pinos do circuito. Uma forma simples e conhecida de obtermos um pino de teste é efetuarmos a ligação de um ponto de saída interno a um pino externo. Vale ressaltar, que neste trabalho a observação de pontos internos não é o problema e sim o seu controle. Na Figura 4.2 vemos como as linhas 1 e 2 que ligam dois blocos podem ser pinos de teste para observação e controle. A linha HAB do bloco x serve para desabilitar estas linhas (coloca em alta impedância) durante o teste, assim, as linhas 1 e 2 podem ser controladas externamente. Quando o circuito estiver ativado para funcionar normalmente, estes pinos de teste permitem a observação de sinais existentes nas respectivas linhas.

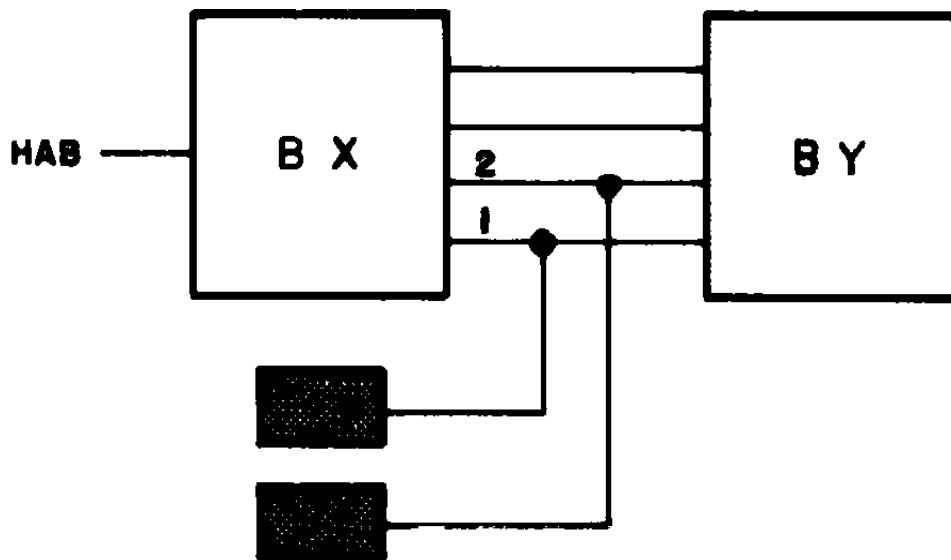


Figura 4.2 Exemplo de aplicação de pinos de teste

4.3.1.3 Teste através dos barramentos

Geralmente em circuitos digitais a comunicação e controle entre blocos funcionais são feitos através de barramentos. Se pudermos acessar externamente estes barramentos e ao mesmo tempo selecionar um dos blocos, deixando os outros desligados do barramento (alta impedância), então poderemos usar o barramento para estimular o bloco escolhido independentemente. Se o barramento não for acessível externamente, então será necessário a colocação de pinos com esta finalidade.

4.3.1.4 SISO (Scan in/ Scan out)

Esta é uma das técnicas mais conhecida para acessar pontos internos de um circuito, e baseia-se na ligação destes pontos a um registrador deslocador. Um vetor de entrada pode ser “deslocado” para dentro do circuito, e, assim que o teste for executado, o resultado pode ser “deslocado” para fora (scan in / scan out). Além disso, o registrador deslocador pode ser usado para configurar o sistema pela colocação de um vetor conhecido nos estados internos que controlam os blocos funcionais. Por exemplo, registradores de controle que habilitam ou desabilitam a operação de incremento de um contador. Esta técnica melhora o controle e observação do circuito.

As técnicas SISO têm sido usadas pela IBM sob o nome de “Level Sensitive Scan Design” (LSSD) [WIL 73]. A célula básica do registrador deslocador é mostrada na Figura 4.3 e na Figura 4.4.

As linhas D e C controlam a operação de carga do registrador, enquanto as linhas I, A e B controlam a estrutura para funcionamento como registrador deslocador.

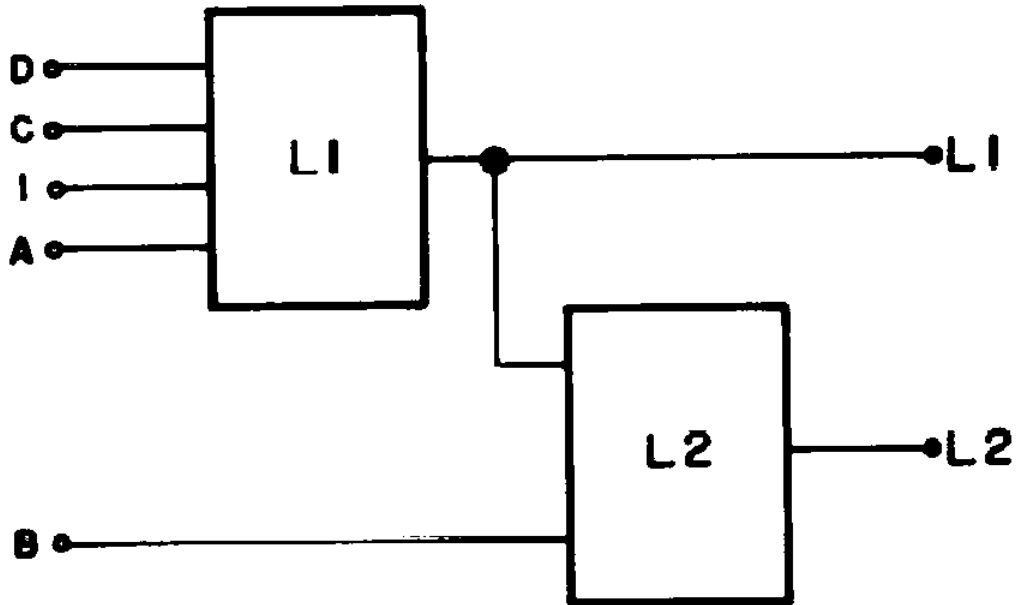


Figura 4.3 Diagrama de blocos de um registrador deslocador

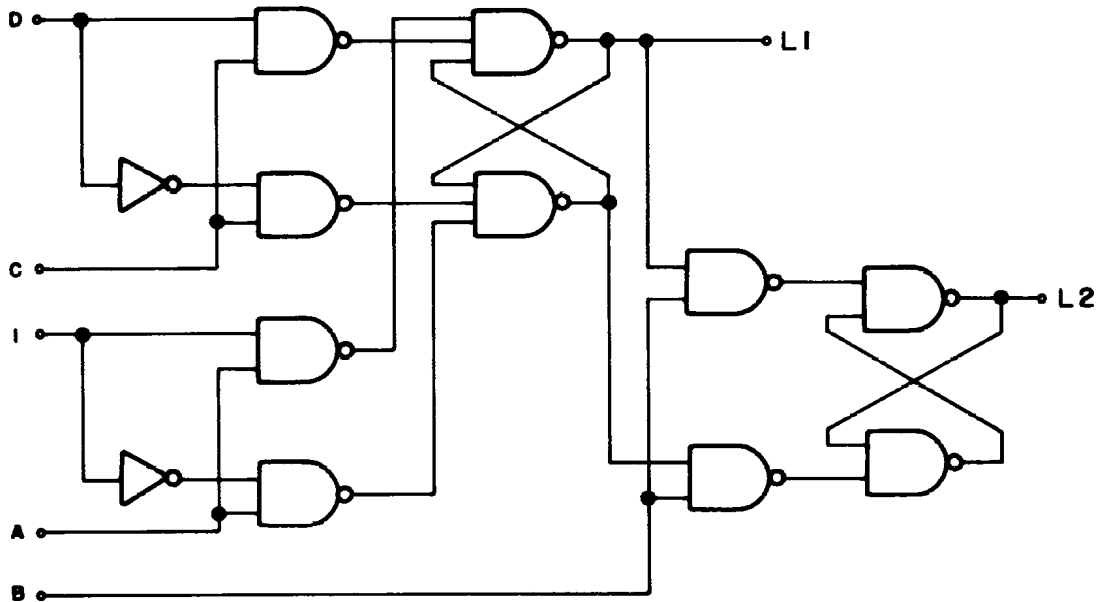


Figura 4.4 Diagrama lógico de um registrador deslocador

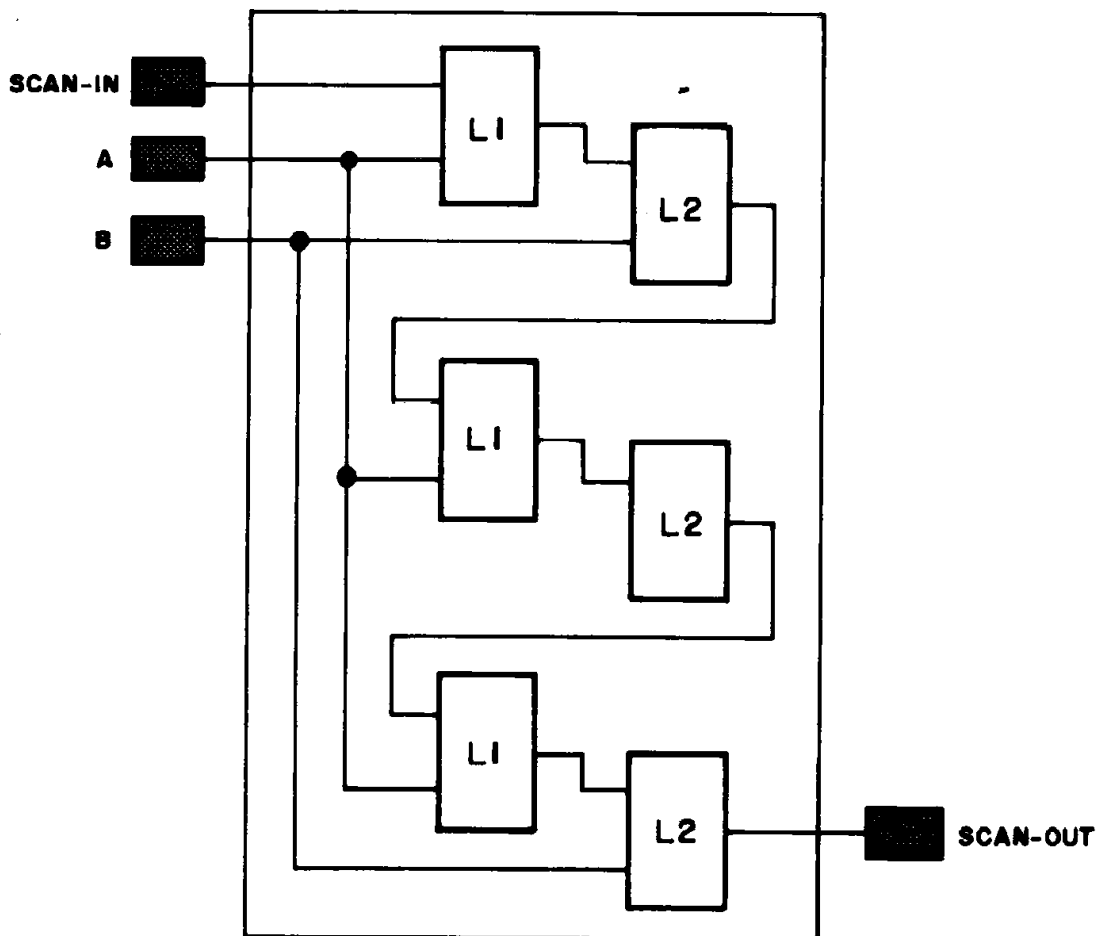


Figura 4.5 Interconexão de células de um registrador deslocador

Os registros são conectados entre si através da ligação L2 a I, sendo que as linhas A e B controlam o deslocamento. Quando A for igual a 0 e B igual a 1 haverá um deslocamento do valor de L1 para L2, por outro lado, quando A for igual a 1 e B igual a 0 haverá um deslocamento do valor de I para L1. Se A e B tiverem valor 0, a estrutura funcionará no modo carga. Na Figura 4.5 mostramos a interconexão de várias células dentro de um circuito e os pinos externos necessários para o seu controle, que ao total são quatro.

Já na Figura 4.6 mostramos uma aplicação do registrador deslocador em um circuito seqüencial.

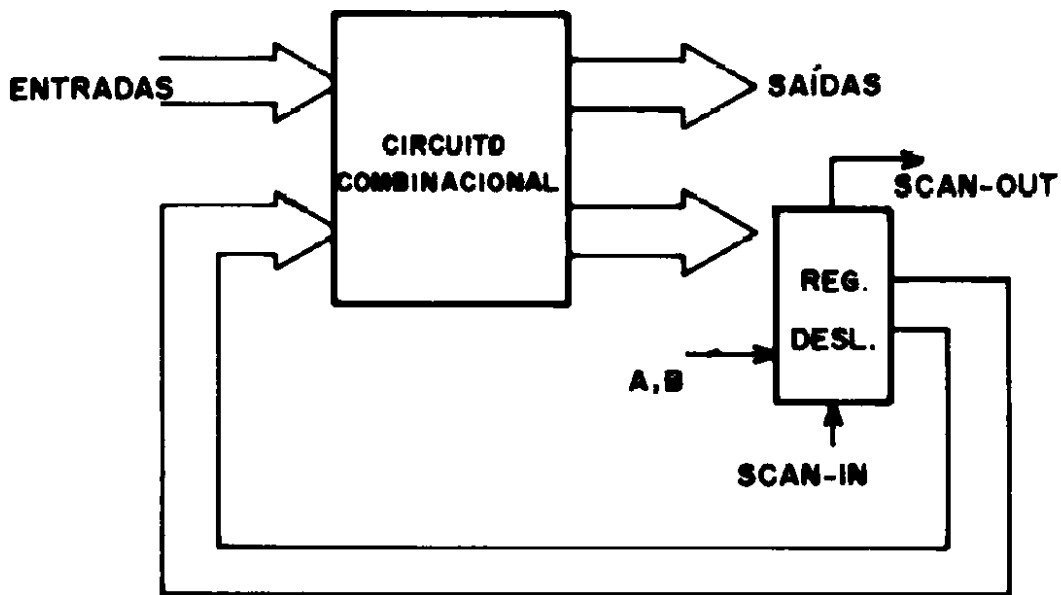


Figura 4.6 Aplicação de um reg. deslocador em um circuito seqüencial

4.3.2 Estruturas sensíveis ao feixe eletrônico

Quando o feixe de elétrons é posicionado sobre as junções p-n de circuitos MOS, é gerada uma corrente induzida. Se a energia do feixe incidente for de 5-20 Kev pode gerar aproximadamente 1000-4000 pares de elétrons-lacunas. Se estes portadores forem coletados pelo campo da junção, correntes de algumas centenas de Amperes serão induzidas [SHA 81]. As junções p-n existem naturalmente em circuitos MOS entre as linhas em difusão e o substrato. Como o substrato é sempre ligado a tensão mais negativa (0 ou $-V$) e as tensões nas linhas em difusão variam entre 0 e +5V, as junções (diodos) estarão sempre polarizadas inversamente. Quando estas junções forem atingidas pelo feixe, pode ser gerada uma corrente na junção inversamente polarizada. Aproveitando este fenômeno físico, podemos implementar estruturas sensíveis ao feixe em qualquer ponto do circuito, tal como mostra a Figura 4.7, onde por meio do posicionamento do feixe em um dos diodos pode-se mudar o conteúdo do registro. Estas estruturas podem ser utilizadas tanto para injetar, como para retirar sinais de pontos internos do circuito. É necessário o controle do feixe (chaveamento, posicionamento) para poder injetar sinais seletivamente.

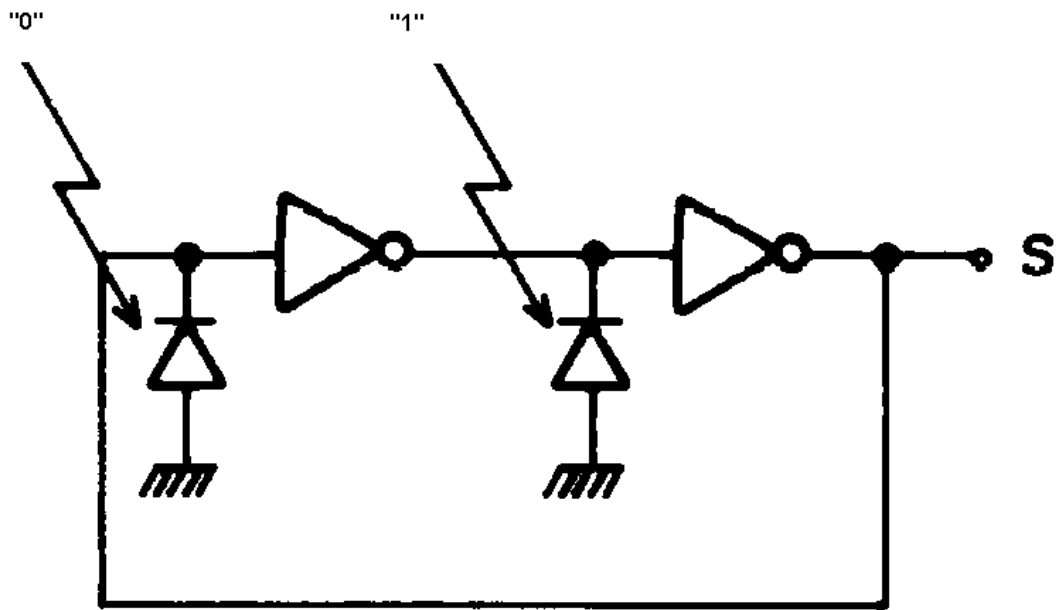


Figura 4.7 Diagrama de um registro chaveado pelo feixe eletrônico

Estas estruturas podem ser usadas para aplicar dinamicamente vetores de entrada em blocos funcionais, como vemos na Figura 4.8. Podem também ser usadas para possibilitar a observação de inúmeros pontos internos, utilizando-se um único pino de saída. Na Figura 4.9 vemos como a informação das linhas A, B e C podem ser obtidas através de uma linha multiplexada. Assim, se o feixe ativar o diodo b, obteremos em S o nível lógico da linha B invertido.

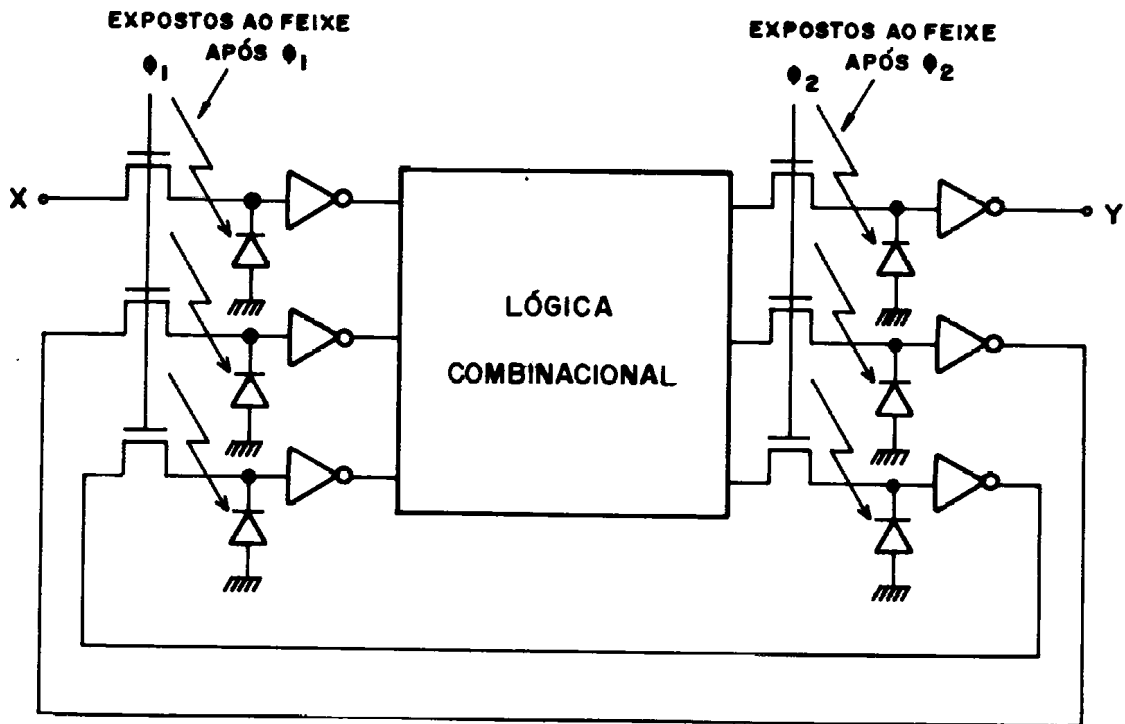


Figura 4.8 Controle de uma máquina de estados

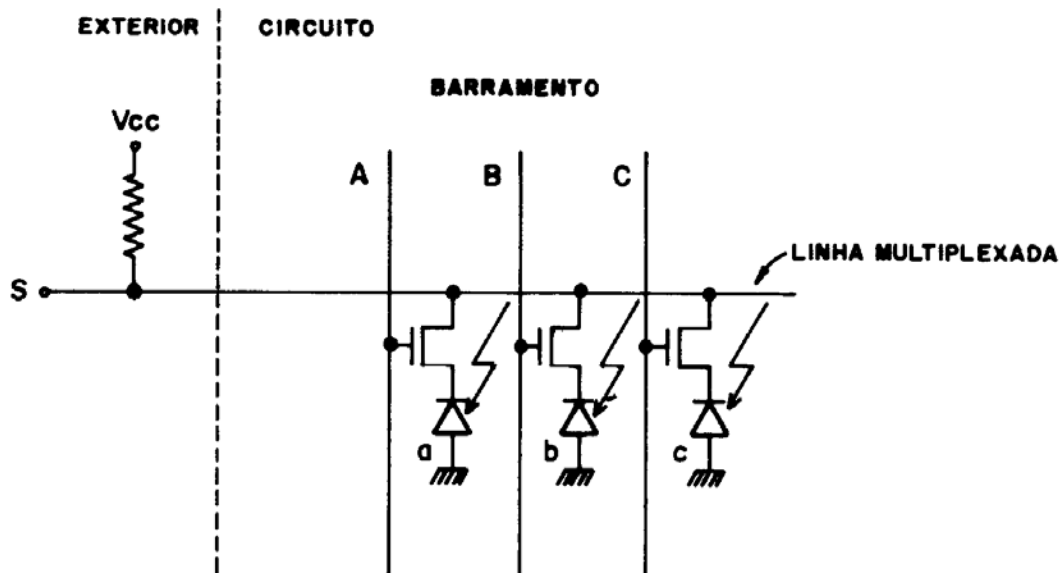


Figura 4.9 Multiplexador controlado pelo feixe eletrônico

Finalmente, podemos utilizar uma combinação das técnicas de projeto visando o teste com estruturas sensíveis ao feixe. Concluindo, o problema do particionamento é a excessivo aumento do número de pinos do circuito. Por

outrolado se utilizarmos estruturas sensíveis ao feixe, para aplicar sinais, necessitaremos somente de um pino, como mostra a Figura 4.10.

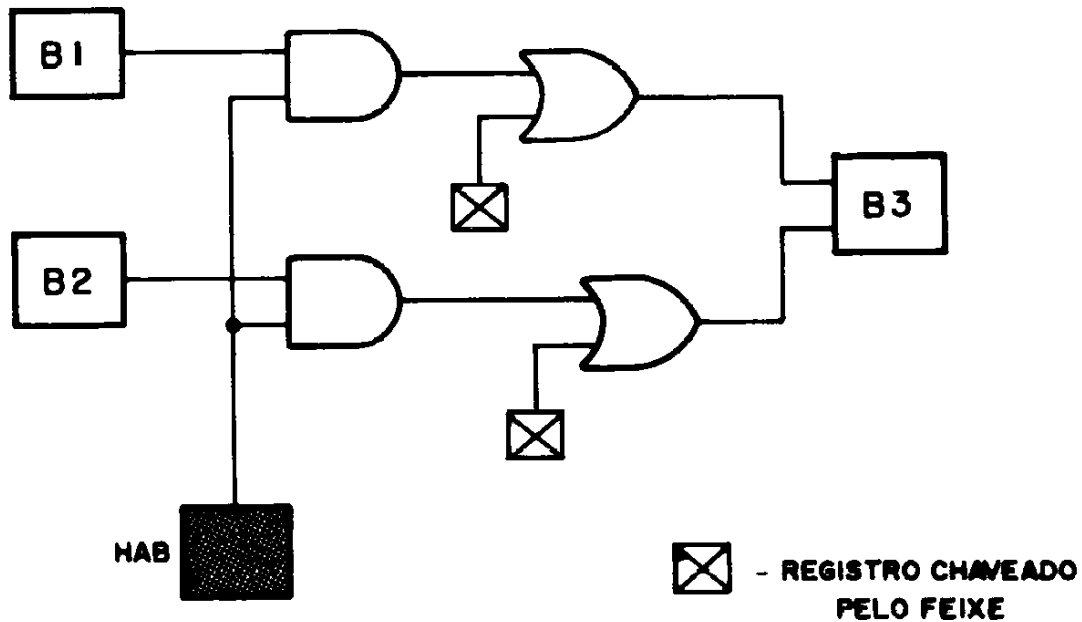


Figura 4.10 Particionamento com estruturas sensíveis ao feixe

4.3.3 Aumento da observabilidade

Como já foi visto anteriormente, em baixas tensões de aceleração do feixe, o contraste por tensão de sinais DC só pode ser visualizado na camada mais superficial do circuito, no caso de circuitos MOS esta camada é metálica. Por outro lado, o contraste por tensão AC pode ser visualizado em qualquer camada (utilizando técnicas de observação), principalmente na mais superficial. Por estes motivos a colocação proposital de pontos de observação na última camada é muito importante para a visualização do contraste por tensão DC, e ao mesmo tempo, possibilita uma melhor visualização do contraste por tensão AC. Chamamos estes pontos de observação de pontos de teste, que podem ser colocados durante o desenho das máscaras pelo projetista. Na tecnologia MOS estes pontos de teste são pequenas linhas em metal (ver Figura 4.11), as mesmas podem ter as dimensões mínimas permitidas pelas regras de projeto.

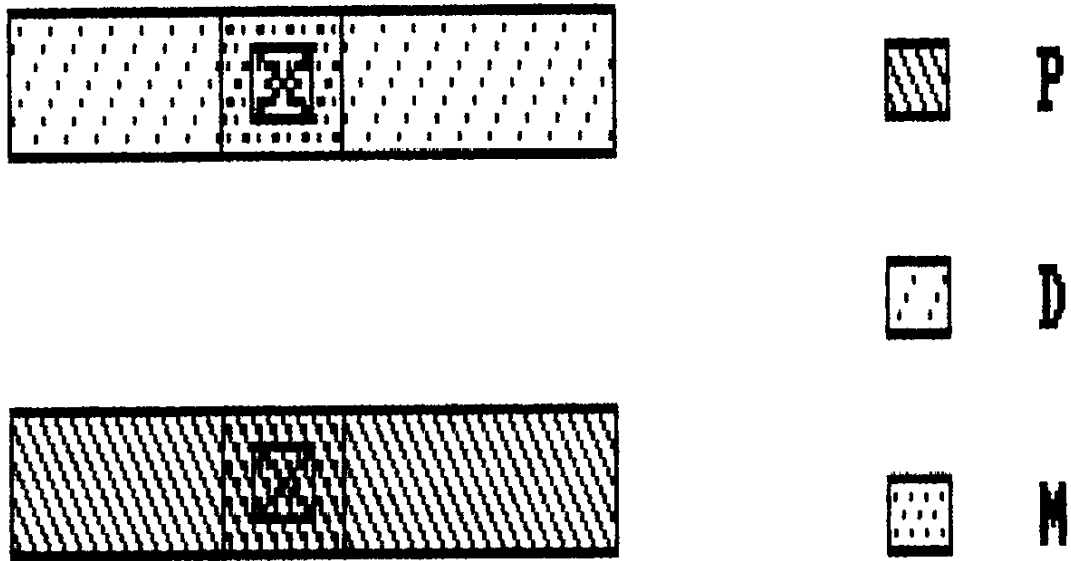


Figura 4.11 Pontos de teste

Os pontos de teste de um mesmo bloco funcional ou de um conjunto de interconexões devem ser agrupados e organizados de forma que sejam facilmente reconhecidas e observadas. Por exemplo, em um barramento é aconselhável a colocação dos pontos de teste de forma que todos possam ser observados ao mesmo tempo, com uma área mínima de varredura (ver Figura 4.12)

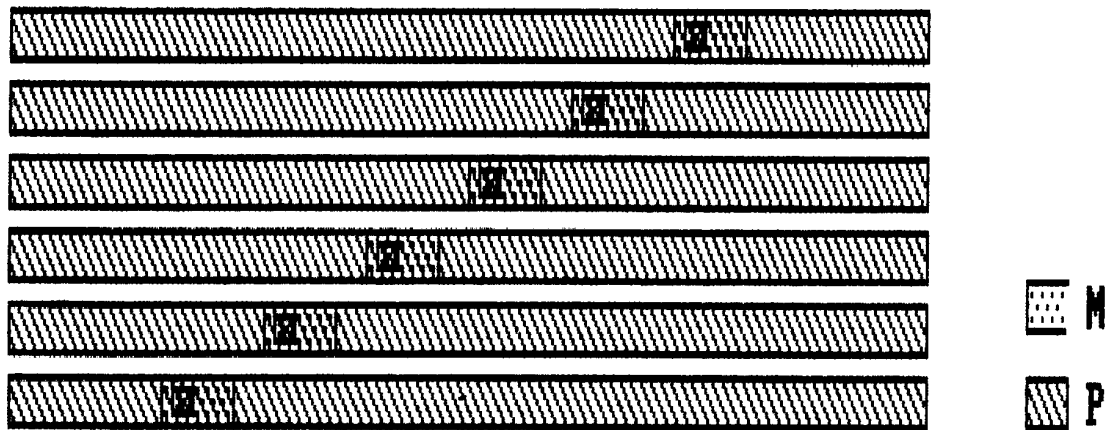


Figura 4.12 Colocação de pontos de teste

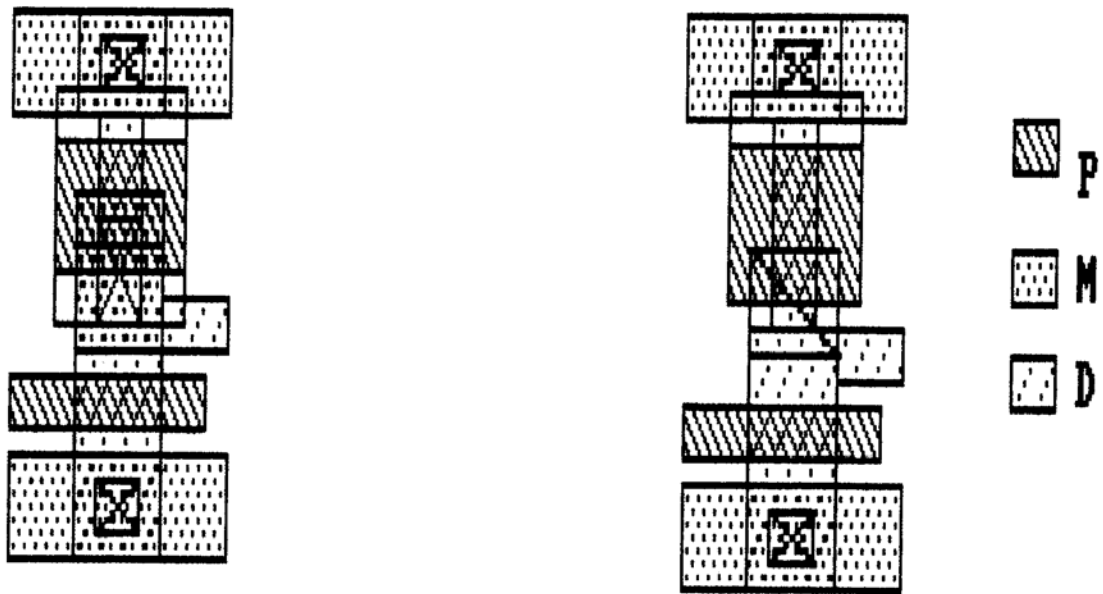


Figura 4.13 Ponte metálica em inversores

Em circuitos NMOS é possível o aproveitamento das regras de formação de um transistor para a colocação de pontos de teste, em alguns casos é aconselhável usar ponte metálica em vez de pré-contato (ver Figura 4.13). Isto como sabemos diminui a transparência da célula para linhas metálicas [REI 83], mas evita a adição de um ponto de teste explícito. Em CMOS que utiliza tecnologia de dois níveis de metal, os pontos de teste serão realizados em metal 2.

Os pontos de testes servem tanto para a observação no modo imagem como no modo ponto. A medida de sinais no modo ponto, seja para obter o nível lógico ou a forma de onda, pode ser melhorada colocando pontos de teste como na figura Figura 4.14. O anel metálico é sempre ligado à tensão mais negativa e a região central é ligada ao sinal a ser observado. O anel metálico em volta do ponto de teste evita a interferência dos campos gerados por linhas condutoras vizinhas, possibilitando que uma maior quantidade de elétrons secundários emitidos da área central atinjam o coletor.

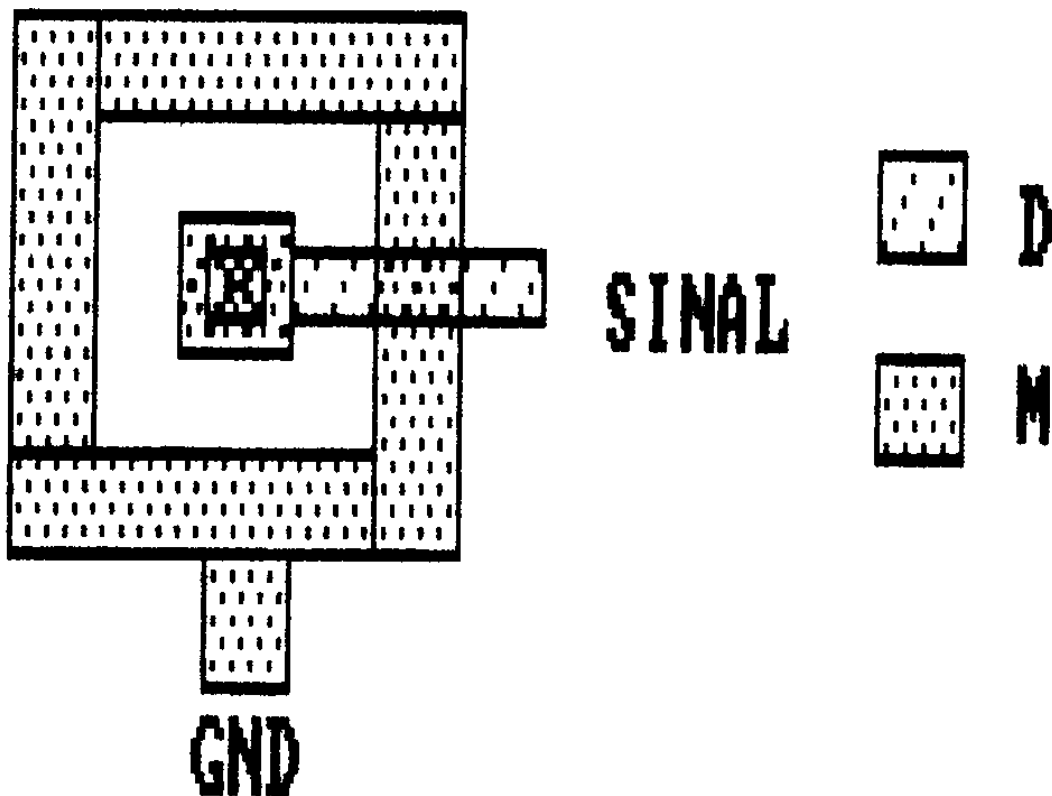


Figura 4.14 Anel de teste

4.4 Documentação necessária

As informações necessárias durante a depuração do circuito são as seguintes:

Descrição funcional

- a) diagrama de estado;
- b) fluxogramas.

Descrição estrutural

- a) descrição a nível de blocos (arquitetura);
- b) diagrama lógico das células;
- c) diagrama elétrico das células.

Descrição física

- a) layout do circuito, conjunto de blocos, células;
- b) planta baixa do circuito a nível de blocos (ver anexo 7);
- c) planta baixa a nível de blocos e as interconexões (ver anexo 7);

- d) desenho da máscara da última camada de partes de circuito, mostrando a localização dos blocos (ver anexo 7).

Além destas informações acima podemos ter outras, tais como:

- a) rotina de teste do circuito;
- b) resultados de simulação (lógicas, elétrica);
- c) resultados do teste preliminar;
- d) descrição da pinagem, diagrama de solda (ver anexo 7).

Uma organização hierárquica da documentação permitirá um fácil acesso às informações durante a depuração do circuito. Pode-se ter toda esta documentação armazenada em um computador.

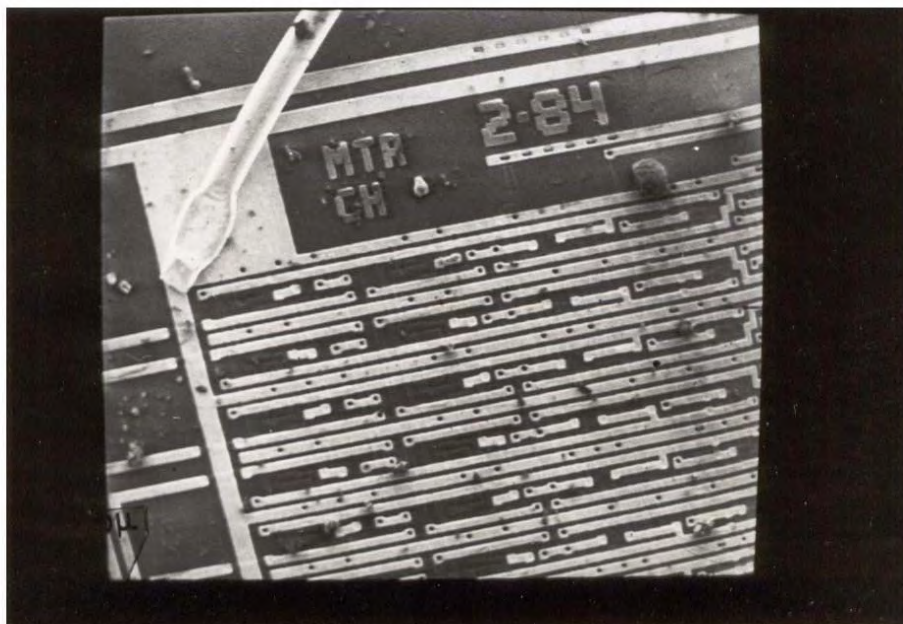
É necessário a rotulação de pontos importantes do layout de células, blocos, interconexões para sua identificação durante a observação destes pontos no MEV. Se a linguagem de descrição de máscara permitir, a rotulação pode ser feita durante o desenho do layout. A utilização de um sistema de descrição de máscaras, tais como, o RS [TOD 86] ou LUCIE, permitirá a geração de imagens de referência na mesma escala da imagem obtida do MEV. Estas serão úteis para uma fácil identificação das linhas e acompanhamento de sinais nas várias camadas. A superposição destas duas imagens será a forma ideal para realizar o acompanhamento de sinais nas várias camadas condutoras.

4.5 Inspeção

Antes de iniciarmos a depuração, devemos realizar uma inspeção visual do circuito não alimentado. Esta inspeção pode ser feita utilizando o MEV e permitirá a localização de problemas como:

- a) danos a pastilha executados durante a soldagem e encapsulamento;
- b) danificação da fiação ou da pastilha causados durante a abertura do invólucro;
- c) existência de partículas de poeira que impeçam a observação da superfície.

Esta etapa também é importante porque permitirá um reconhecimento prévio da pastilha. Durante esta etapa poderá ser utilizado um microscópio ótico. Caso não sejam detectados problemas, passamos então para a próxima etapa. Na Fotografia 4.17 observamos um circuito em desenvolvimento com partículas de poeira na sua superfície.



Fotografia 4.17 Região de um circuito com partículas de poeira na superfície (A= x130)

4.6 Depuração

O principal objetivo da depuração dos protótipos é a localização dos erros de projeto, sendo que, devemos admitir também a existência de falhas de fabricação. Como sabemos, a fabricação de circuitos é um processo delicado e difícil de ser controlado, impurezas (como poeira) podem contaminar a pastilha durante a fabricação, resultando defeitos tais como: interconexões interrompidas, não formação de transistores, etc. Este é um problema, que por analogia, pode ser comparado ao de um programador que tenta depurar seu programa e cujo compilador pode estar introduzindo aleatoriamente erros no código gerado. O ideal seria iniciar a depuração de um protótipo sabendo que este não contém problemas de fabricação. Deve-se encontrar métodos que sejam capazes de diferenciar estas duas situações antes de iniciar a depuração do circuito. A depuração do protótipo com o MEV é dividida em três fases.

- a) Polarização;
- b) Localização de blocos contendo erros;
- c) Localização de erros nos blocos.

Admite-se a existência de problemas de fabricação, que podem acontecer em qualquer parte do circuito. Dependendo da localização eles

podem alterar substancialmente o funcionamento do circuito ou não. Por exemplo, se um problema de fabricação for gerado em um bloco de controle ou linhas de controle, pode mascarar erros de projeto, impedindo a depuração completa do protótipo. Por outro lado, se este erro for gerado em uma célula de um bloco de memória, pode não influir na seqüência de operações do protótipo e até pode passar despercebida durante a depuração. Se durante a depuração for localizado algum problema de fabricação, deve-se trocar imediatamente de circuito por um outro do mesmo lote.

A partir de um teste funcional realizado na segunda fase serão identificados os blocos contendo erros e a seguir localizados os erros nestes blocos. Cabe ressaltar que o teste funcional apenas permitirá detectar erros de projeto, não será utilizado nenhum teste específico para detectar erros de fabricação, podendo alguns deles passar despercebidos.

4.6.1 Polarização

Esta fase tem por objetivo a detecção de problemas graves tais como:

- a) mau contato nos pontos de solda;
- b) interrupção das linhas de alimentação, relógio e reset externo

Inicia-se com a alimentação do circuito sem injetar o sinal de relógio. A verificação de cada um dos pinos de entrada do circuito é realizada forçando externamente estas linhas aos estados lógicos "0" e "1" e acompanhando visualmente o sinal na ligação. Como os sinais existentes nas linhas de alimentação são sinais DC, será possível a visualização do contraste por tensão DC nas linhas da última camada. Dependendo das dimensões da pastilha, a observação será feita em uma única imagem ou em várias. Nesta fase é necessário dispor do desenho da última camada do circuito para o fácil reconhecimento e acompanhamento das linhas de alimentação nas imagens obtidas.

Quando houver a interrupção de uma linha de alimentação, dois casos podem acontecer como mostra a Figura 4.15 a e b. No primeiro caso, a localização da interrupção não será trivial, isto porque não haverá diferença de tonalidades entre as partes da linha. No segundo caso, a localização da interrupção poderá ser imediata, isto porque a parte da linha que fica isolada será vista como uma região cinza, diferenciando-se da outra, que será vista como uma região clara ou escura (0V ou 5V).

Em circuitos NMOS e CMOS camada simples de metal, as linhas de alimentação são sempre metálicas. Por ser esta a última camada do circuito não haverá maiores problemas quanto ao acompanhamento dos sinais DC nestas linhas. Por outro lado, em circuitos CMOS com dupla camada metálica as linhas de alimentação podem estar tanto em metal 1 como em metal 2,

sendo que em baixas tensões de aceleração o contraste por tensão estática será visualizado no metal 2. Neste momento, os pontos de teste colocados estrategicamente durante a concepção, serão muito úteis para visualização dos níveis de tensão nas linhas em metal 1 e outras camadas mais internas.

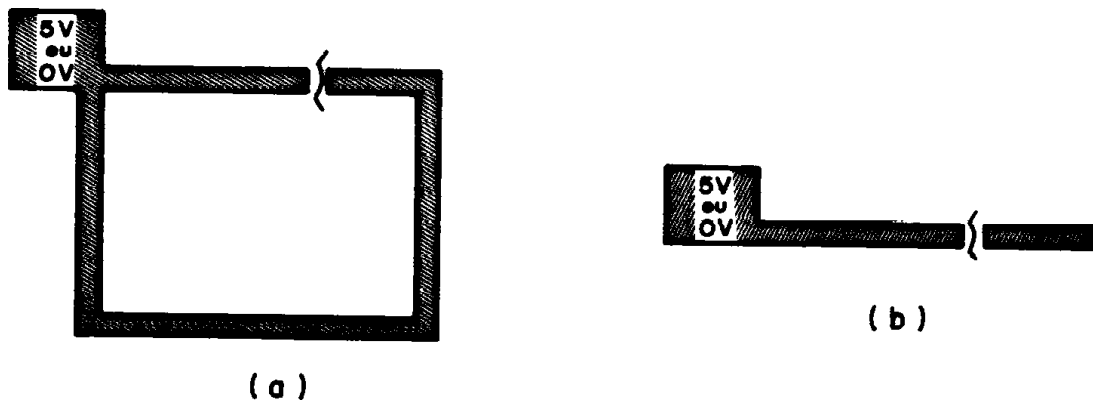


Figura 4.15 Linhas de alimentação interrompidas

Ainda nesta fase podemos verificar se o sinal de relógio chega em cada um dos blocos que dependem dele, em outras palavras, estaremos verificando se não há nenhuma interrupção na linha de relógio. Uma forma de realizar esta verificação é injetar o sinal de relógio e acompanhar o sinal de relógio ao longo das interconexões, utilizando-se para isto a técnica estroboscópica.

Por último, devemos nos assegurar que não há nenhum problema com o sinal de RESET externo. Deve ser verificada a condição de reset de cada bloco controlado por este sinal.

Se for encontrado algum problema devido a fabricação ou encapsulamento (solda ou fio), deve-se providenciar a troca do circuito, dependendo do tipo de defeito, este poderá não existir no outro.

4.6.2 Identificação de blocos que contêm erros

A capacidade de observação que o MEV oferece, nos permite conceber um teste a nível de blocos funcionais. A idéia é estimular o circuito para realizar uma seqüência normal de operações de tal forma que cada um destes blocos seja ativado em todas as situações possíveis de funcionamento, e ao mesmo tempo observar as entradas e saídas de cada um dos blocos (ver Figura 4.16). Um bloco será considerado errado se a sua saída para uma entrada correta for diferente do esperado. A seleção de blocos para serem testados sempre terá a seguinte ordem: primeiro os blocos da parte de controle e depois os blocos da parte operativa. Se um bloco errado controlar outros, então o teste destes outros blocos, na maioria dos casos, poderá ser realizado

somente se existirem estruturas para ativá-los independentemente. Por outro lado, se um bloco errado apresentar funcionamento parcial e este controlar outros blocos, então talvez seja possível testar apenas parte destes blocos. Ou ainda, se por coincidência for possível mapear a operação do bloco defeituoso para uma tabela de vetores, que permitam testar os blocos que dele dependam, pode-se avançar no teste mediante uma reformulação dos vetores.

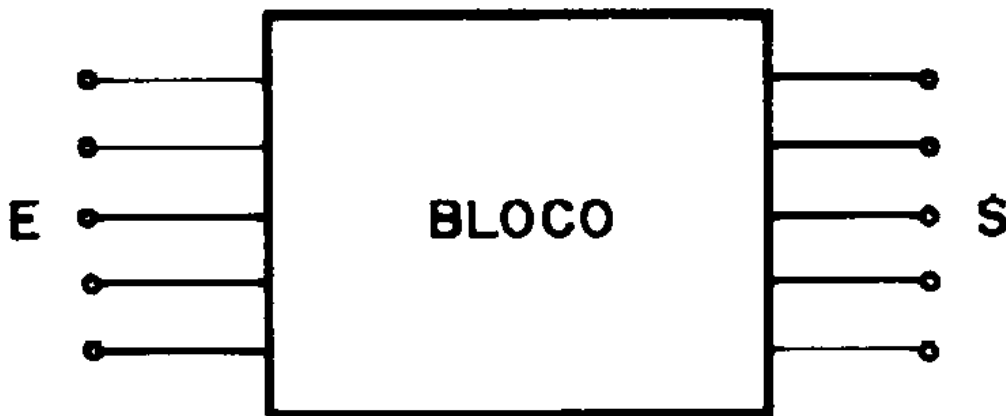


Figura 4.16 Teste de blocos

Se as entradas do bloco a ser testado não forem as esperadas e, ao mesmo tempo, as mesmas vierem de blocos que não contêm erros, então podemos afirmar que os erros estão situados na interface entre blocos.

Os blocos funcionais podem ser: memórias, circuitos seqüenciais, circuitos combinacionais. Os blocos de estrutura regular tal como: ROM e RAM estática, quando gerados automaticamente por ferramentas de PAC, podem ser considerados corretos por construção, não sendo considerados blocos suspeitos de conterem erros. Assim, dependendo do tipo de ferramentas de PAC utilizadas, tanto para geração, como para sua verificação e validação em todos os níveis de especificação, os blocos serão considerados mais ou menos suspeitos. Erros também podem estar localizados nas interconexões entre blocos (exemplo, falta ou troca de interconexão).

4.6.3 Localização de erros nos blocos funcionais

A localização dos erros nos blocos funcionais é realizada a partir da aplicação de um vetor de entradas que permitirão identificar o bloco errado e posterior acompanhamento dos sinais ao longo de todo o interior do bloco (ver Figura 4.17).

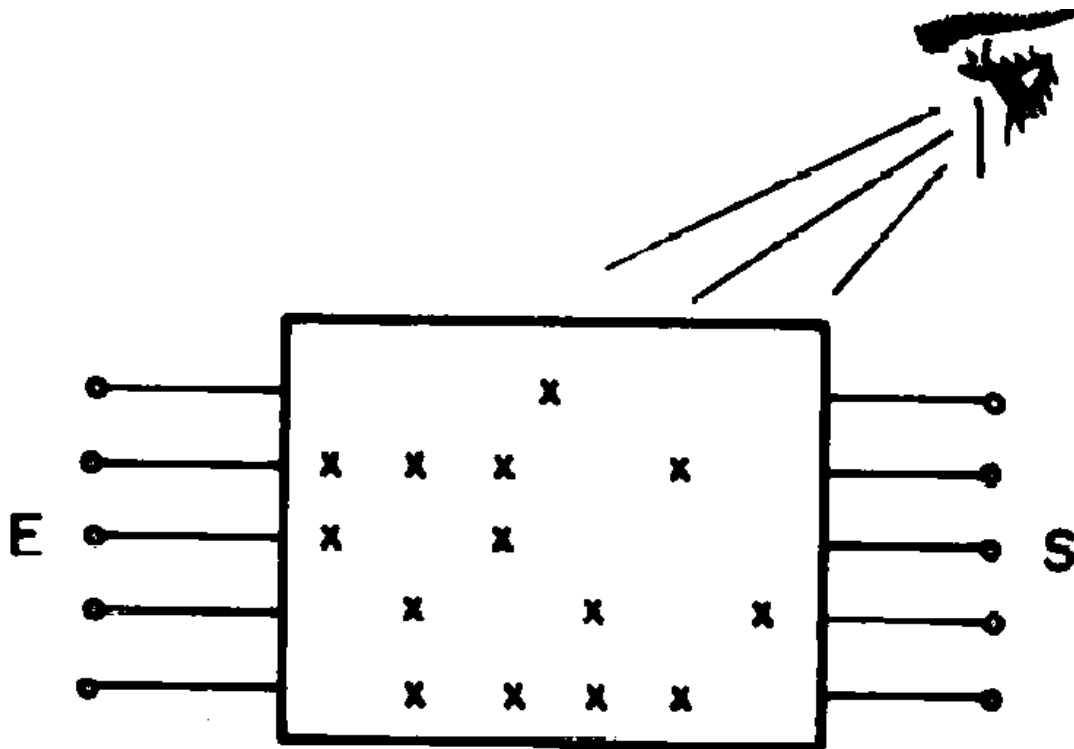


Figura 4.17 Localização de erros

A seguir são apresentados alguns resultados obtidos, durante a depuração de circuitos, utilizando o equipamento disponível. Estas experiências foram realizadas com uma tensão de aceleração de 1,5Kv e corrente de feixe mínima (10 -8A). Os circuitos utilizados não têm a camada de passivação e foram fabricados em tecnologia NMOS. Um deles é o GME 02 Transmissor/Receptor que foi concebido pelo grupo de microeletrônica do PGCC [RIP 84] e [HUR 86]; o mesmo foi totalmente depurado utilizando o MEV. Apresentamos os resultados agrupados, segundo o bloco funcional observado.

4.6.3.1 Registrador estático

O registrador estático com reset tem oito registros, o diagrama lógico da célula básica é mostrado na Figura 4.18. Como sabemos, este tipo de registrador mantém a informação indefinidamente, sem a necessidade de um sinal de controle. A Figura 4.19 mostra o layout da célula, a mesma tem linhas em metal nos pontos A e B que nos permitirá visualizar o contraste por tensão DC nestes pontos. As linhas de alimentação e o barramento de comunicação da célula também estão em metal, já as linhas de controle da célula que correm verticalmente estão em polisilício. A repetição desta célula, de forma a

compartilhar as linhas de alimentação (espelhamento), forma o registrador estático.

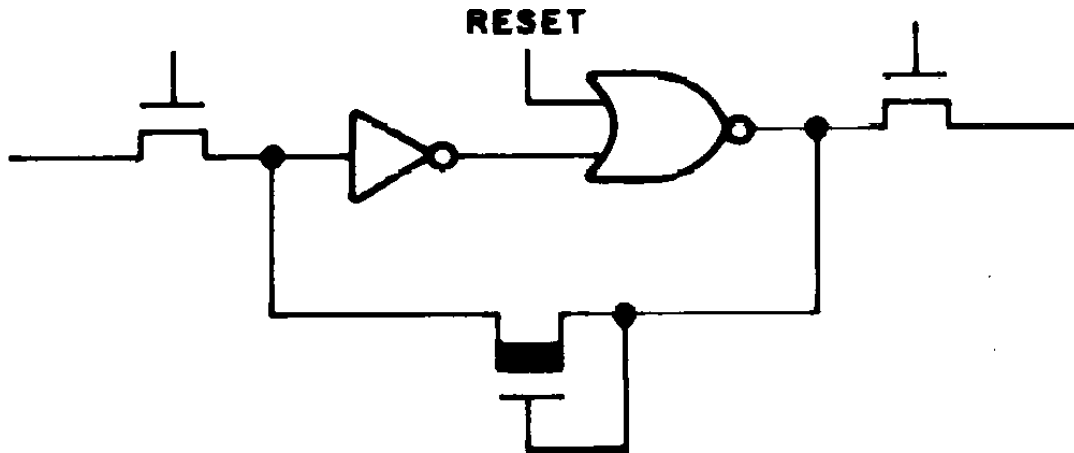


Figura 4.18 Diagrama lógico do registrador estático

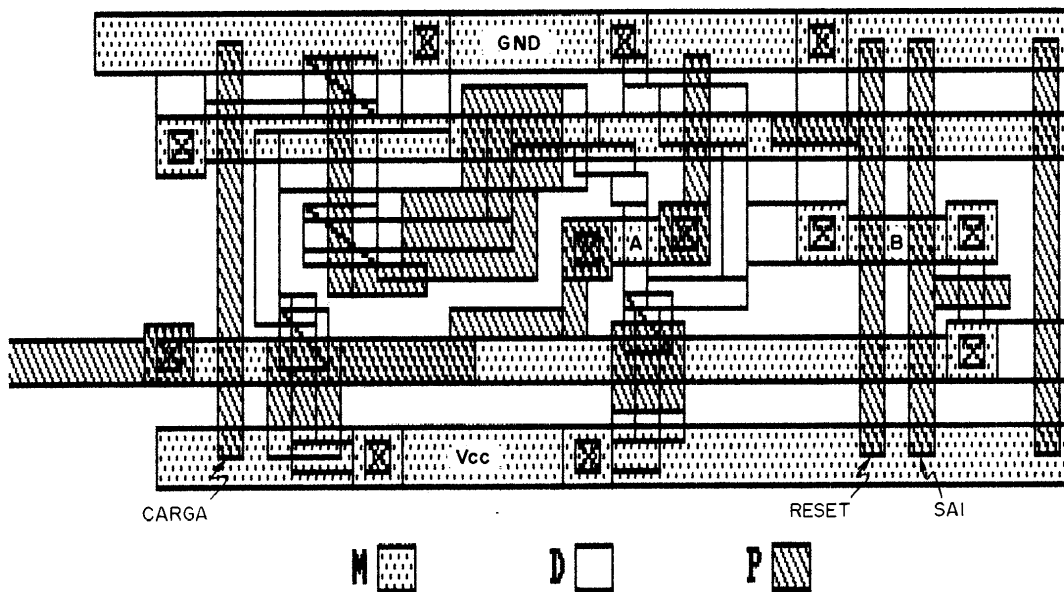
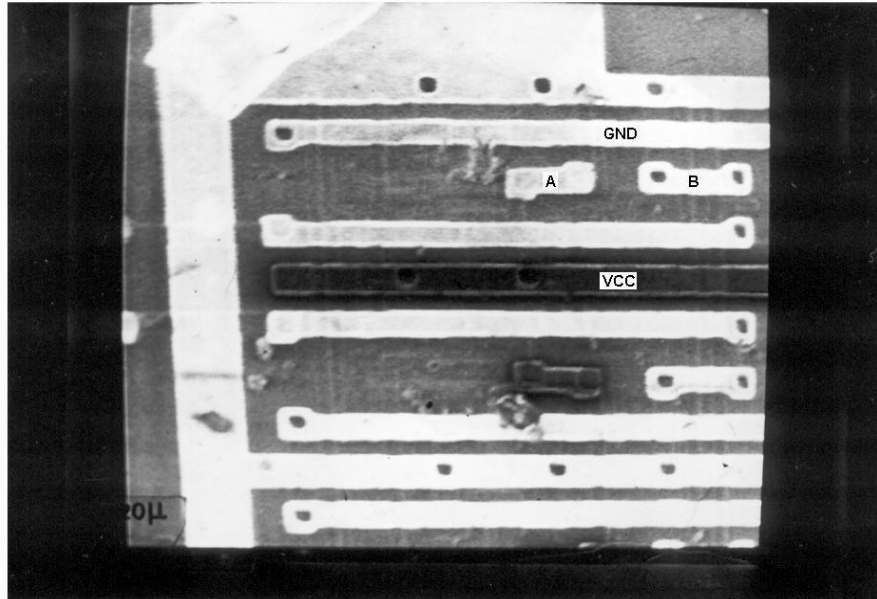


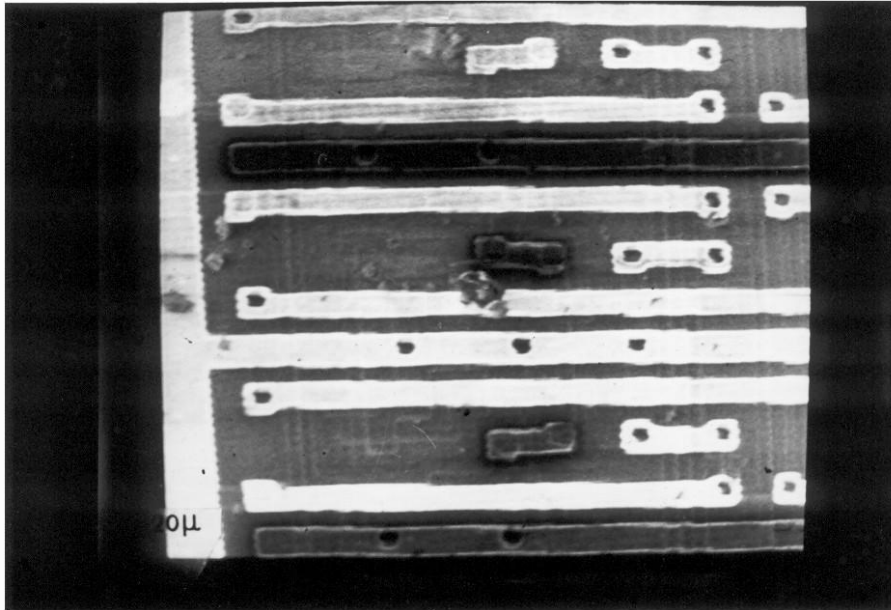
Figura 4.19 Layout da célula do registrador estático

A Fotografia 4.18 e a Fotografia 4.19 mostram três células do registrador que está sendo observado através do MEV. Este registrador faz parte do bloco operativo de um circuito digital em funcionamento. A linha de RESET está ativada, portanto, devemos esperar que os registros estejam zerados. Como mostrado, as linhas de alimentação apresentam tons claros ou escuros, conforme a sua polarização (0 ou 5V). Conforme a lógica de funcionamento, os

pontos A e B (linhas em metal) deveriam mostrar tonalidades contrárias, isto é, se uma fosse clara, a outra deveria ser escura. Vemos que o registro da parte superior não apresenta o resultado esperado, isto é, o ponto A deveria apresentar uma tonalidade escura. Foi portanto detectado um erro que, como concluímos posteriormente, não se tratava de um erro de concepção, presume-se que tenha sido gerado no processo de fabricação ou ainda, durante a fase de teste e depuração. Observar que o contraste por tensão não se manifesta nas linhas em polisilício e difusão.



Fotografia 4.18 Vista Três registros do registrador estático (A= x1000)



Fotografia 4.19 Três registros do registrador estático (A= x1000)

4.6.3.2 Registrador deslocador

Este bloco funcional é formado por células, cujo diagrama lógico é mostrado na Figura 4.20. Este registrador é semiestático, sendo a célula um conjunto mestre-escravo controlado pelas duas fases do relógio, que tem por função a realização das operações de entrada e saída em série ou em paralelo.

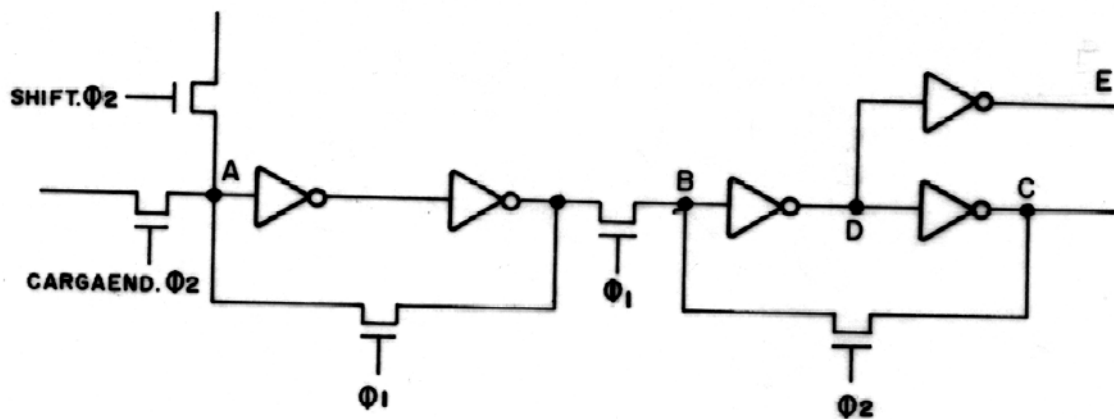


Figura 4.20 Diagrama lógico do registrador deslocador

Na Figura 4.21 mostramos o desenho das máscaras desta célula; a mesma apresenta linhas em metal nos pontos A, B, C, D, E e alimentação da célula. As linhas de controle F1, F2, CARGA e SHIFT estão em polisilício. A Figura 4.22 mostra o desenho das máscaras de uma parte do bloco operativo,

do qual faz parte o registrador deslocador (10 registros). A Figura 4.23 mostra o desenho da camada metálica da mesma parte e a localização do registrador deslocador. A Fotografia 4.20, Fotografia 4.21 e Fotografia 4.22 mostram uma seqüência de dois deslocamentos do registrador. O contraste por tensão nas linhas de alimentação pode ser visualizado, não acontecendo o mesmo com as linhas em polisilício e difusão. O conteúdo inicial dos 6 primeiros registros é 011110; após o primeiro deslocamento o conteúdo esperado deveria ser 001111, mas como podemos verificar o conteúdo foi 001110 e após o segundo deslocamento obtivemos 000010, portanto, está caracterizado detectado um erro. Posteriormente foi verificado que os erros eram de timing e inversão das fases do relógio, cometidas durante a fase do projeto lógico e layout respectivamente.

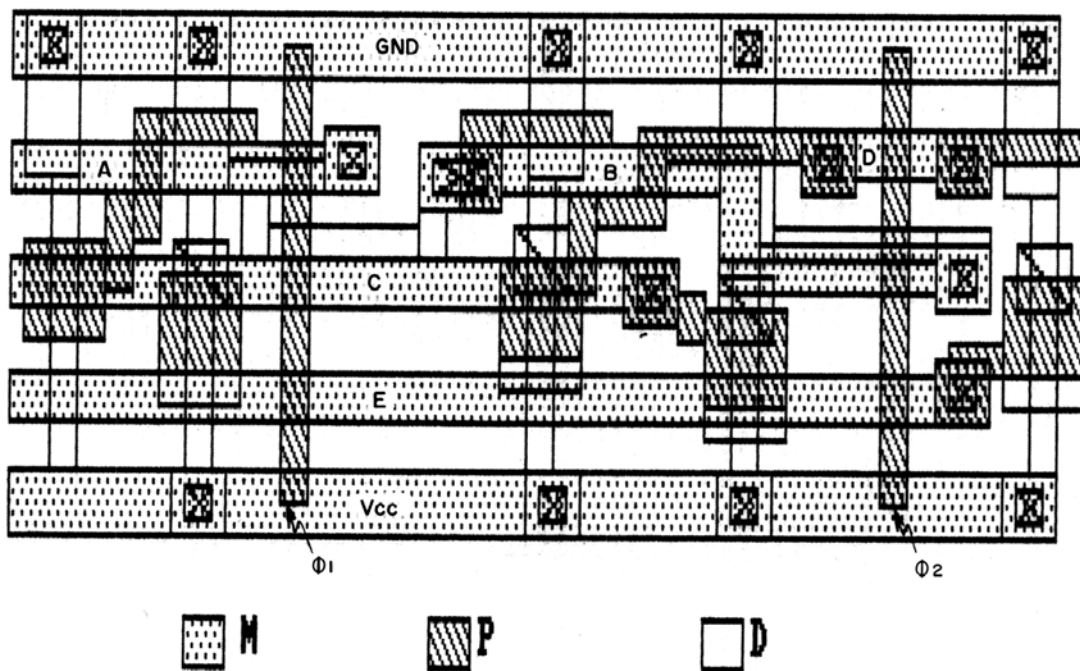


Figura 4.21 Layout da célula do registrador deslocador

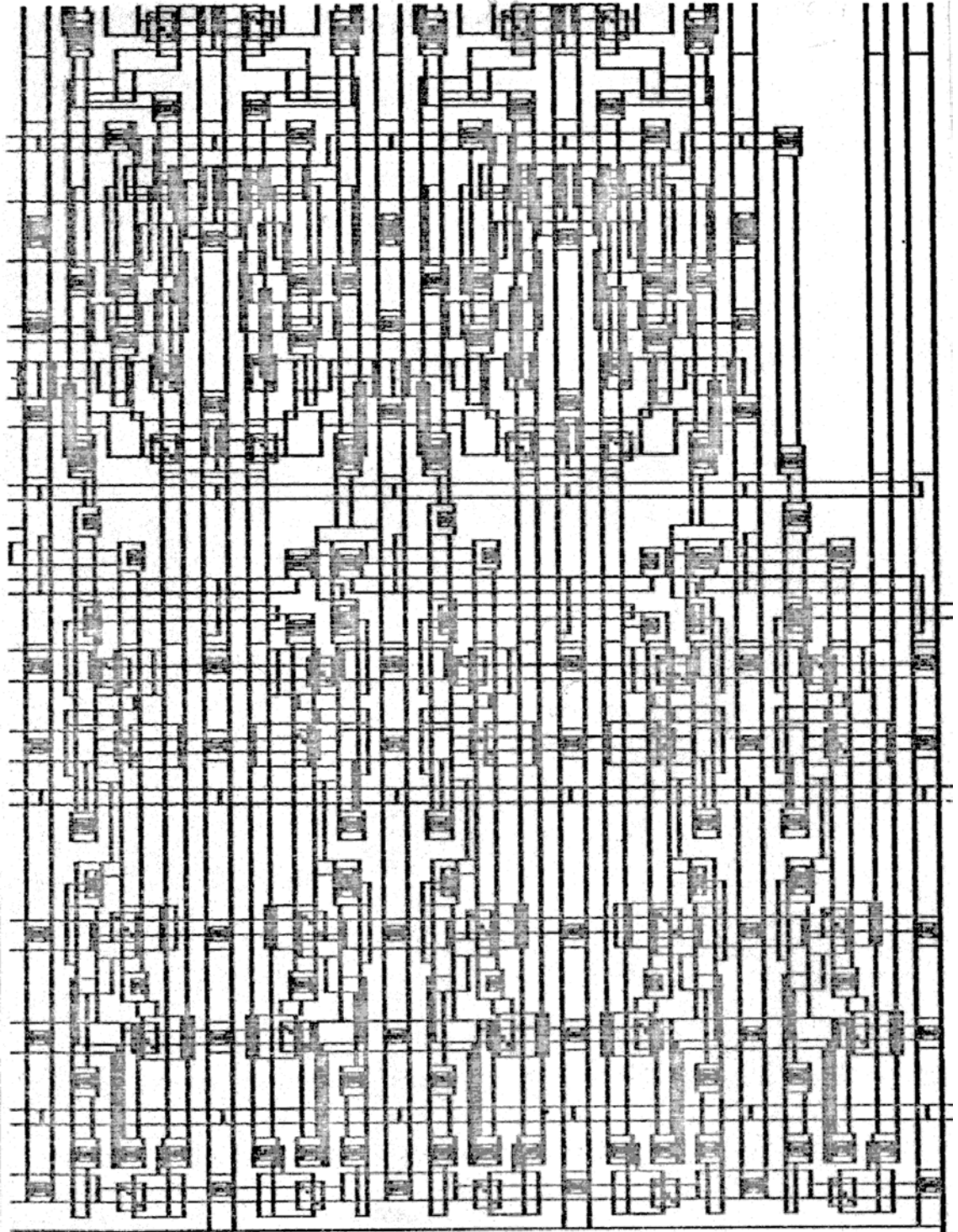


Figura 4.22 Layout de todas as camadas de um bloco operativo da qual faz parte o registrador deslocador

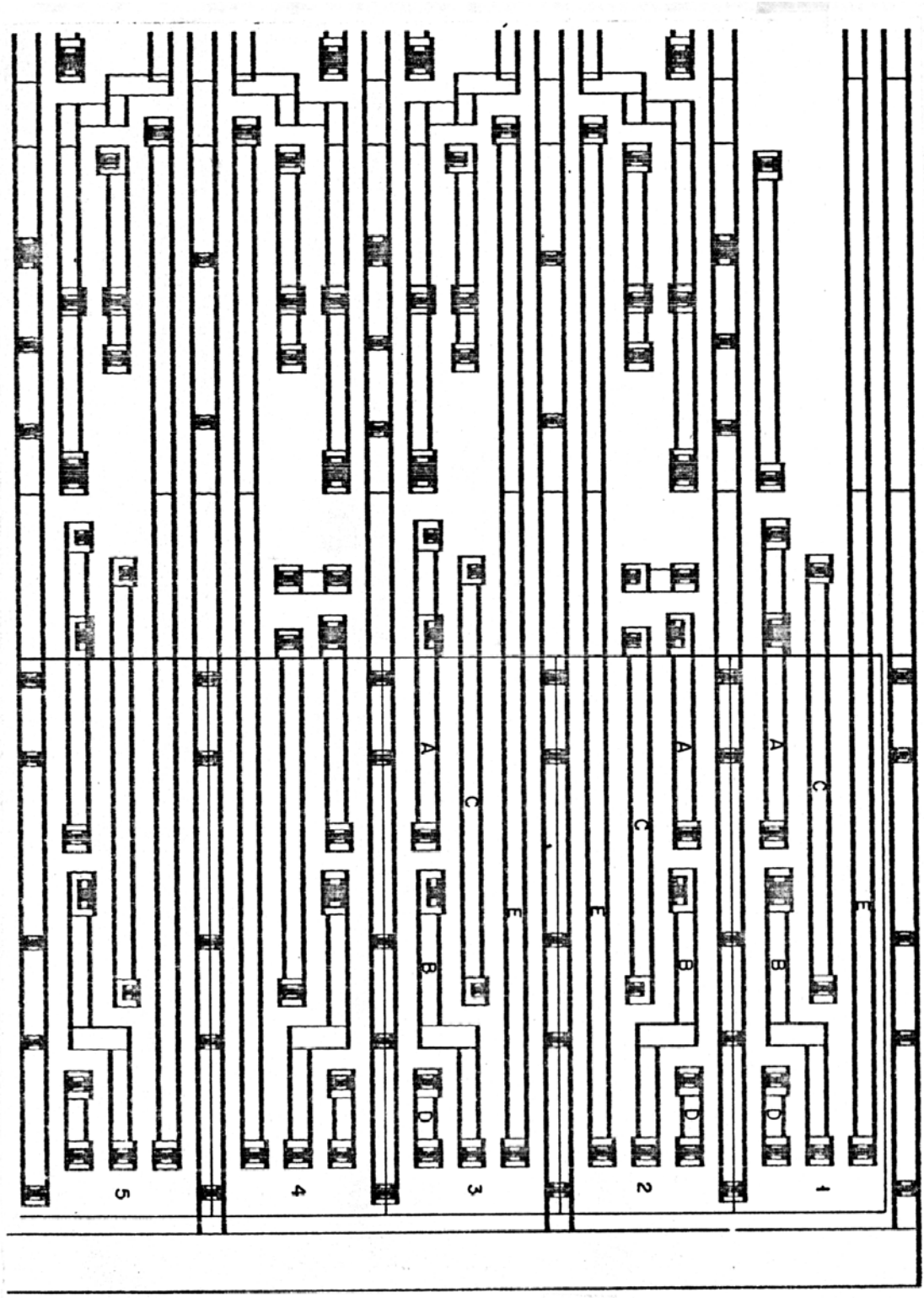
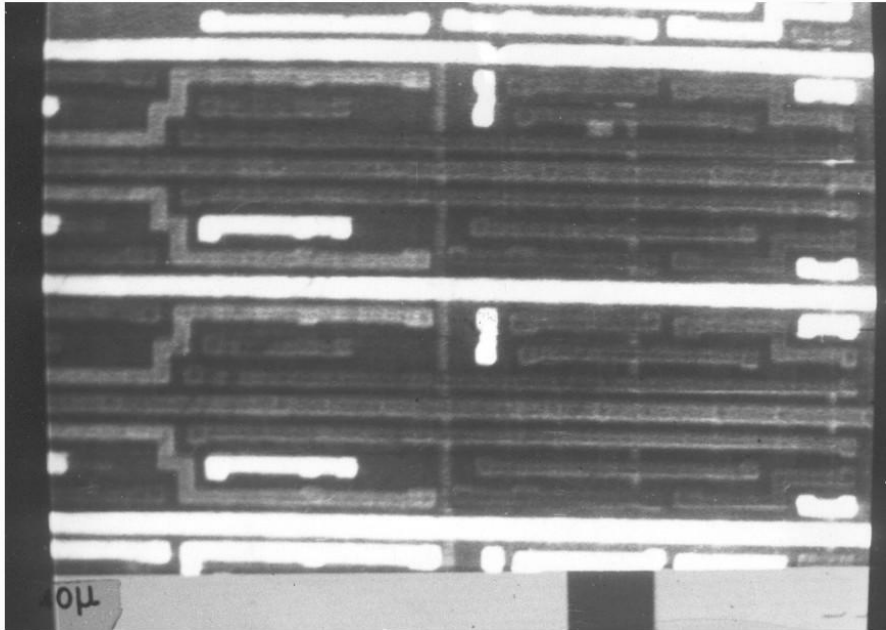
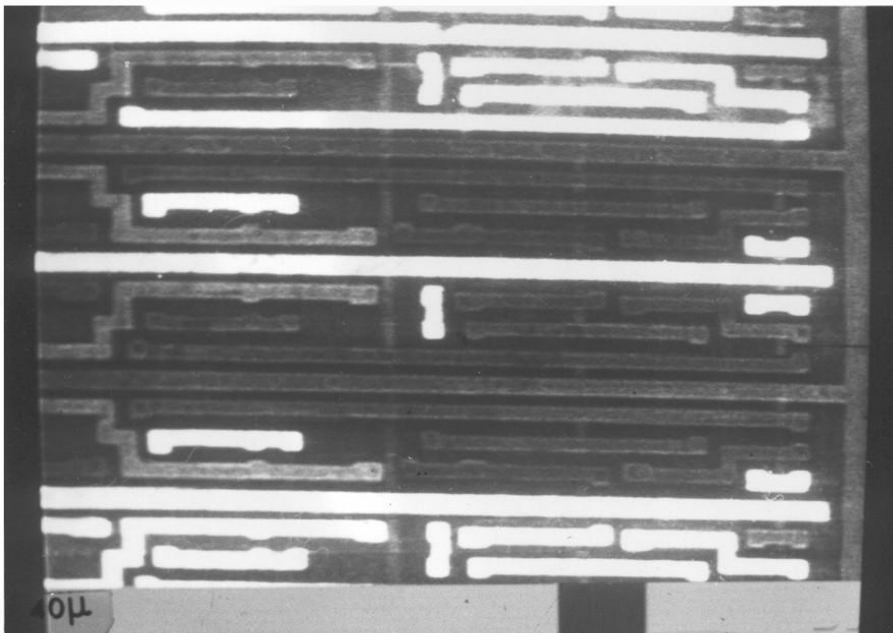


Figura 4.23 Layout da camada metálica de um bloco operativo da qual faz parte o registrador deslocador



**Fotografia 4.20 Registrador deslocador no estado binário 011110
(A=x320, E = 40 μ m)**



**Fotografia 4.21 Registrador deslocador no estado binário 001111
(A=x320, E = 40 μ m)**



**Fotografia 4.22 Registrador deslocador no estado binário 000010
(A=x320, E= 40 μ m)**

4.6.3.3 Máquina de estados

O PLA cujo Layout é mostrado na Figura 4.24 implementa uma máquina de estados, 11 entradas, 11 saídas e 32 monômios. A fotografia 4.24 mostra a imagem com contraste com tensão deste bloco. Podemos ver o estado da máquina para um conjunto de entradas, bem como os monômios e saídas que estão sendo ativadas nas matrizes E e OU respectivamente. As fotografias 4.24, 4.25, 4.26 e 4.27 mostram os estados A, B, C e D, que são diversos momentos de funcionamento da máquina seqüencial.

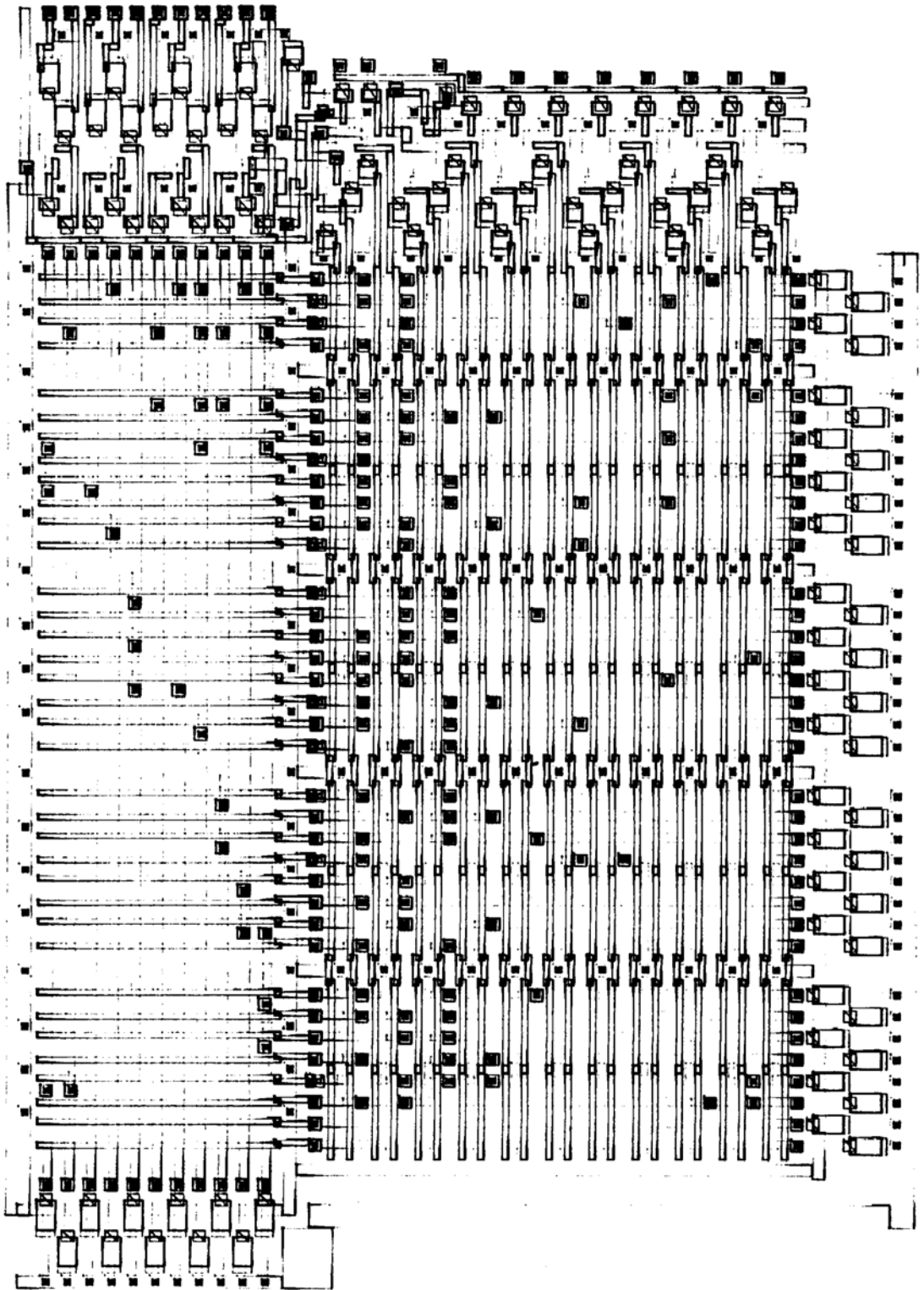
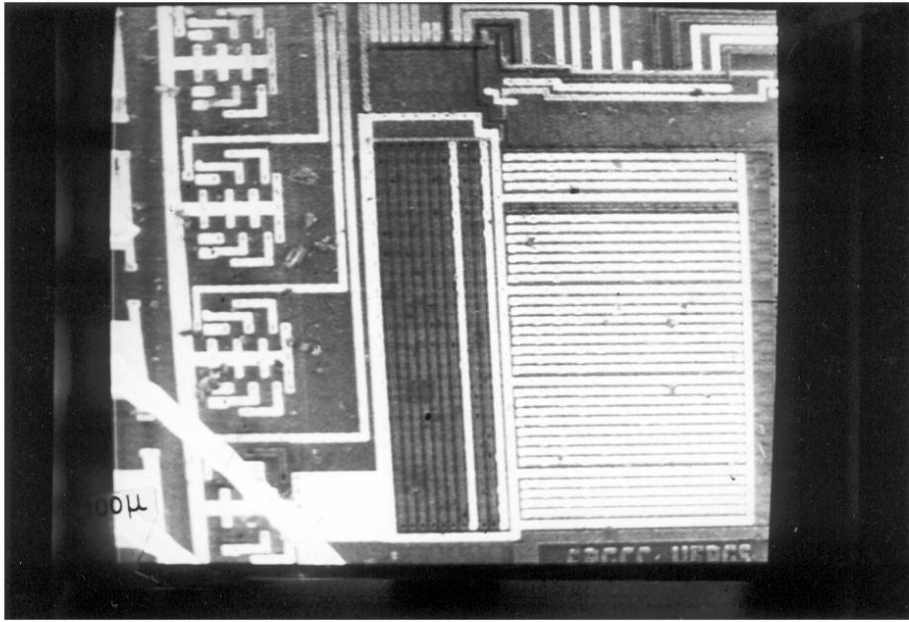
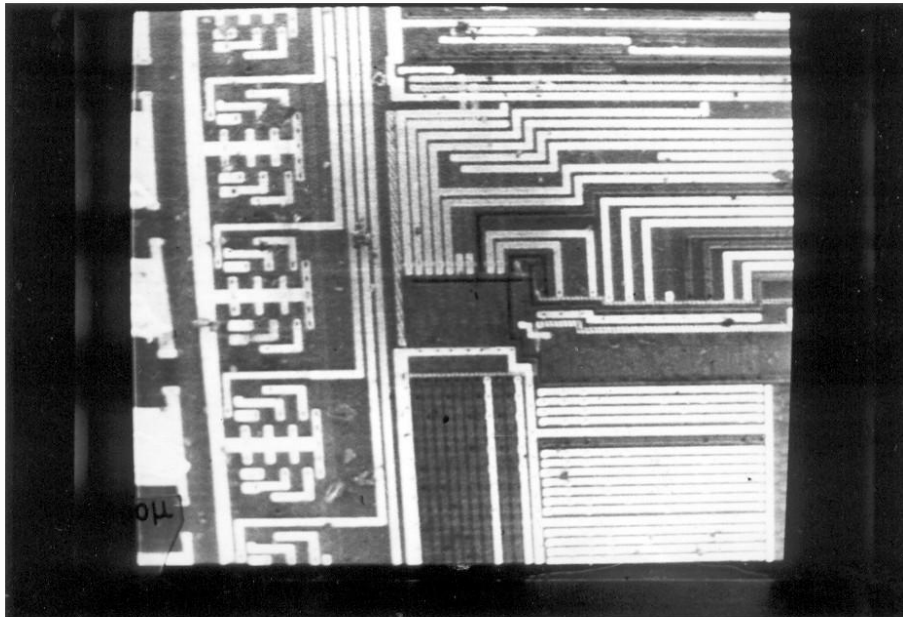


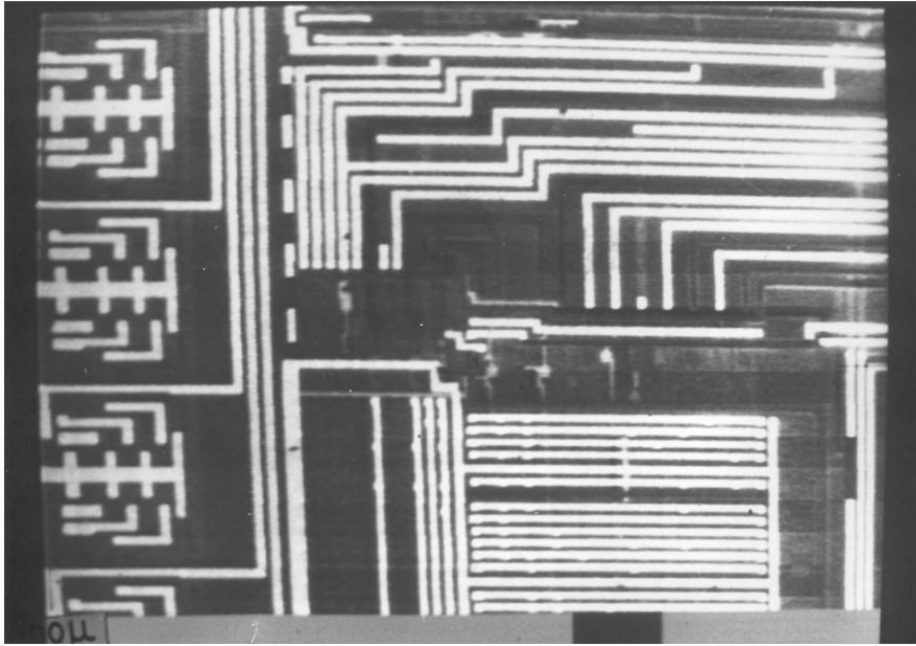
Figura 4.24 Layout PLA



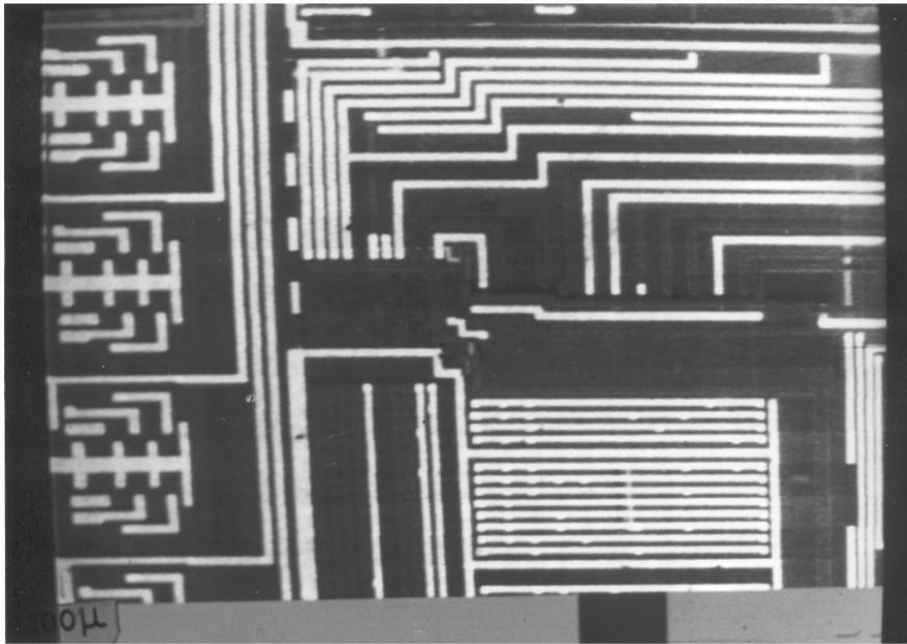
Fotografia 4.23 Contraste por tensão do PLA (A=x130)



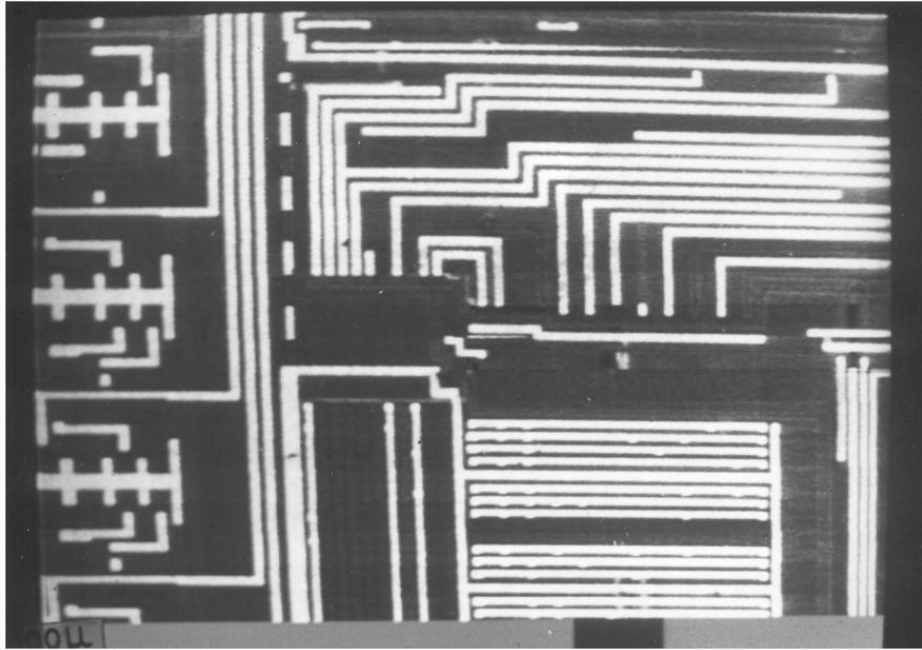
Fotografia 4.24 A máquina no estado A (A=x130)



Fotografia 4.25 A máquina no estado B (A=x130)



Fotografia 4.26 A máquina no estado C (A=x130, E = 100 μm)

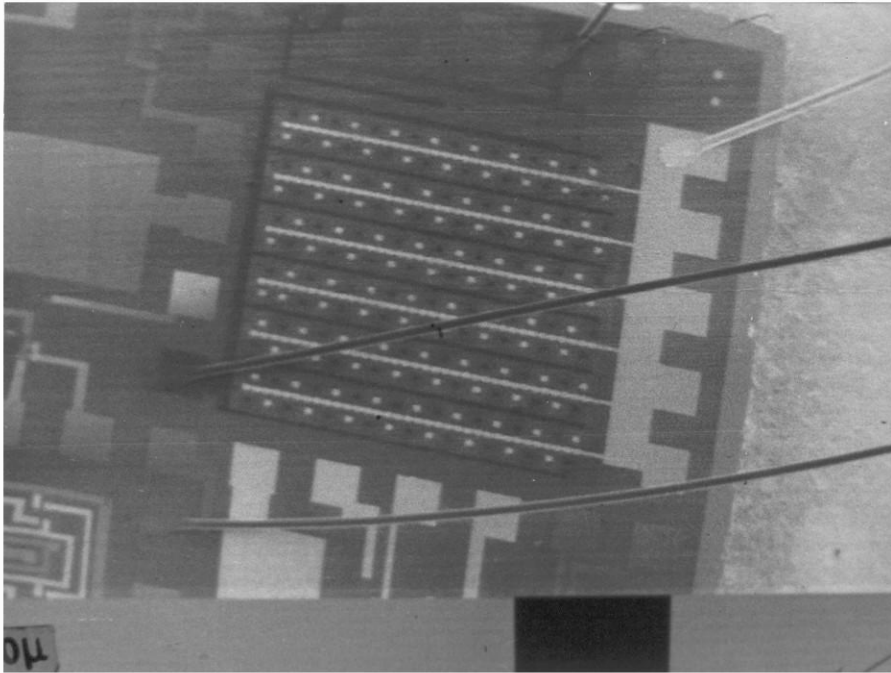


Fotografia 4.27 A máquina no estado D (A=x130, E = 100 μ m)

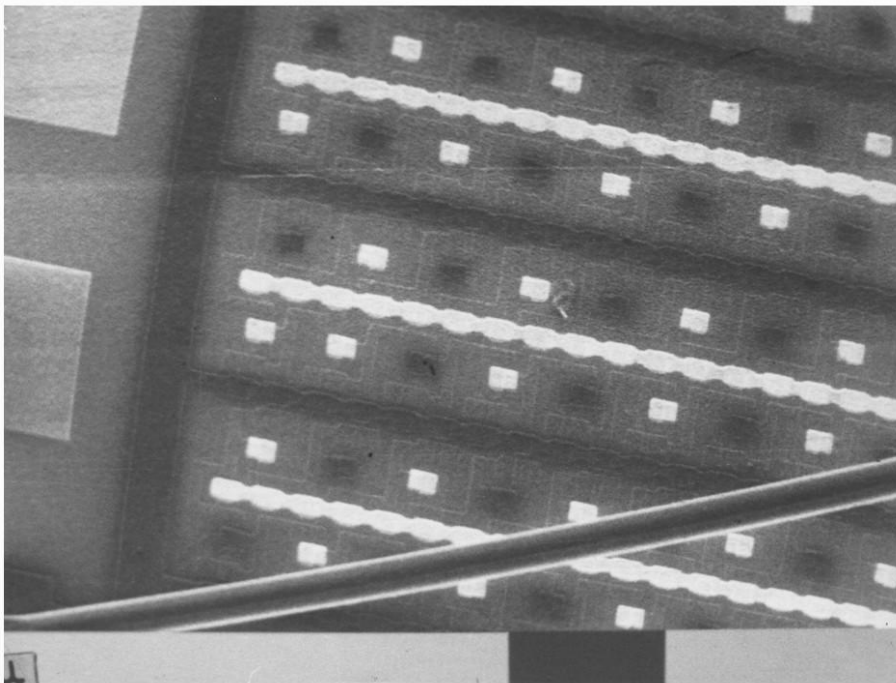
4.6.3.4 Oscilador em anel

As fotografias 4.29, 4.30, 4.31 e 4.32 mostram a seqüência da localização de um erro existente na estrutura. Na primeira fotografia temos uma vista geral do oscilador, onde vemos que o contraste por tensão se caracteriza pelas linhas em metal, principalmente nas linhas de alimentação. A fotografia 4.32 mostra o erro detectado, a porta do transistor de sinal não cobre toda a linha de difusão.

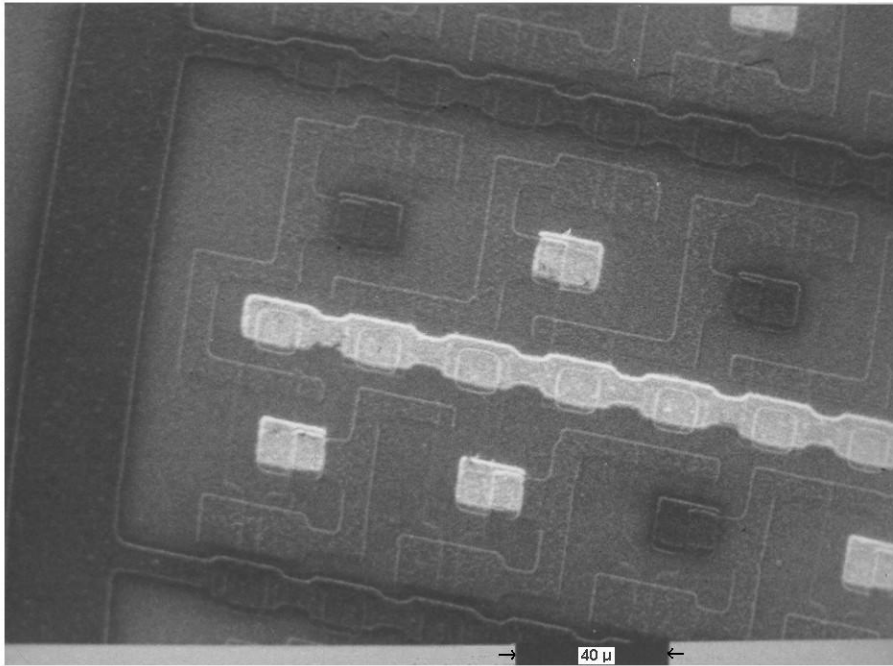
Não foi possível concluir a natureza do erro por falta de documentação do circuito. As hipóteses são diversas, pode ser desde uma falha no processo de fabricação até um erro de layout. Apesar da limitação descrita, podemos afirmar com certeza que a técnica foi totalmente validada, mostrando de forma definitiva a sua utilidade.



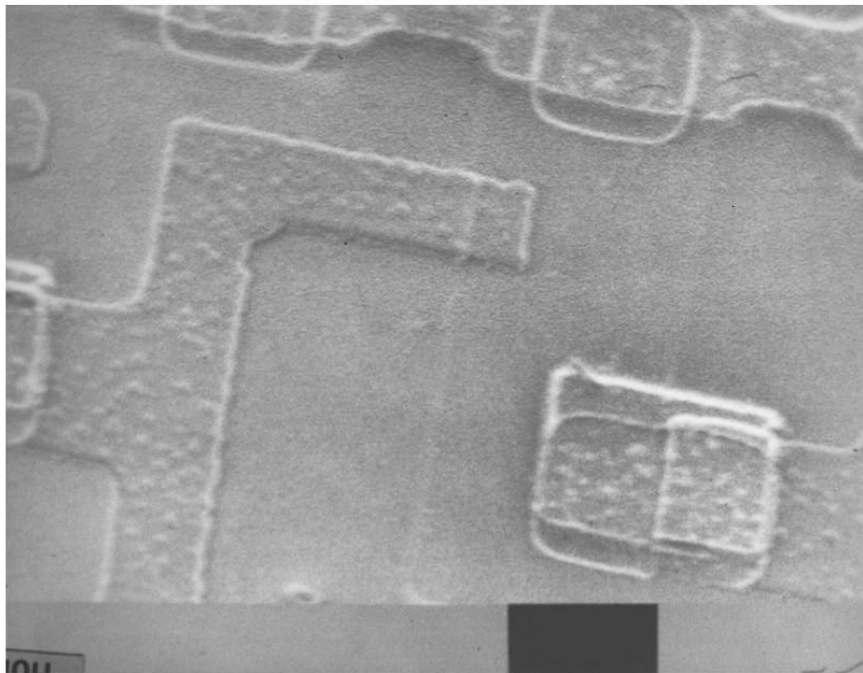
Fotografia 4.28 Seqüência de localização de um erro(A=x50, E = 400 μ m)



Fotografia 4.29 Seqüência de localização de um erro(A=x200, E = 100 μ m)



Fotografia 4.30 Seqüência de localização de um erro(A=x520, E = 40 μm)



Fotografia 4.31 Seqüência de localização de um erro(A=x2000, E = 400 μm)

5 Outras Aplicações

Além do teste de depuração de circuitos em desenvolvimento, o MEV também é utilizado em outras áreas: caracterização de materiais, inspeção, análise de falhas, análise microfotográfica (engenharia reserva).

5.1 Caracterização dos Materiais

O estudo das características físico-químicos dos materiais ajuda a estabelecer as propriedades dos semicondutores, utilizados para a fabricação dos circuitos integrados, assim como a determinação de parâmetros importantes tais como:

- a) espessura das camadas de óxido;
- b) dopagem do material semicondutor;
- c) taxa de recombinação na superfície dos semicondutores;
- d) tempo de vida médio dos portadores minoritários.

Todos estes parâmetros podem ser analisados pelo estudo das correntes induzidas pelo feixe eletrônico (EBIC). Quando o feixe de elétrons atinge uma junção p-n, os elétrons incidentes geram pares de elétrons-lacunas. O campo de junção p-n coleta estes portadores durante a sua difusão na amostra.

5.2 Inspeção

A capacidade de observação que o MEV oferece pode ser muito bem utilizado no controle de qualidade de circuitos na fase de produção[LAU 84].

O processo de fabricação pode inserir defeitos, devido a problemas de contaminação, desalinhamento de máscaras, deposição das camadas, controle de fatores ambientais (temperatura, pressão) . Os defeitos mais comuns são: ligações abertas, ligações em curto e má formação de dispositivos. A inspeção visual permite localizar estes defeitos.

5.3 Análise microfotográfica (engenharia reversa)

É possível analisar um circuito não polarizado a partir das imagens da sua superfície, obtendo-se o esquema elétrico, lógico, etc. Desta forma, a análise das imagens do circuito ajudará na compreensão do funcionamento dos circuitos, sendo útil no ensino e no entendimento de circuitos sem documentação. Esta análise poderá ser realizada manualmente a partir das imagens da superfície, sendo longa e trabalhosa, ou poderá ser automática [LAU 84].

5.4 Análise de falhas

Falhas podem ocorrer durante vários momentos da vida de um circuito integrado: durante a sua fabricação, encapsulamento, teste, armazenamento, vida útil e envelhecimento. Em cada um destes períodos a natureza das falhas (defeitos físicos) é diferente. Por exemplo, durante o armazenamento as falhas ocorrem devido a fatores, tais como: temperatura, umidade, esforço mecânico e vida útil.

Estes fatores provocam falhas paramétricas como mudança da tensão de threshold. Durante a sua vida útil, estes mesmos fatores estão presentes, assim como outros, tais como: superaquecimento, vibração, esforço de corrente e tensão. Estes fatores provocam falhas tais como, curtos circuitos, linhas interrompidas, etc. A análise de falhas é o exame “post mortem” de um componente defeituoso, para determinar a causa do não funcionamento do circuito (falha de fabricação ou falha devido a uso). Esta análise é realizada em duas fases:

- a) localização do defeito;
- b) diagnóstico .

Para localizar uma falha dentro de um circuito integrado, é necessário a observação do funcionamento interno do circuito. Tradicionalmente utiliza-se ponteiras mecânicas para observar ou aplicar sinais internos, mas estas mostram-se inadequadas para lidar com o alto grau de integração de circuitos VLSI. A utilização do MEV apresenta-se como uma excelente alternativa.

6 Conclusões

A procura de ferramentas de alternativas para fazer frente ao alto grau de integração dos circuitos (VLSI) e da capacitação do grupo de microeletrônica (PGCC-UFRGS) para a depuração de seus circuitos em desenvolvimento, nos levaram a utilização de um MEV (Microscópio Eletrônico de varredura) para estes fins.

Neste trabalho foram apresentados em ordem, uma breve descrição da ferramenta e seu funcionamento, técnicas de observação, técnica de teste e depuração e resultados das experiências realizadas.

Foram necessárias algumas modificações do equipamento para acondicionamento de circuitos em funcionamento na câmara de amostras. Desta forma pudemos realizar as experiências necessárias para obter elementos de fundamentação prática de trabalho.

Alguns problemas foram enfrentados. Inicialmente os mesmos relacionaram-se ao ineditismo do trabalho em nosso meio, outros problemas surgiram durante as experiências pela falta de controle da tensão de aceleração em valores da ordem de 1,5 a 3 Kv. A falta de controle da tensão do feixe não permitiu o ajuste ótimo da tensão de aceleração, necessários para minimizar a carga da camada de óxido dos circuitos sob observação. Por último, a medida de sinais via feixe foi dificultada, porque o sistema de coleta do equipamento resultou não sendo adequado para este tipo de medida. As restrições impostas foram decorrentes da não utilização de um equipamento dedicado para esta finalidade.

Os resultados das experiências foram satisfatórios, a tal ponto que foi realizada a depuração do circuito GMEO2 (TR/R) concebido pelo grupo de microeletrônica. A ferramenta permitiu localizar precisamente os erros do projeto, demonstrando a sua grande utilidade na depuração de protótipos.

A chegada de novos protótipos, entre eles o PCIR (processador com conjunto de instruções reduzido) [TOD 86 a] e o controlador de vídeo [JAC 86b], marcará o início da etapa de depuração destes circuitos. A utilização do MEV será fundamental para o sucesso da mesma.

Para possibilitar a observação de circuitos funcionando em alta frequência (>2Mhz), a medida de sinais via feixe de elétrons e minimização da carga da camada de óxido, algumas modificações do equipamento são necessárias:

- a) sistema de coleta de elétrons;

- b) fonte de tensão de aceleração;
- c) chaveamento do feixe de elétrons.

Futuramente está prevista a automatização da ferramenta MEV e a sua ligação a uma estação de trabalho.

A observação de circuitos em funcionamento através do MEV será muito útil no ensino da microeletrônica e para outras aplicações, tais como: análise de falhas, engenharia reversa, etc.

A utilização de um microscópio eletrônico de varredura como ferramenta de depuração e teste de circuitos integrados, pode ser uma grande alternativa para as universidades e grupos de pesquisa do País, onde geralmente se dispõe deste equipamento para outros fins. Uma versão comercial deste tipo de trabalho já existe no mercado e é utilizado por grandes centros de pesquisa do mundo, na área de microeletrônica.

ANEXO 1

Resumo da depuração do circuito GME 02 (TR/R)

A1.1 Descrição funcional

O circuito funciona em dois modos de operação:

- a) Transmissor – envia serialmente um endereço e padrão alternadamente. O endereço é previamente programado, o padrão pode mudar dinamicamente.
- b) Receptor – recebe serialmente um endereço (oito bits), compara-o com o endereço interno, se for igual recebe padrão associado ao endereço, senão ignora-o. A seguir espera nova informação na linha serial.

O circuito é formado por uma parte operativa, cujos blocos funcionais se comunicam através de um barramento. A parte de controle é uma máquina seqüencial síncrona, implementada em um PLA. Um contador auxilia à máquina seqüencial no controle de períodos. Outros detalhes do funcionamento interno podem ser encontrados em [RIP 84] e [HUR 86]. Nas figuras A1.1 e A1.2, mostramos os fluxogramas de funcionamento nos dois modos de operação.

Funcionamento Modo Transmissor

Funcionamento Modo Transmissor

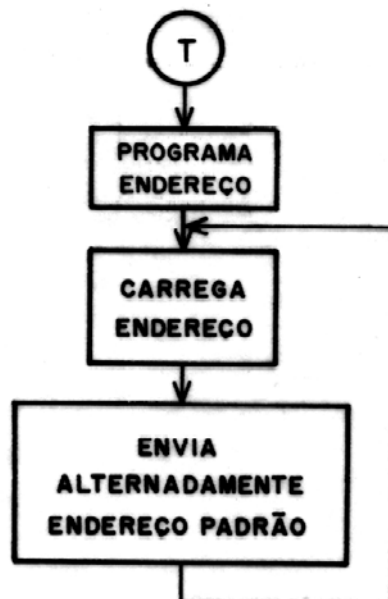


Figura A1.1 Fluxogramas de funcionamento do transmissor

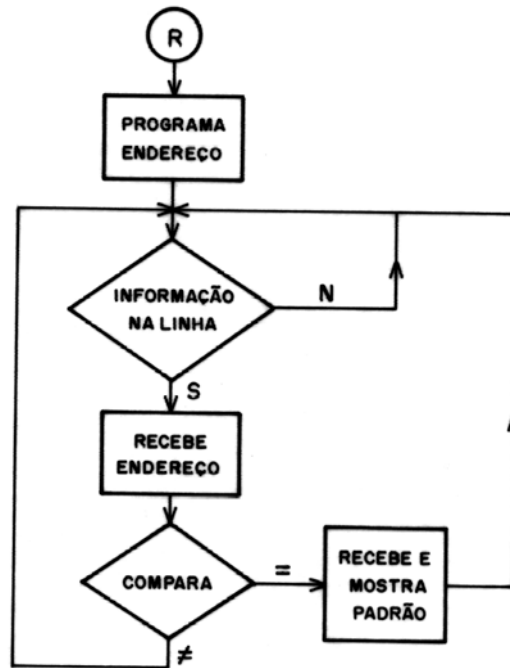


Figura A1.2 Fluxogramas de funcionamento do receptor

A1.2 Descrição da Pinagem

To – T7	oito pinos bidirecionais para entrada e saída de dados.
LINHA	pino bidirecional (entrada e saída serial).
TR / R	pino de entrada (modo de operação).
END	pino de (carga do reg. de endereço)
OPERA	pino de entrada (habilita operação no modo transmissor ou receptor).
RESET	pino de entrada (inicializa máquina de estados e zera o reg. de saída).
CLK	pino de entrada (CLOCK).

A1.3 Teste preliminar

Este teste visou habilitar o circuito para o teste funcional. Após a polarização de circuito verificamos se o consumo de corrente estava dentro de padrões esperados, foi verificada também a alta impedância dos pinos de entrada e o aquecimento moderado do invólucro do circuito, que não continha problemas graves, tais como:

- a) linhas de alimentação em curto interrompidas;
- b) pinos de entrada em curto.

A1.4 Teste Funcional externo

Este teste visou a verificação do funcionamento do circuito, pela comparação dos resultados esperados com os resultados obtidos nos pinos externos do circuito. O circuito em teste é um sistema digital que tem duas partes: parte de controle e parte operativa. O fluxo de dados não pode ser acompanhado, por não se ter acesso ao barramento interno do circuito. Os sinais de controle gerados pela parte de controle não estão disponíveis nos pinos externos do circuito, deste modo, não foi possível concluir sobre o funcionamento dos módulos internos do circuito.

O teste no modo transmissor teve a seguinte seqüência de operação:

a) Condições iniciais

Pino de controle TRANS: 5v (modo transmissor);
Pino de controle OPERA: 0v;
Pino de controle END: 0v;
Pino de controle RESET: 0v.

b) RESET do circuito para zerar os registradores e inicializar máquina de estados

Pino de controle RESET: 5v (reset).

c) Programação de endereço destino

Programar oito bits de endereço T0 – T7 em 00000000;
Carga do endereço, pino de controle END vai para 5v e volta a 0.

d) Transmissão

Programar o padrão de oito bits T0 – T7 em 00000000;
Pino de controle OPERA: 5v;
A forma de onda observada na saída serial LINHA é como mostra a figura A1.3b.

O teste foi realizado na freqüência de relógio de 20 KHz. A forma de onda obtida na saída foi como mostra a figura A1.3a, a mesma não se mantinha estável. Com a colocação de um potenciômetro (30 Ω) ligado em série na alimentação do circuito, foi resolvido o problema. Acreditamos que devido a um consumo alto de corrente (curto não verificado) o circuito apresentou um comportamento inestável.

Podemos observar que o período do sinal obtido é o mesmo da esperado, já a forma de onda é diferente, com isto concluímos que a máquina de tempos (controle) do circuito está gerando o “timing” correto, já a forma de onda obtida pode ter atribuída a algum problema nos Pad’s de Saída . O nível lógico “0” da forma de onda obtida não foi conforme o esperado. Variando o valor do potenciômetro podemos diminuir esta tensão de offset, mas, quando nos aproximamos de 0v o sinal na saída serial some.

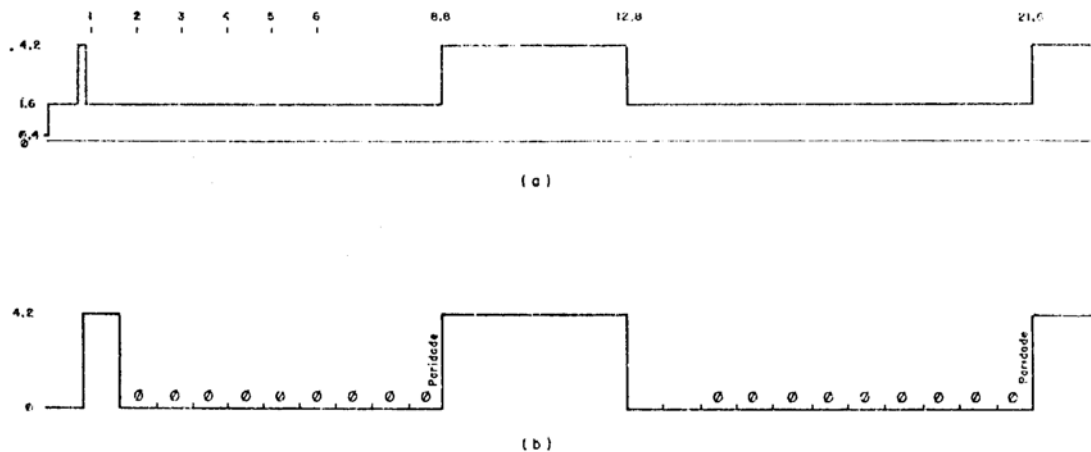


Figura A1. 3 Forma de onda a) obtida b) esperada

O teste no modo receptor foi realizado segundo a seguinte seqüência de operação:

a) Condições iniciais;

Pino de controle TRANS: 0v (modo receptor);
 Pino de controle OPERA: 0v;
 Pino de controle END: 0v;
 Pino de controle RESET: 0v.

b) RESET do circuito para zerar os registradores e inicializar máquina de estados

Pino de controle RESET: 5v (ativa reset).

c) programação de endereço local

programar o endereço de oito bits T0 – T7 com 00000000;
 carga do endereço, pino de controle END vai para 5v e volta a 0v.

d) Recepção

Injetar no pino LINHA uma seqüência alternada de valores, com o endereço (00000000) e padrão (11111111);

Pino de controle OPERA: 5v;

Verificar se nos pinos de saída T0 –T7 está presente o padrão (11111111);

Os resultados obtidos não foram os esperados. Os pinos de saída sempre se mantiveram em zero para qualquer padrão colocado no pino LINHA.

A1.5 Teste paramétrico

Foram medidos: a corrente consumida, níveis de tensão na saída serial, freqüência máxima e mínima de funcionamento. A corrente variava segundo o estado do circuito (programação de endereço, transmissão), e se manteve constante com o aumento ou diminuição da freqüência.

A freqüência máxima e mínima de funcionamento foram determinados levando a freqüência de relógio até os valores onde não era mais possível observar o funcionamento na saída serial. Os resultados foram:

Corrente consumida: 75 – 100 mA;

Níveis de tensão na saída serial:

“1”	4, 3v
“0”	0 – 1,4v;

Freqüência

Máxima	200Hz
Mínima	2Mhz;

O equipamento utilizado no teste funcional externo foi:

Fonte de alimentação: Tektronix PS 503 A;

Gerador de funções: Tektronix FG 502;

Osciloscópio: Tektronix 465.

A1.6 Conclusões do teste funcional externo

Os resultados no modo transmissor indicam que o circuito realiza parcialmente a sua função e portanto contém erros. A partir desses resultados não foi possível concluir sobre a localização e tipo dos erros existentes, apenas nos permitiu ter uma idéia sobre o funcionamento dos blocos funcionais. O fato da forma de onda obtida ter o mesmo período da esperada, nos levou a concluir que a máquina de estados está realizando as transições corretamente no modo transmissor, assim como, o funcionamento correto do contador, visto

que o ciclo da forma de onda é dado pelo contador de 10 bits. Já a serialização das informações não está correta, os blocos envolvidos nesta serialização são: o registrador deslocador, interconexões, “pad” da saída, seletor de saída. Por último, alguns sinais da parte de controle podem não estar sendo ativados corretamente.

Os resultados obtidos no modo receptor mostraram que a recepção da informação na linha serial não permitiram concluir nada sobre o funcionamento interno dos blocos funcionais.

Após esta etapa de testes passamos para a etapa da depuração com o MEV. Alguns resultados da etapa de depuração do circuito GME02 são relatados a seguir.

A1.7 Resultados da depuração

A utilização do MEV na etapa de depuração do circuito GME02 permitiu localizar os erros existentes e determinar a sua natureza. Para realizar a depuração foi colocado o circuito na câmara do MEV e aplicada a seqüência de operações indicada anteriormente, tanto para o modo transmissor, como para o modo receptor.

A1.7.1 PLA

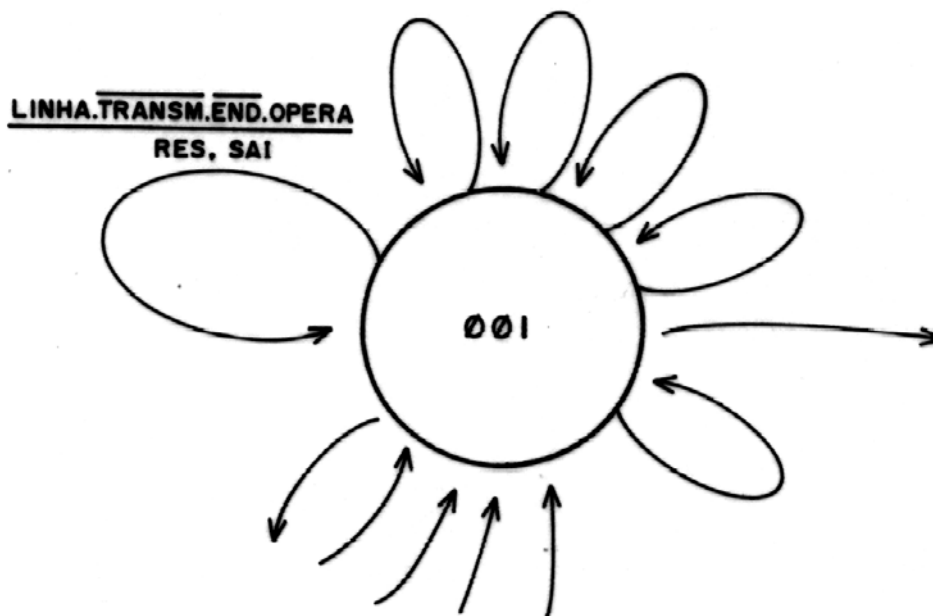


Figura A1.4 Transição da máquina de estados

Neste bloco funcional foi verificado a não implementação de um mintermo (monômio) da equação. Isto determinou com que, durante uma

determinada transição da máquina de estados (ver figura A1.4), o sinal de saída SAI não fosse ativado.

$$SAI = \bar{r1} \circ \bar{r0} + r2 \circ \bar{r1} + r2 \circ r1 \circ r0 \circ \overline{\text{TRANSM} \circ \text{END} \circ \text{OPERA}}_1$$

Falta

A1.7.2 Contador

Observamos que a interligação do sinal de reset de algumas células do bloco contador não existe, pela análise da documentação foi verificado que o problema foi gerado no desenho das máscaras. Durante a observação com o MEV o contador mostrou-se muito sensível ao feixe. Devido à ação do feixe na entrada do sinal de reset o bloco é sempre resetado. Na figura A.1.5 mostramos o diagrama lógico do bloco. Finalmente, o funcionamento deste bloco funcional só pode ser acompanhado nos pinos externos utilizando equipamentos convencionais de teste.

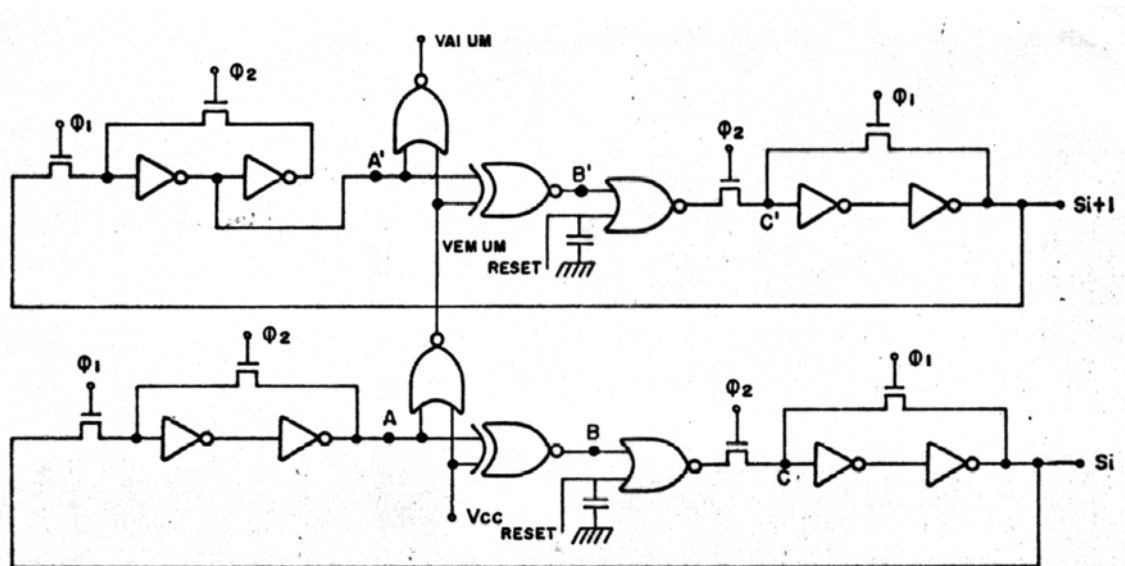


FIGURA A1.5 Diagrama lógico da célula do contador

A1.7.3 Registrador de endereço

Este é um registrador estático como mostra a Figura 4.18. O layout da máscara da implantação dos transistores de realimentação dos registros foi esquecida. A localização deste erro de projeto foi realizada pela observação, através do MEV, da não manutenção da informação pelos registros.

A1.7.4 Registrador deslocador

O sinal de deslocamento não está sendo convenientemente gerado. O sinal de deslocamento SHIFT é gerado a partir do contador e o PLA de controle

(ver figura A1.5a). Assim, o sinal SHIFT será gerado cada vez que os sinais SHIFTT ou SHIFTR sejam ativados e respectivamente os sinais HABSHIFTT OU HABSHIFTR sejam também ativados. Devido a atrasos dos sinais não previstos e mistura de fase errada, o sinal SHIFT acusa a presença de “hazards” (ver figura A1.7). A detecção do problema foi feita pela observação de deslocamentos extemporâneos.

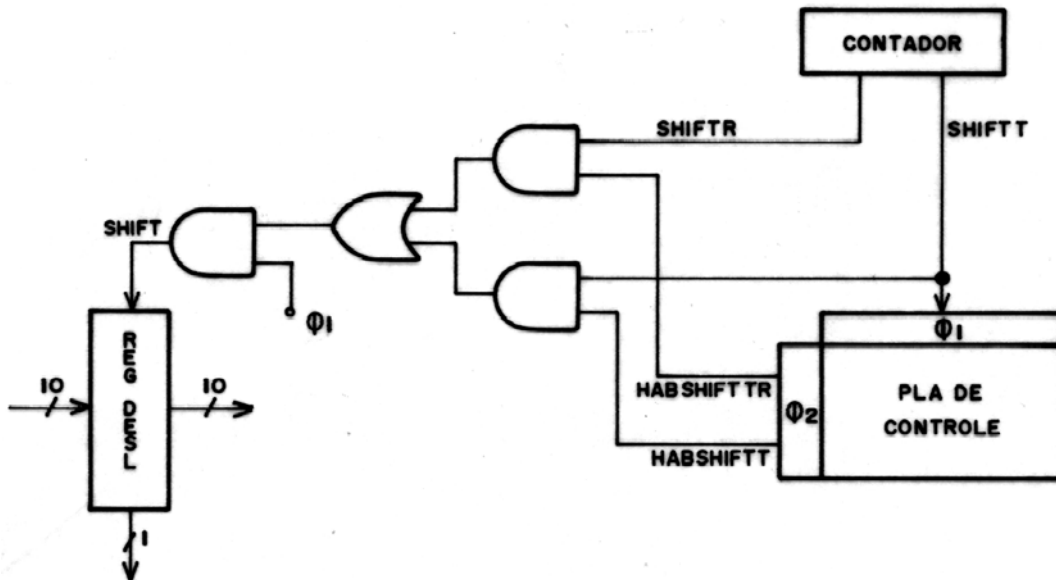


FIGURA A1.6 Diagrama lógico do registrador deslocador

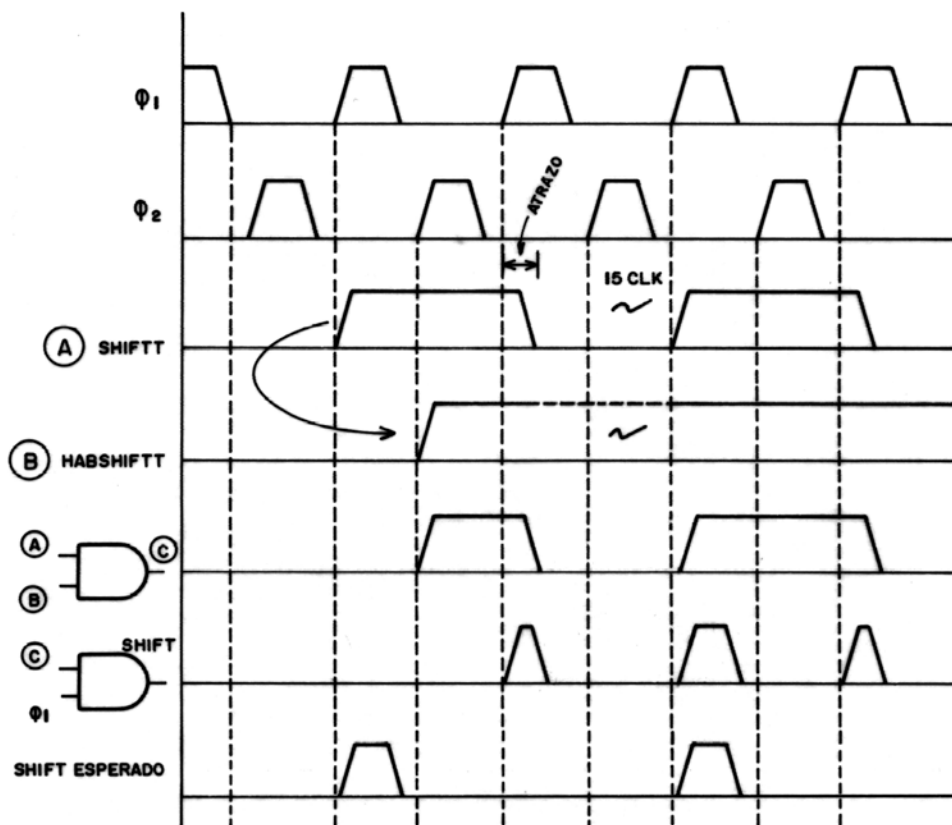


FIGURA A1.7 Erro de timing

A1.7.5 Registrador de saída e flip flop

Este bloco funcional é um registrador estático (8 bits), cuja célula é mostrada na Figura 4.18. O mesmo tem a função de armazenar o padrão recebido através do registrador deslocador e mostrá-lo através dos pinos T0-T7. O problema encontrado neste bloco é que os registros se mantêm sempre zerados, devido a que o sinal de RESET está invertido, não permitindo a carga da informação (padrão recebido).

O flip flop que é um registro estático (1 bit), também apresenta o sinal de RESET invertido, mantendo o registro zerado durante a carga.

A1.7.6 “Pad” relógio

Este bloco está disponível na biblioteca de “pads” enviado pelo IMAG e tem por função a geração de fases de relógio não superpostas F1 e F2. O mesmo apresenta problemas de geração de fases invertidas e, conseqüentemente, superpostas. A determinação deste problema não foi realizado via MEV e sim pela análise do diagrama lógico do bloco.

Outros erros foram localizados tais como:

- a) controle errado do “Pad” bidirecional;
- b) soldagem de fio fora da área de solda.

ANEXO 2

Experiência para determinar a influência do feixe em dispositivos MOS

Para determinar a influência do feixe de elétrons nos parâmetros (corrente e tensão) dos dispositivos MOS foram realizadas experiências utilizando alguns transistores de uma pastilha de testes NMOS. Foi configurado um inversor, como mostra a figura A2.1, e o mesmo foi exposto ao feixe de elétrons durante duas horas. A tensão de aceleração usada foi de 1,5Kv e uma corrente de feixe entre 10^{-8} e 10^{-9} A. A corrente e a tensão de saída do inversor não apresentaram nenhuma variação significativa, assim como o seu funcionamento foi correto.

Aumentando a tensão de aceleração para 7,5Kv os parâmetros foram totalmente alterados inutilizando os transistores. A seguir na tabela A2.1, apresentamos valores de tensão obtidos em diversos inversores, antes e depois de aumentar a tensão de aceleração.

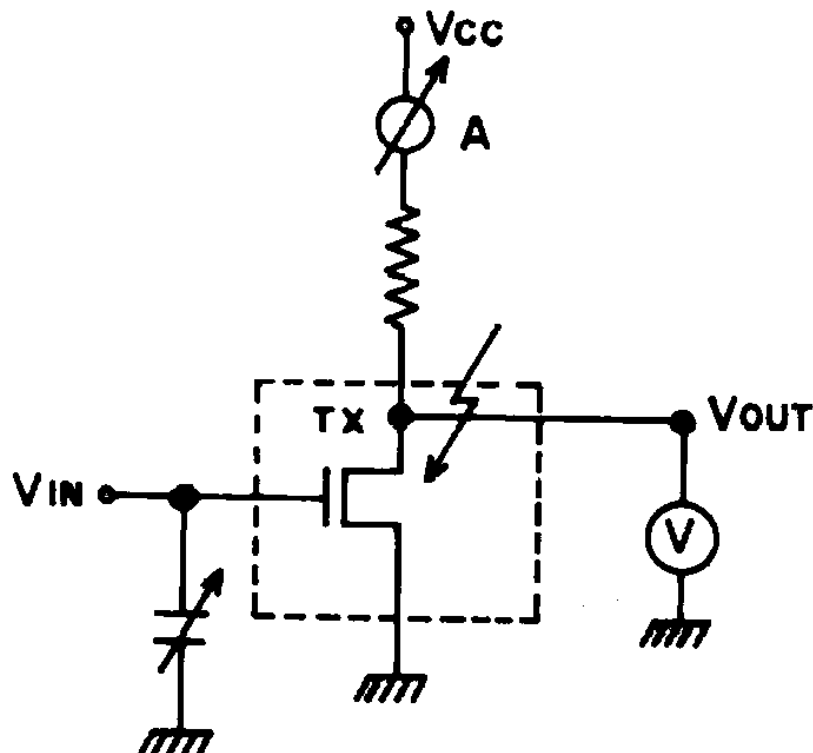


FIGURA A2.1 Configuração utilizada para medida da corrente e tensão do inversor sob influência do feixe

Tabela A2.1 Resultados da medição

T2	V _{in} = 0v	V _{out} = 4,8 v
	V _{in} = 5v	V _{out} = 0,15v
T3	V _{in} = 0v	V _{out} = 4,8v
	V _{in} = 5v	V _{out} = 4,8v
T4	V _{in} = 0v	V _{out} = 4,8v
	V _{in} = 5v	V _{out} = 0,2v
T5	V _{in} = 0v	V _{out} = 4,8v
	V _{in} = 5v	V _{out} = 0,65v
T6	V _{in} = 0v	V _{out} = 4,8v
	V _{in} = 5v	V _{out} = 2,2v
Após o aumento da tensão de aceleração Para 7,5 kv, os valores foram estes:		
T2	V _{in} = 0v	V _{out} = 1v
	V _{in} = 5v	V _{out} = 0,1v
T3	V _{in} = 0v	V _{out} = 2,8v
	V _{in} = 5v	V _{out} = 0,2v
T4	V _{in} = 0v	V _{out} = 3,4v
	V _{in} = 5v	V _{out} = 0,2v
T5	V _{in} = 0v	V _{out} = 4,2v
	V _{in} = 5v	V _{out} = 0,8v
T6	V _{in} = 0v	V _{out} = 4,3v
	V _{in} = 5v	V _{out} = 1,1v

ANEXO 3

Ligação do 6800 no barramento micro computador Maxxi

O objetivo foi de colocar um processador em funcionamento dentro da câmara de amostras do MEV. Para isto, utilizamos o M6800 realizando as funções de acesso à memória do microcomputador e execução de um conjunto de instruções. A idéia foi de aproveitar o hardware do microcomputador Maxxi e seus recursos de edição de programas em código de máquina. Assim, uma vez editado um conjunto de instruções para o M6800, ativamos o mesmo deixando o processador original, um M6502, fora do barramento. A figura A3.1 mostra o esquema lógico do circuito implementado.

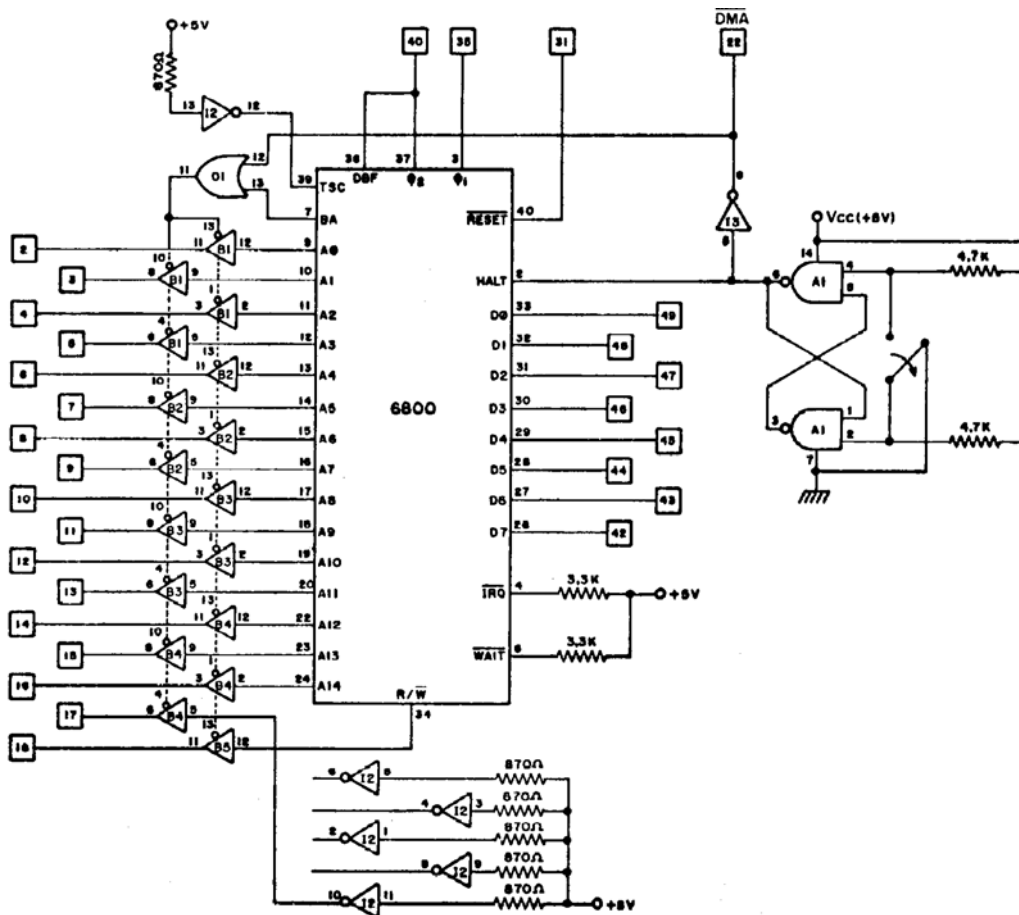


FIGURA A3.1 Esquema lógico do circuito implementado

ANEXO 4

Chaveamento do sinal de vídeo

O chaveamento do sinal de vídeo foi realizado utilizando uma chave analógica e um circuito sample/hold dispostos como na figura A4.1. O controle de chave analógica é realizado por um trem de pulsos gerados em sincronismo com a frequência do sinal que será observado.

Através do chaveamento do sinal de vídeo obteremos o efeito estroboscópico que permitirá “congelar” uma imagem em determinada fase do sinal.

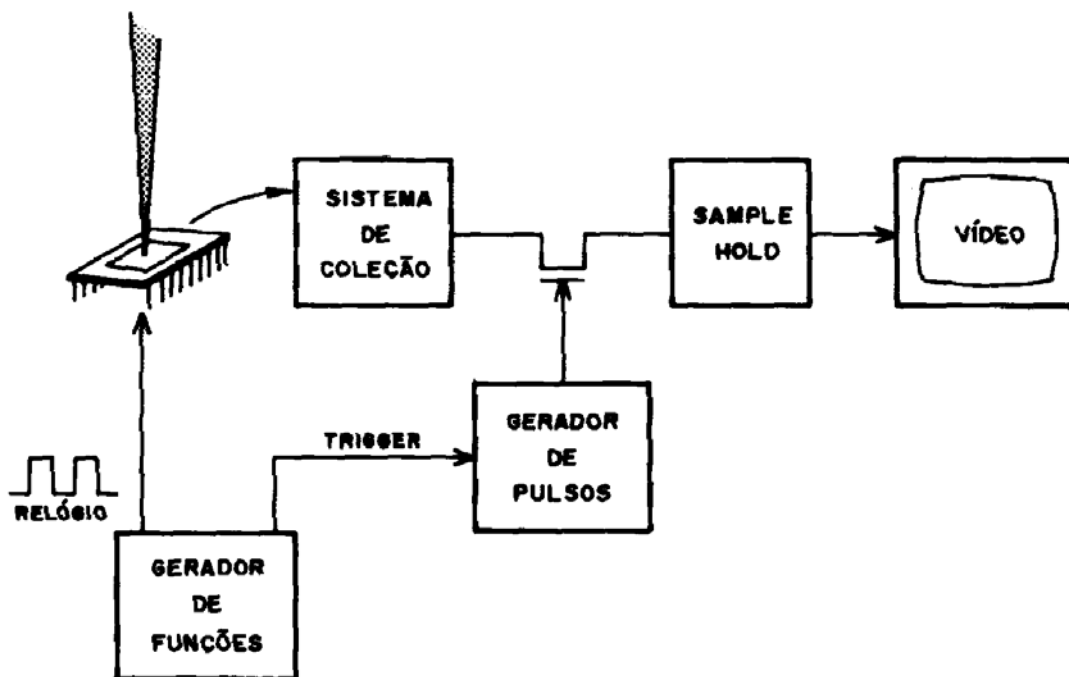
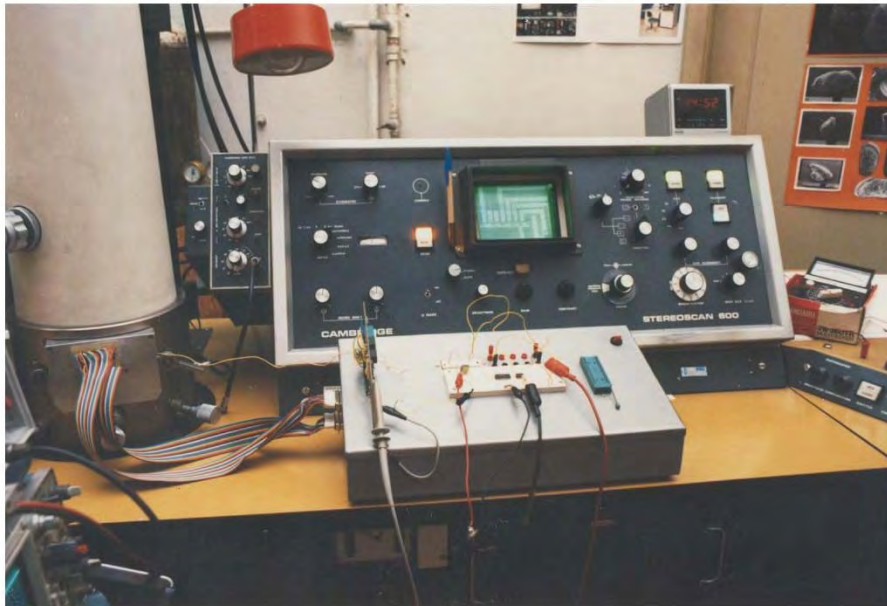


FIGURA A4.1 Chaveamento do sinal de vídeo

ANEXO 5

Módulo de controle de circuitos

Foi implementado um módulo para o controle externo dos circuitos. A partir deste módulo é possível estimular o circuito, criando o “meio ambiente” necessário para o funcionamento do mesmo. Este módulo dispõe de fontes de tensão +- 5v, +-12v, conector de placas de circuito impresso, protoboard, soquetes e permite o acoplamento de gerador de funções, gerador de pulsos e osciloscópio. A fotografia A5.1 mostra o módulo implementado.



FOTOGRAFIA A5.1 Módulo de controle de circuitos

ANEXO 6

Diagrama de blocos de operação liga/desliga do MEV

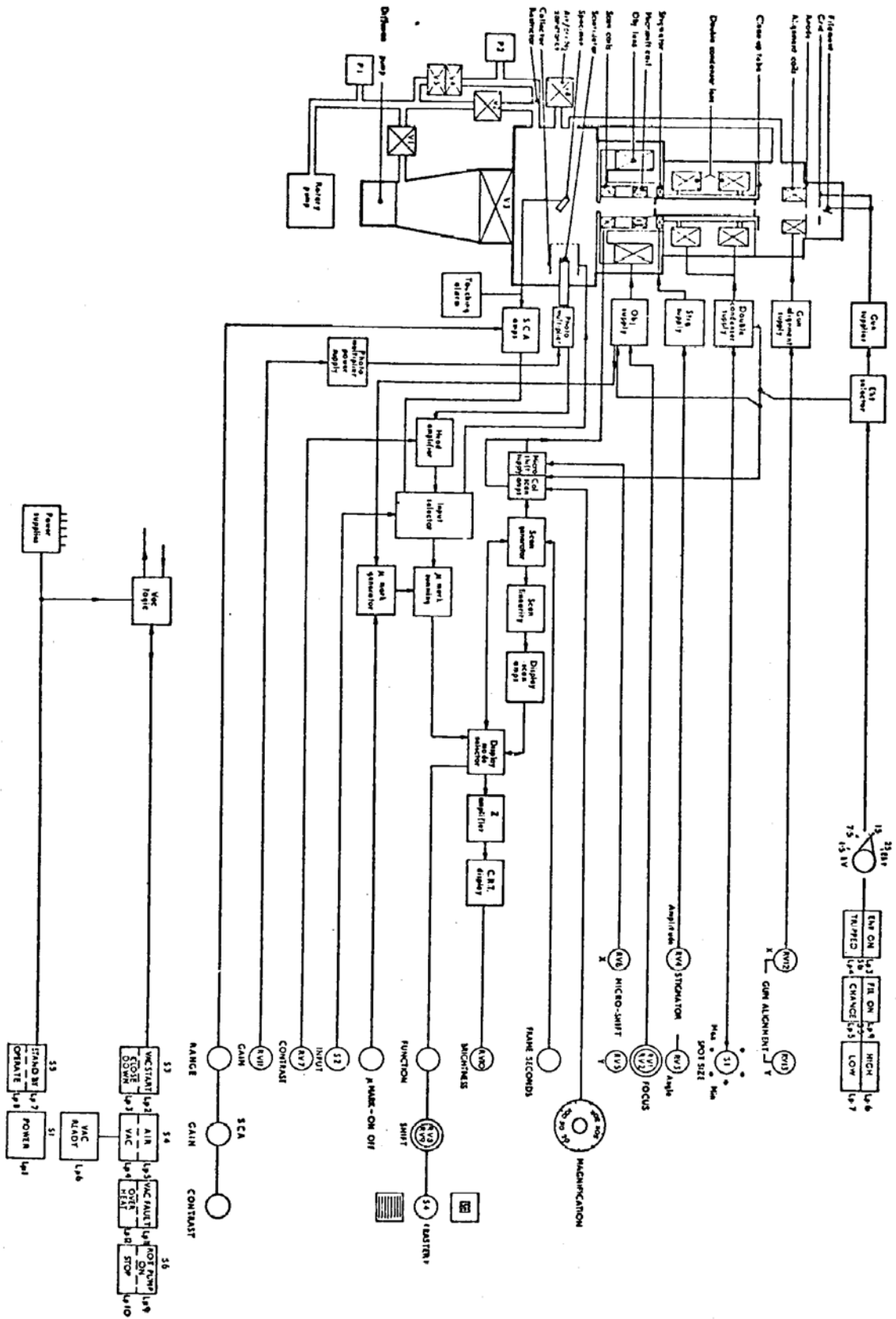


FIGURA A6.1 Diagrama esquemático de funcionamento do MEV

Procedimentos preliminares para entrada em operação:

- a) Assegurar o normal fornecimento de energia e água;
- b) Ligar a alimentação do equipamento (botão POWER) e ver no painel os seguintes indicadores acessos:

STANDBY;
VACUUM OR AIR;
CLOSE DOWN;
ROTARY PUMP STOP;
ROOM LIGHT.

- c) Iniciar o processo da obtenção do vácuo na coluna e na câmara (botão VACUUM START), os indicadores VACUUM START e ROTARY PUMP devem estar acessos. Após 15 minutos o estado de vácuo será atingido, o indicador VACUUM acenderá;

Colocação da amostra

- d) Levar a chave de controle do suporte (eixo Z) até o mínimo (sentido anti-horário);
- e) Iniciar a admissão de ar na câmara de amostras (botão VACUUM/ AIR), o indicador AIR deve acender;
- f) Após alguns minutos pode-se retirar a tampa da câmara de amostras e colocar o circuito no suporte de amostras;
- g) Após a colocação da tampa iniciar o processo de obtenção de vácuo na câmara (botão VACUUM/ AIR). O indicador VACUUM deve acender, este processo será rápido, visto que o vácuo na coluna já existe;
- h) Colocar a chave kv em 1,5 (ajustar a corrente de feixe mínima);

Obtenção do feixe de elétrons

- i) Esperar pelo acendimento do indicador VACUUM READY, o qual indicará que o instrumento está pronto para seu uso;
- j) Aplicar alta tensão no vídeo fotomultiplicador e cintilhador e canhão de elétrons (botão OPERATE);
- k) Aumentar o ganho do amplificador de vídeo (chave GAIN) até observar um ruído na tela do terminal de vídeo;

- l) Ligar o filamento de tungstênio (botão FILAMENT), o indicador correspondente deve acender;
- m) Ligar a alta tensão no canhão de elétrons (botão GUN), o indicador EHT deve acender;
- n) Escolher modo de observação imagem (chave FUNCTION), frequência de varredura TV (chave FRAME SECONDS) e colocar o contraste máximo (chave CONTRAST);
- o) Ajustar o ganho do amplificador de vídeo (chave GAIN) em 2/3 do máximo e indicar coleta de elétrons secundários (colocar chave INPUT em SECONDARY);
- p) Alinhamento do feixe de elétrons. Para tanto deve-se regular a chave X & Y GUN ALIGNMENT, até obter o máximo brilho na tela do vídeo. Uma vez alinhado o feixe, diminuimos o ganho a níveis normais até visualizar a imagem de alguma parte da amostra;
- q) Aumentar a ampliação da imagem para X10K (chave MAGNIFICATION) para ajustarmos o foco até obter a melhor imagem (chave FOCUS);
- r) Diminuir a ampliação para X20 e ajustar a posição do circuito com as chaves manuais X e Y;

Procedimentos para desligar o aparelho

- s) Desligar alta tensão do canhão de elétrons (botão EHT) e filamento (botão FILAMENT);
- t) Colocar o equipamento em standby (botão STANDBY);
- u) Iniciar processo de retirada do vácuo (botão VACUUM START/ CLOSE DOWN);
- v) Após a bomba de rotação parar, desligar a alimentação (botão POWER).

ANEXO 7

Algumas informações necessárias durante a depuração de um circuito

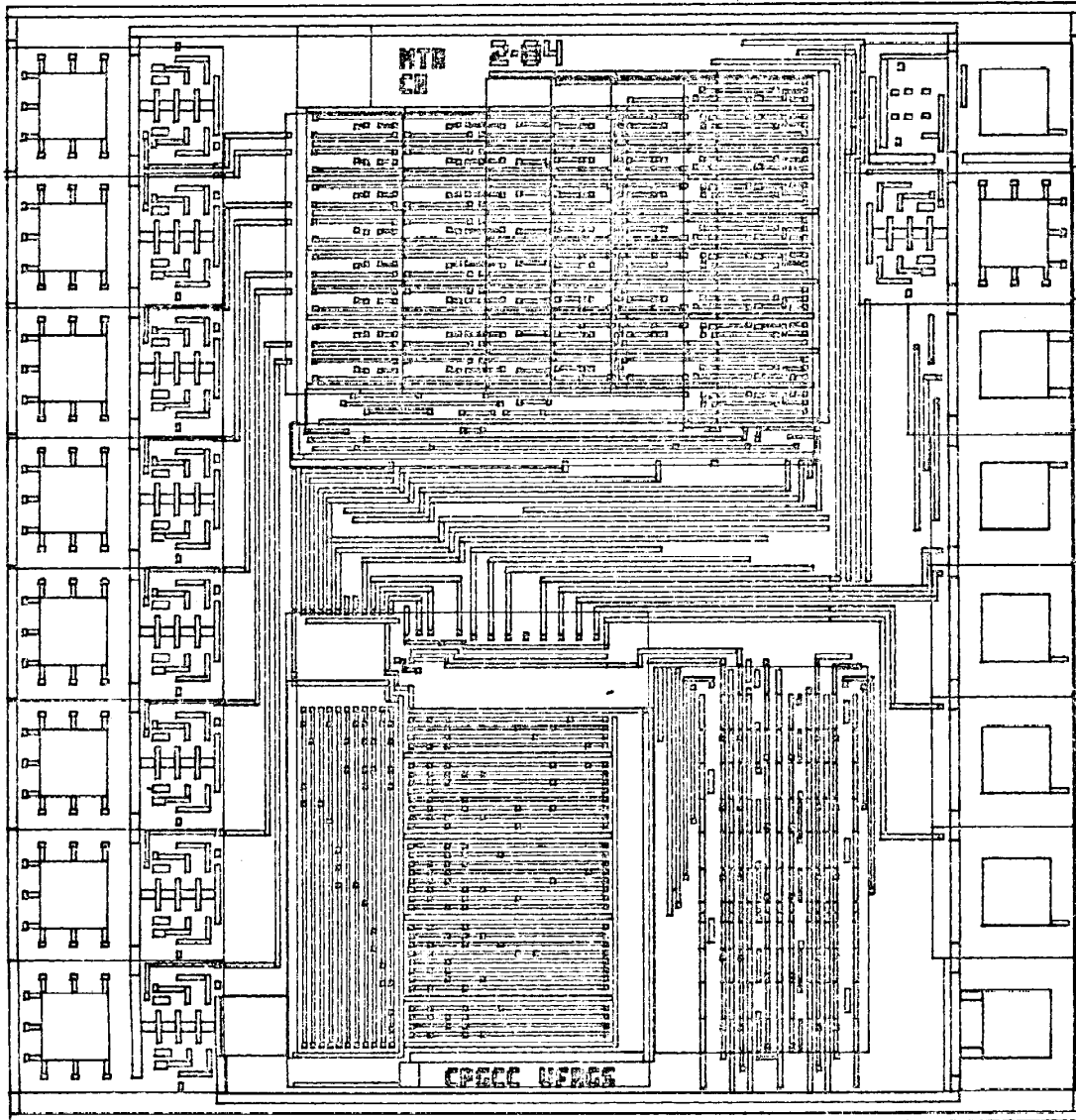


FIGURA A7.1 Desenho da camada metálica de um circuito

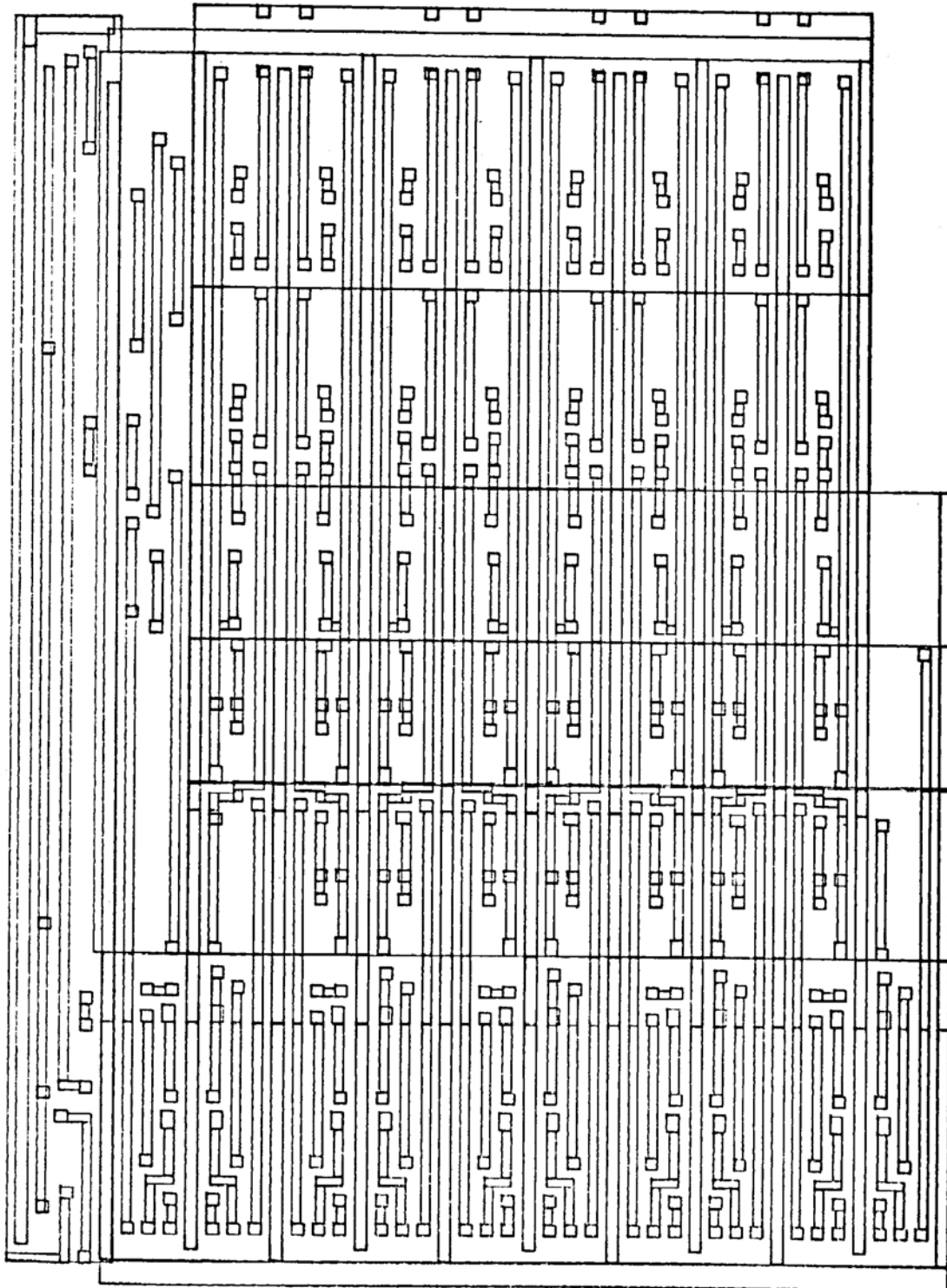


FIGURA A7.2 Desenho da camada metálica de uma parte um circuito mostrando a disposição dos blocos funcionais

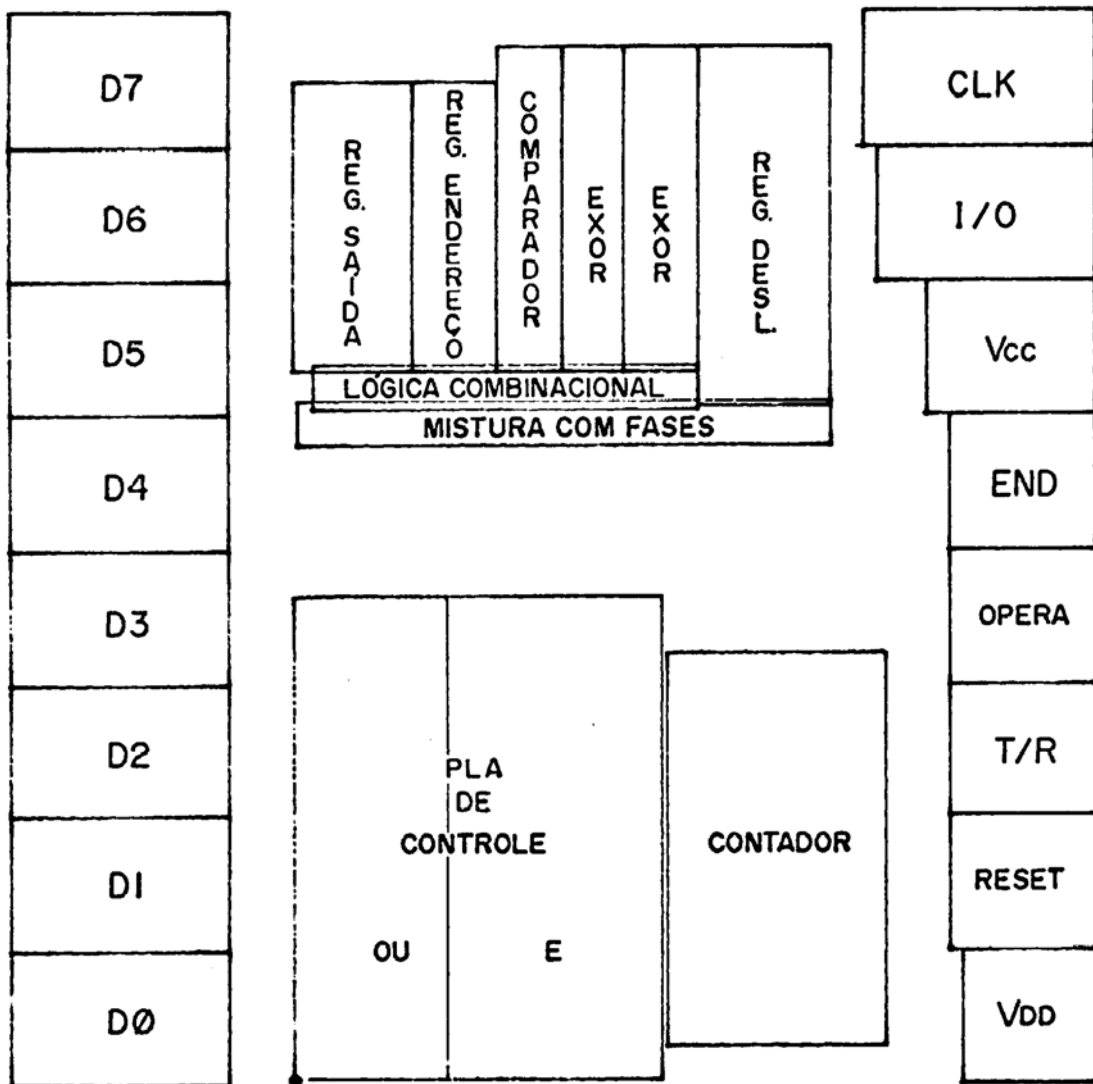


FIGURA A7.3 Planta baixa de um circuito

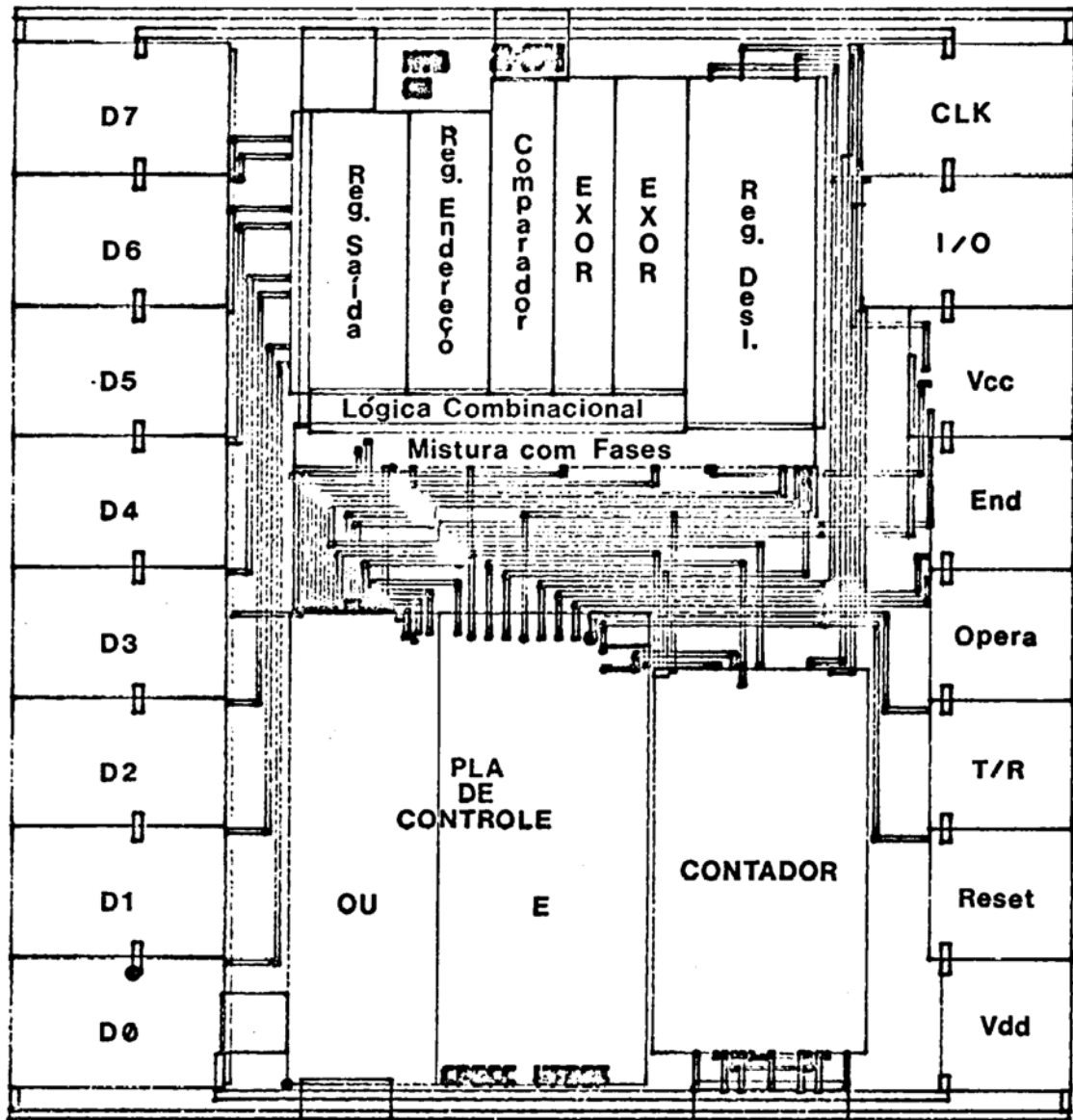


FIGURA A7.4 Planta baixa e as interconexões entre os blocos funcionais

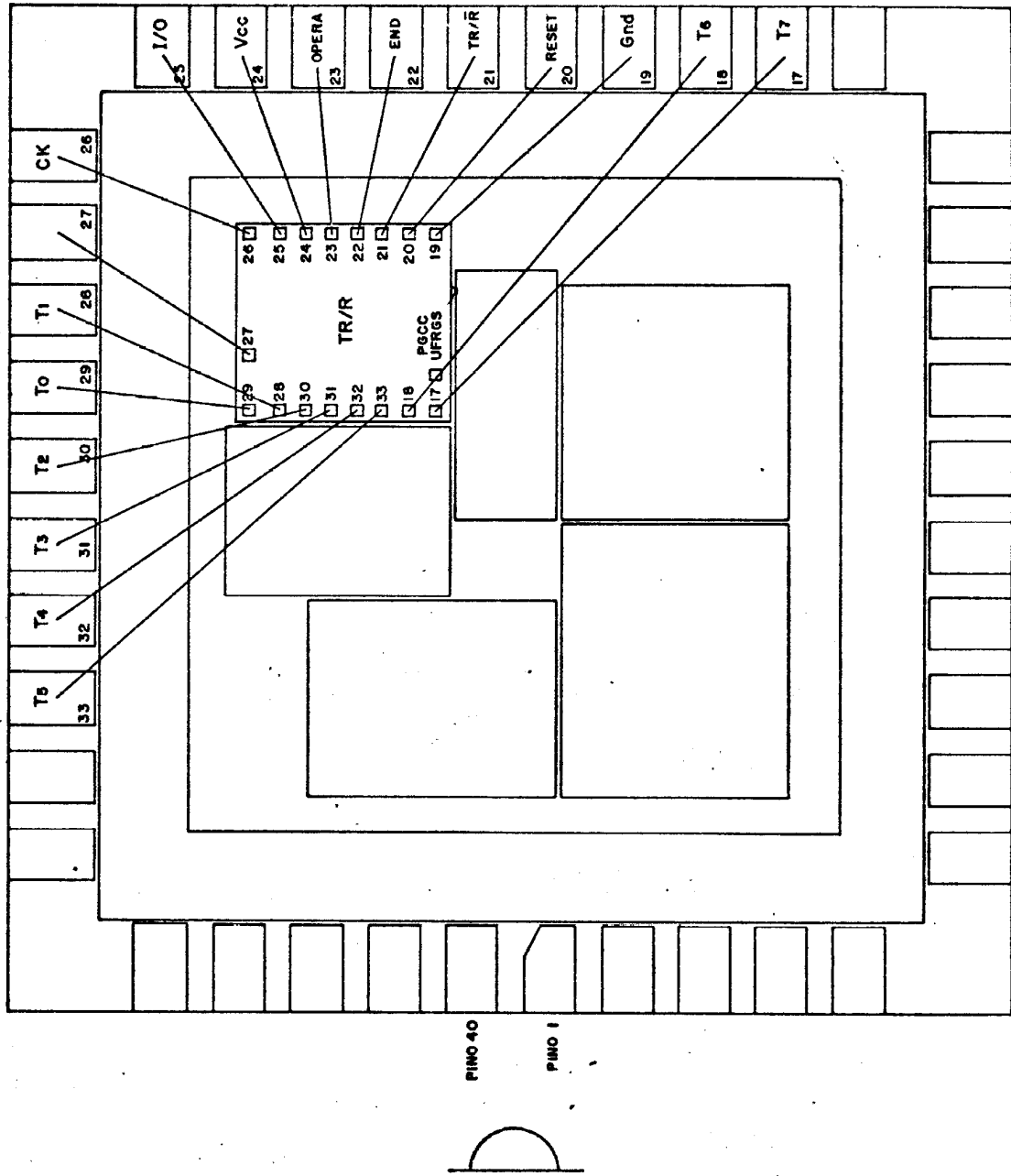


FIGURA A7.5 Diagrama de solda de circuito MPC

ANEXO 8

Concepção de circuitos integrados: abordagem hierárquica

A concepção de circuitos integrados é abordada pelo grupo de microeletrônica de uma forma hierárquica [SUZ 86]. A partir de uma descrição de alto nível (especificação funcional), detalhes sucessivos são aplicados até se chegar as máscaras; fim da etapa de concepção. Nesse contexto, um nível é um conjunto coerente de primitivas que permitem a descrição de um circuito. Um circuito está em um determinado nível quando sua descrição utiliza primitivas daquele nível.

Para cada nível de descrição a seguinte estratégia de cobertura (ver figura A6.1) é aplicada (o nível $i+1$ é mais detalhado do que o nível i).

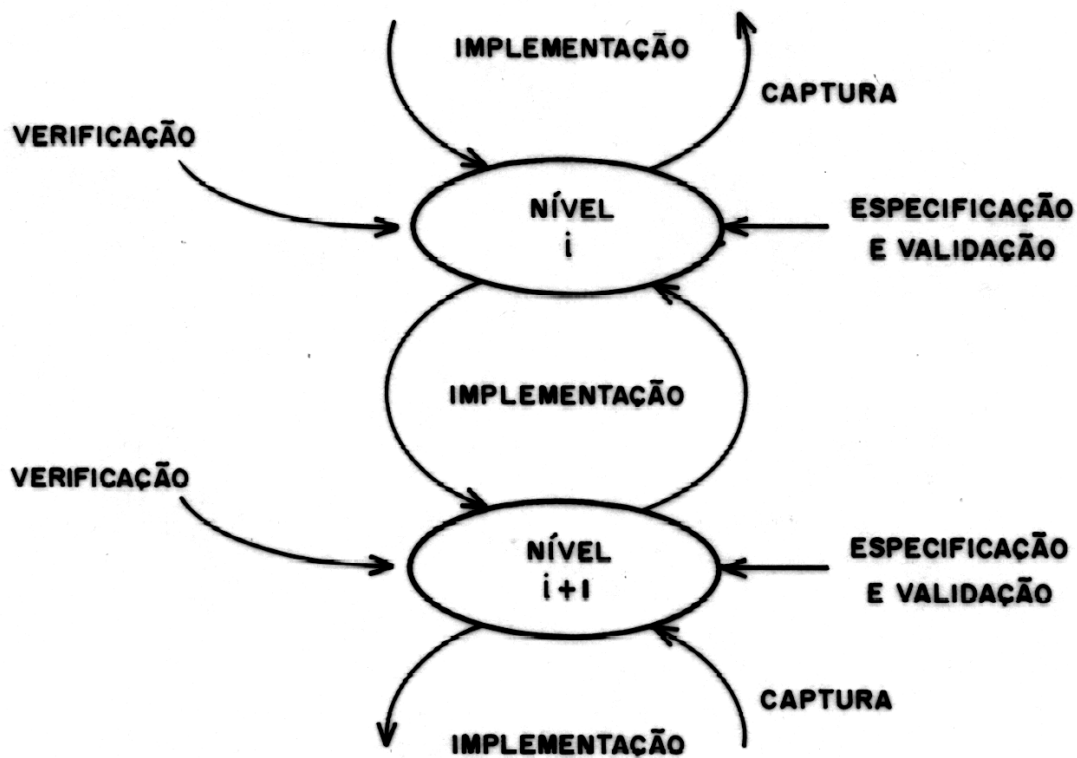


FIGURA A6.1 Estratégia de cobertura

Os termos utilizados são assim definidos:

Especificação é a definição das funções a serem desempenhadas pelo sistema. Uma especificação feita através de uma linguagem formal é dita especificação formal.

Validação é a demonstração da correção da especificação do objeto. A validação é feita submetendo-se a descrição a um bateria de excitações, simulando seu funcionamento. No entanto, devemos precisar que toda validação feita por simulação pode não ser fiel, por imprecisões da descrição, do simulador ou das excitações. Um circuito pode ser validado também diretamente em operação.

Implementação é o processo de transformação de uma descrição para outra de nível mais detalhado.

Exemplo: síntese de um PLA a partir das equações lógicas.

Captura é a transformação de uma descrição para outra de nível de maior compreensão.

Exemplo: recuperação do esquema elétrico de um PLA a partir da descrição das máscaras.

Verificação é a análise de uma descrição para certificar a implementação realizada.

BIBLIOGRAFIA

- [BAI 82] BAILLE, G. & LAURENT, J. **Presentation d'un outil d'aide a la mise au point de circuite intégres VLSI prototypes**. Grenoble, IMAG, 1982.
- [BRE 82] BREUER, M. A . & FRIEDMAN, A. D. **Diagnosies & reliable design of digital systems**. Califórnia, Computer Science Press, 1976
- [BUR 75] BURGESS, M. R. et alii. Scanning electron microscopy and its application to semiconductor device assessment. **Acta Electrônica**, P. 15 – 25, Jan.1975
- [COU82] COURTOIS, B. **Debugging VLSI using SEM**. Grenoble, IMAG, 1982.
- [FAZ 81] FAZEKAS, P. et alii. Scanning electron beam probes VLSI chips. **Electronics**, New York, 54 (14): 105-12, July 14, 1981.
- [FEV 78] FEUERBAUM, H. P. et alii. Quantitave measurement with high time resolution of internal weveforms on MOS RAM'S using a modified scanning electrons microscope. **IEEE Journal of Solid-State Circuits**, New York, SCI3 (3): 319 – 25, June 1978.
- [FRA 81] FRANK, E. H. & SPROULL, R. F. **Testing and debugging custom integrated circuits**. Pittsburg, Carnegie-Mellon University, 1981.
- [GOL 77] GOLDSTEIN, J. I. et alii. **Practical scanning electron microscopy**. New York, Plenium Press, 1977.
- [GON 78] GONZALES, A. J. & POWELL, M. W. Resolution of MOS one-transistor, dynamic RAM bit failures using SEM stroboscopic techniques. **Journal Vacuum Science Technology**, 15 (3): 1043-6, May/June 1978.
- [HOS 78] HOSOKAWA, T. et alii. Gigahertz stroboscopy with the scanning electron microscope. **Rev. Sci. Instrum.**, 49(9): 1293-9, Sept. 1978.
- [HUR 85 a] HURTADO, Carlos J. O. Ferramenta para teste de circuitos VLSI utilizando um microscópio eletrônico. In: V Congresso da Sociedade Brasileira de Computação. Porto Alegre, 20 – 27 julho 1985. **Anais**. Porto Alegre, 1985.v. 2, p. 262 – 77.
- [HUR 85b] HURTADO, Carlos J. O. et alii. Teste de circuitos VLSI usando microscópio eletrônico. In: XVIII Congresso Nacional de Informática, São Paulo, Setembro 1985. **Anais**. São Paulo, 1985. v.2, p. 977 – 82.

- [HUR 86] HURTADO, Carlos J. O. **Documentação da concepção e teste de um circuito integrado NMOS**. Porto Alegre, PGCC-UFRGS. 1986.
- [JAC 86 a] JACOB, Ricardo P. Microeditor: editor gráfico para microeletrônica em IBM-PC. In: I Congresso da Sociedade Brasileira de Microeletrônica, Campinas SP, julho 1986. **Anais**. Campinas, 1986. p. 408-18
- [JAC 86 b] JACOB, Ricardo P. **CVTx: Controlador de Vídeo para terminais de Vídeo**. Porto Alegre, PGCC-UFRGS, 1986. (Dissertação de Mestrado).
- [JAN 85] JANSCH, Ingrid. Concepção visando a testabilidade: conceitos e técnicas. In: V Simpósio Brasileiro de Microeletrônica, São Paulo – USP, julho 16 – 18, 1985. **Anais**. São Paulo, 1986. p. 3 – 11.
- [LAU 84] LAURENT, J. **Analyse des circuits intègres, par microscopie electronique**. Grenoble, L' Institut National Polytechnique, 1984.
- [LUK 82] LUKIANOFF, G. V. et alii Electron-beam testing of VLSI Dynamic RAM'S. **Electronic tests**, London, 5 (6): 46 – 56, June 1982.
- [OAT 69] OATLEY, C. W. Isolation of potencial contrast in the scanning electron microscope. **Journal of Scientific Instruments (Journal of Physics E)**, 1: 595 – 600, 1968.
- [REI 83] REIS, R. A. L. & ANCEAU, F. Complex Integrated circuit design strategy. **IEEE Journal of Solid State Circuits**, New York, SC –17 (3): 459 – 64, June 1982.
- [RIP 84] RIPOLL, M. T. S. Concepção de um CI Transmissor/Receptor. In: Congresso da Sociedade Brasileira de Computação, Viçosa, julho 21 – 27, 1984. **Anais**. Viçosa, 1985. v. 4. p. 183-94.
- [SHA 81] SHAVER, D. C. **Electron Beam Testing and restructuring of integrated circuits**. Cambridge, Massachusetts Institute of Technology, 1982.
- [SIE 81] SIEWIOREK, D. P. Testing of Digital Systems. **Proceedings of the IEEE**, New York, 69 (10): 1321-33, October 1981.
- [SUZ 85] SUZIM, A. A. Partes Operativas CMOS. In: V Congresso da Sociedade Brasileira de Computação, Porto Alegre, julho 20-27, 1985. **Anais**. Porto Alegre, 1985.v. 2, p.197-206.
- [SUZ 86] SUZIM, A. A. Sistema de CAD para Microeletrônica. In: I Congresso da Sociedade Brasileira de Microeletrônica, Campinas SP, julho 1986. **Anais**. Campinas, 1986. p. 408-18.

- [TOD 86a] TODESCO, Antônio R. W. **Concepção de um Circuito Integrado do tipo processador com conjunto de instruções reduzido**. Porto Alegre, PGCC-UFRGS, 1986. (Dissertação de Mestrado).
- [TOD 86b] TODESCO, Antônio R. W. **Sistema RS**: Especificação e desenho de máscaras de circuitos integrados. Porto Alegre, PGCC-UFRGS, 1986. (Relatório técnico em andamento)
- [WIL 82] WILLIAMS, T. W. & PARKER, K. P. Design for testability – a survey. **IEEE Transactions on Computers**, New York, C-31 (1): 2-15, Jan. 1982.
- [WOL 79] WOLFANG E. et Alii. Electron-beam testing of VLSI Circuits. **IEEE Transactions on Electron Devices**, New York, ED 26(4):549-59, April 1979.

CIP – CATALOGAÇÃO NA PUBLICAÇÃO (12)

Hurtado Orellana, Carlos Jesus

Uma técnica de depuração e teste de circuitos integrados usando um microscópio eletrônico / por Carlos Jesus Hurtado Orellana. – Porto Alegre: PGCC da UFRGS, 1986.

118f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Curso de Pós-Graduação em Ciência da Computação, Porto Alegre, BR – RS, 1986. Orientadores: Suzim, Altamiro Amadeu; Reis, Ricardo Augusto da Luz; Wagner, Tiaraju Vasconcellos.

1. Microeletrônica, 2. Depuração de Circuitos Integrados usando microscópio eletrônico de varredura, 3. Teste de Circuitos Integrados. I. Suzim, Altamiro Amadeu. II. Reis, Ricardo Augusto da Luz. III. Wagner, Tiaraju Vasconcellos. IV. Título.