

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

ALEXANDRE BERGMANN YPIRANGA BENEVIDES

PROJETO DE DIPLOMAÇÃO

**ANÁLISE DOS EFEITOS DA RADIAÇÃO IONIZANTE EM
MEMÓRIAS FLASH E SRAM**

Porto Alegre

2011

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**ANÁLISE DOS EFEITOS DA RADIAÇÃO IONIZANTE EM
MEMÓRIAS FLASH E SRAM**

Projeto de Diplomação apresentado ao
Departamento de Engenharia Elétrica da Universidade
Federal do Rio Grande do Sul, como parte dos
requisitos para Graduação em Engenharia Elétrica.

ORIENTADOR: Prof. Dr. Gilson Inácio Wirth

Porto Alegre

2011

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

ALEXANDRE BERGMANN YPIRANGA BENEVIDES

ANÁLISE DOS EFEITOS DA RADIAÇÃO IONIZANTE EM MEMÓRIAS FLASH E SRAM

Este projeto foi julgado adequado para fazer jus aos créditos da Disciplina de “Projeto de Diplomação”, do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Dr. Gilson Inácio Wirth, UFRGS

Doutor pela Universität Dortmund – Dortmund, Alemanha

Banca Examinadora:

Prof. Dr. Gilson Inácio Wirth, UFRGS

Doutor pela Universität Dortmund – Dortmund, Alemanha

Prof^a. Dr^a. Fernanda Gusmão de Lima Kastensmidt, UFRGS

Doutora pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Prof. Dr. Marcelo Götz, UFRGS

Doutor pela Universität Paderborn – Paderborn, Alemanha

Porto Alegre, Julho de 2011.

DEDICATÓRIA

Dedico este trabalho à minha esposa Márcia, à minha mãe Regina, ao meu irmão Alessandro e a toda minha família, por todo apoio concedido durante toda a minha vida, e por terem sido os principais fatores que me ajudaram a alcançar tudo que conquistei.

AGRADECIMENTOS

Agradeço primeiramente à minha esposa Márcia, por ser minha companheira e ter me dado todo o apoio durante a graduação, me auxiliando sempre que necessitei.

À toda a minha família, em especial à minha mãe Regina, por toda a dedicação e apoio concedidos durante toda a minha vida, e por terem sempre me incentivado a estudar, superando todas as dificuldades da vida.

Ao meu professor orientador, Professor Doutor Gilson Inácio Wirth, por todo o tempo dedicado a este projeto e por ter me ajudado sempre que o procurei.

A todos os professores do Departamento de Engenharia Elétrica desta Universidade, além dos professores de outros departamentos com os quais convivi em aula ou em outras atividades, pelas aulas que jamais esquecerei e por todo o crescimento pessoal e profissional que me ajudaram a construir.

Agradeço também a todos meus amigos e colegas de curso, pessoas que sempre me ajudaram a superar as dificuldades da vida universitária e que souberam entender os momentos em que não havia tempo disponível para diversão, apenas para estudo.

RESUMO

Este relatório apresenta o trabalho desenvolvido durante a disciplina Projeto de Diplomação do Curso de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul. O projeto desenvolvido consiste no estudo dos efeitos da radiação ionizante sobre dispositivos semicondutores, especialmente em memórias flash e SRAM, e os tipos de falha que podem vir a ocorrer nestes tipos de memória. Além disso, consiste na seleção de testes que podem ser aplicados às memórias de forma a verificar as falhas provocadas pela radiação, e o projeto de uma plataforma para testar algumas memórias, que foi desenvolvida baseada em FPGA.

Palavras-chaves: Radiação ionizante, memória flash, SRAM, testes march, FPGA, VHDL.

ABSTRACT

This document presents the work developed in the final project of the graduation in Electrical Engineering at Universidade Federal do Rio Grande do Sul (UFRGS). The project consists in the study of the effects of ionizing radiation on flash memories and SRAMs, and the fault types that may occur in these memories. Also, this work includes the selection of tests that can be applied to the memories in order to verify their comportment in a radiation environment, and the design of a test platform to analyze the faults in the memories, which was developed based on a FPGA platform.

Keywords: Ionizing radiation, flash memory, SRAM, march tests, FPGA, VHDL.

SUMÁRIO

1	INTRODUÇÃO	15
1.1	Motivação.....	15
1.2	Objetivos	16
2	EFEITOS DA RADIAÇÃO IONIZANTE EM SEMICONDUTORES	19
2.1	Efeitos da Radiação Ionizante em Transistores MOS	19
2.2	Efeitos da Radiação Ionizante em Memórias SRAM	23
2.3	Efeitos da Radiação Ionizante em Memórias Flash.....	25
3	FALHAS EM MEMÓRIAS	29
3.1	Notação das Falhas	31
3.2	Falhas de Valor Fixo	32
3.3	Falhas de Transição	34
3.4	Falhas por Acoplamento.....	35
3.4.1.	Falhas de Inversão por Acoplamento.....	36
3.4.2.	Falhas de Valor Armazenado por Acoplamento	37
3.4.3.	Falhas por Acoplamento Dinâmicas.....	38
3.4.4.	Falhas de Ligação.....	38
3.4.5.	Falhas de Estado por Acoplamento.....	38
3.5	Falhas por Acoplamento Sensíveis aos Padrões da Vizinhança	38
3.6	Falhas no Decodificador de Endereço.....	39
3.7	Falhas de Retenção de Dados.....	40
4	TESTES DE MEMÓRIAS	42
4.1	Notação dos Testes March.....	42
4.2	Testes March para Detecção de Falhas.....	44
4.3	Testes March para Identificação de Falhas.....	47
5	ANÁLISE DE ALTERNATIVAS	50
5.1	Seleção das Memórias.....	50
5.2	Definição da Tecnologia da Plataforma de Testes	50
5.3	Seleção dos Testes Desenvolvidos Durante o Projeto	54
6	HARDWARE DESENVOLVIDO	59
6.1	Kit de Desenvolvimento Spartan-3e.....	59
6.1.1.	FPGA Xilinx Spartan-3e XC3S500E.....	61
6.1.2.	Oscilador de 50MHz	63
6.1.3.	Conector de Expansão Hirose FX2	63
6.2	Placa de Expansão.....	66
6.2.1.	Conector de Expansão Hirose FX2	66
6.2.2.	Memória SRAM IS66WV25616BLL-55TLI	68
6.2.3.	Memória Flash AM29LV040B-90JD	69
6.2.4.	Esquema Elétrico	70
6.2.5.	Leiaute da Placa	73
7	TESTES IMPLEMENTADOS	75
7.1	Bloco de Acesso às Memórias (memory_access.vhd).....	75
7.1.1.	Requisitos.....	75
7.1.2.	Implementação	79

7.1.3. Simulações	82
7.2 Bloco de Teste de Memórias (memory_test.vhd)	84
7.2.1. Requisitos	84
7.2.2. Implementação	85
7.2.3. Simulações	88
8 RESULTADOS ALCANÇADOS	92
9 CONCLUSÃO	94
REFERÊNCIAS	96

LISTA DE ILUSTRAÇÕES

Figura 1: Irradiador de raios gama a partir de Cobalto-60.	17
Figura 2: Estrutura para realização dos testes nas memórias.	18
Figura 3: Transistor MOS canal-n (NMOS).	19
Figura 4: Efeitos da radiação ionizante no dióxido de silício.	21
Figura 5: Criação de pares elétron-lacuna no óxido, recombinação dos mesmos, e posterior deslocamento e aprisionamento de lacunas na interface Si/SiO ₂	21
Figura 6: Formação de canal em um transistor NMOS devida à presença de cargas positivas aprisionadas no óxido junto à porta.	22
Figura 7: Formação de canais parasitas devido a cargas aprisionadas no óxido de campo, e consequente corrente de fuga.	23
Figura 8: Célula de memória SRAM.	24
Figura 9: Célula de memória flash.	25
Figura 10: Processo de gravação de uma célula de memória flash.	26
Figura 11: Processo de apagamento de uma célula de memória flash.	27
Figura 12: Perda de carga negativa armazenada em células de memória flash causadas por recombinação com lacunas liberadas pela radiação ionizante.	28
Figura 13: Modelo funcional de uma memória.	29
Figura 14: Modelo funcional simplificado de uma memória.	30
Figura 15: Diagrama de estados de uma célula sem falhas.	33
Figura 16: Diagrama de estados de uma célula que apresenta falha <i>stuck-at 0</i>	33
Figura 17: Diagrama de estados de uma célula que apresenta falha <i>stuck-at 1</i>	33
Figura 18: Diagrama de estados de uma falha na transição de subida $\langle \uparrow / 0 \rangle$	34
Figura 19: Diagrama de estados de duas células que não apresentam falhas.	36
Figura 20: Diagrama de estados de uma falha CFin do tipo $\langle \uparrow; \downarrow \rangle$	37
Figura 21: Diagrama de estados de uma falha CFid do tipo $\langle \uparrow; 1 \rangle$	37
Figura 22: Falhas no decodificador de endereços.	39
Figura 23: Combinações de falhas no decodificador de endereços.	40
Figura 24: Detecção de uma falha SA0 na célula (2,1) através de teste MATS+.	47
Figura 25: Kit de Desenvolvimento Xilinx Spartan-3e.	60
Figura 26: FPGA Xilinx Spartan-3e XC3S500E FG320.	62
Figura 27: Bancos de pinos de entrada/saída do XC3S500E FG320.	62
Figura 28: Chave de seleção (JP9) da tensão do banco 0 (e da placa de expansão).	63
Figura 29: Conexões do FPGA ao conector Hirose FX2.	64
Figura 30: Leiaute para o conector Hirose FX2-100S-1.27DS.	66
Figura 31: Memória SRAM IS66WV25616BLL-55TLI.	68
Figura 32: Memória Flash AM29LV040B-90JD.	69
Figura 33: Esquema elétrico da placa de expansão.	72
Figura 34: Leiaute da camada superior da placa de expansão.	74
Figura 35: Leiaute da camada inferior da placa de expansão.	74
Figura 36: Ciclo de leitura 1 para SRAM (controlado pelo endereço).	76
Figura 37: Ciclo de leitura 2 para SRAM (controlado por CS1, CS2, OE, UB e LB).	76
Figura 38: Ciclo de escrita 1 para SRAM (controlado por CS1).	77

Figura 39: Ciclo de escrita 2 para SRAM (controlado por WE, com OE em nível alto).....	78
Figura 40: Ciclo de escrita 3 para SRAM (controlado por WE, com OE em nível baixo).....	78
Figura 41: Ciclo de escrita 4 para SRAM (controlado por UB e LB).....	78
Figura 42: Máquina de estados implementada no bloco de acesso às memórias (memory_access.vhd).....	81
Figura 43: Simulação de acessos de escrita na SRAM.....	83
Figura 44: Simulação de acessos de leitura na SRAM.....	84
Figura 45: Máquina de estados implementada no bloco de teste de memórias (memory_test.vhd).....	87
Figura 46: Simulação da etapa de escrita do teste de retenção de dados.....	89
Figura 47: Simulação da etapa de leitura do teste de retenção de dados.....	89
Figura 48: Simulação de um trecho do elemento M1 do teste MARCH C--.....	90

LISTA DE TABELAS

Tabela 1: Falhas funcionais que podem ocorrer em memórias.	30
Tabela 2: Conjunto reduzido de falhas funcionais de memórias.	31
Tabela 3: Mapeamento de falhas funcionais no conjunto reduzido de falhas funcionais de memórias.	31
Tabela 4: Algoritmos de alguns testes march.	45
Tabela 5: Cobertura de falhas de alguns testes march.	45
Tabela 6: Duração total de alguns testes march executados em memórias de tamanhos e tempos de acesso diferentes.	46
Tabela 7: Duração total de alguns testes march executados em memórias de tamanhos e tempos de acesso diferentes.	46
Tabela 8: Conjunto mínimo de sinais necessários para atendimento às memórias.	51
Tabela 9: Níveis de tensão requeridos pela SRAM ($V_{CC} = 3.3V$).	52
Tabela 10: Níveis de tensão requeridos pela memória flash ($V_{CC} = 3.3V$).	52
Tabela 11: Características do kit do Spartan-3e em relação aos requisitos do projeto.	53
Tabela 12: Conexões do FPGA ao conector Hirose FX2.	65
Tabela 13: Sinais entre o FPGA e a placa de expansão.	67
Tabela 14: Função dos pinos da memória SRAM IS66WV25616BLL-55TLI.	69
Tabela 15: Função dos pinos da memória Flash AM29LV040B-90JD.	70
Tabela 16: Conexões necessárias entre as memórias SRAM e Flash.	70
Tabela 17: Conexões das memórias SRAM e Flash ao conector Hirose FX2.	71
Tabela 18: Características temporais da SRAM em ciclos de leitura.	77
Tabela 19: Características temporais da SRAM em ciclos de escrita.	79
Tabela 20: Configurações (<i>generics</i>) do bloco de acesso às memórias.	80
Tabela 21: Interface do bloco de acesso às memórias.	80
Tabela 22: Configurações (<i>generics</i>) do bloco de teste de memórias.	85
Tabela 23: Interface do bloco de teste de memórias.	86
Tabela 24: Resultados da síntese dos testes desenvolvidos.	93

LISTA DE ABREVIATURAS

AF: Address Decoder Fault

BF: Bridging Fault

CF: Coupling Fault

CFdyn: Dynamic Coupling Fault

CFid: Idempotent Coupling Fault

CFin: Inversion Coupling Fault

CLB: Configurable Logic Block

CPLD: Complex Programmable Logic Device

DCM: Digital Clock Manager

DCTA: Departamento de Ciência e Tecnologia Aeroespacial

DDR: Double Data Rate

DRAM: Dynamic Random Access Memory

DRF: Data Retention Fault

EEPROM: Electrically-Erasable Programmable Read-Only Memory

EPROM: Erasable Programmable Read-Only Memory

FBGA: Fine-Pitch Ball Grid Array

FPGA: Field Programmable Gate Array

IEAv: Instituto de Estudos Avançados

LED: Light-Emitting Diode

LUT: Look-Up Table

MOS: Metal Oxide Semiconductor

NMOS: Transistor MOS Canal N

NPSF: Neighborhood Pattern Sensitive Coupling Fault

PCI: Placa de Circuito Impresso

PLCC: Plastic Leaded Chip Carrier

PMOS: Transistor MOS Canal P

PROM: Programmable Read-Only Memory

RAM: Random Access Memory

ROM: Read-Only Memory

SAF: Stuck-At Fault

SCF: State Coupling Fault

SDRAM: Synchronous Dynamic Random Access Memory

SPI: Serial Peripheral Interface Bus

SRAM: Static Random Access Memory

TF: Transition Fault

TID: Total Ionizing Dose

TSOP: Thin Small-Outline Package

UFRGS: Universidade Federal do Rio Grande do Sul

USB: Universal Serial Bus

VGA: Video Graphics Array

VHDL: VHSIC Hardware Description Language

VHSIC: Very-High-Speed Integrated Circuit

1 INTRODUÇÃO

1.1 MOTIVAÇÃO

Nos dias atuais, a utilização de sistemas eletrônicos é cada vez mais massiva, a expansão da eletrônica de consumo faz com que a cada dia surjam diversos novos dispositivos, cada vez mais densos e integrados, para satisfazer os desejos da população. Com o aumento da utilização de circuitos eletrônicos, a sua utilização conseqüentemente se dá em ambientes cada vez mais variados. Estes ambientes vão desde residências, nas quais as condições ambientais são relativamente estáveis e controladas, a locais com condições não tão adequadas à operação normal de dispositivos semicondutores. Estes locais podem contar com temperaturas extremas, como automóveis ou indústrias, com pressões de valores distantes dos encontrados ao nível do mar ou até com presença de radiação ionizante em níveis críticos. Enfim, as condições podem ser adversas em vários sentidos.

Um dos mercados que opera em condições extremamente adversas é o de sistemas embarcados aeroespaciais, que podem ser dispositivos eletrônicos para aviões, satélites, naves e sondas espaciais. Nos ambientes frequentados por estes dispositivos as condições ambientais são extremamente diferentes das encontradas na superfície da Terra, em termos de temperatura, pressão, composição da atmosfera e, é claro, presença de radiação ionizante.

Os dispositivos eletrônicos em geral, por sua vez, cada vez mais empregam memórias em suas estruturas, sendo que elas podem ser utilizadas como componentes eletrônicos dedicados ou até mesmo blocos de um circuito integrado. Sistemas embarcados também necessitam de volumes cada vez maiores de memórias, tanto voláteis quanto não-voláteis, e SRAM e Flash são opções largamente empregadas. Sistemas embarcados aeroespaciais não são exceção à essa necessidade de armazenamento de dados, e também requerem cada vez mais espaço para isto.

Como no ambiente aeroespacial há a presença de níveis elevados de radiação ionizante, é imprescindível a análise do comportamento elétrico dos sistemas eletrônicos que são projetados para operar em tais condições, de forma que a radiação não venha a causar falhas nos circuitos. Um tipo de dispositivo eletrônico de grande importância para a operação de sistemas embarcados é a memória, volátil ou não-volátil, visto que as memórias são responsáveis por armazenar desde programas controladores de dispositivos críticos dos veículos aeroespaciais até dados e estatísticas das missões. Para garantir que o comportamento das memórias utilizadas neste tipo de aplicação será adequado é necessário efetuar testes para avaliação dos efeitos da radiação, através da aplicação de radiação ionizante e monitoramento do comportamento do componente eletrônico.

1.2 OBJETIVOS

O objetivo deste projeto é de desenvolver uma plataforma para a realização de testes em alguns modelos de memórias submetidos a radiação ionizante, de forma a avaliar os efeitos de dose total ionizante (TID) nas memórias estudadas. Estas memórias foram selecionadas através de informações obtidas em contatos com Odair Lelis Gonzalez, pesquisador do Departamento de Ciência e Tecnologia Aeroespacial – DCTA, Instituto de Estudos Avançados – IEAv, localizado em São José dos Campos/SP, que informou alguns modelos que são comumente empregados em aplicações aeroespaciais. As informações a respeito dos componentes utilizados em satélites e outras aplicações aeroespaciais geralmente não são públicas, sendo desta forma importante obtê-las diretamente com pesquisadores do setor. Desta forma foram selecionadas duas memórias que devem ser previstas na plataforma de testes, sendo uma memória Flash (Spansion AM29LV040B-90JD) e uma SRAM (ISSI IS66WV25616BLL-55TLI).

Para alcançar este objetivo é imprescindível estudar os efeitos da radiação ionizante em transistores e células de memória, além dos tipos de teste empregados nas memórias que são objeto deste estudo. Após esta etapa de estudos é necessário realizar o levantamento e a seleção de alguns testes para aplicação nas memórias, que devem ser executados pela plataforma de teste. A plataforma a ser desenvolvida deve ser composta por um hardware que acomode as duas memórias que se deseja testar e que deve executar os testes selecionados para a avaliação das memórias.

A plataforma de testes desenvolvida nesta etapa será utilizada para a realização de testes nas memórias sob o efeito de radiação ionizante, para verificar as consequências da dose total ionizante no comportamento das memórias. Com isso será possível avaliar a relação entre a dose de radiação aplicada e o número e os tipos de falhas que passam a ocorrer nos dispositivos. Para a geração da radiação ionizante será utilizada uma fonte de raios gama através de Cobalto-60, que consiste de um aparelho de radioterapia modificado para melhor atender aos requisitos dos testes, ilustrado na figura 1. Este equipamento produz um feixe de radiação altamente direcional, que será aplicado diretamente às memórias, conforme ilustrado na figura 2, que apresenta a estrutura necessária para a realização dos testes.



Figura 1: Irradiador de raios gama a partir de Cobalto-60.

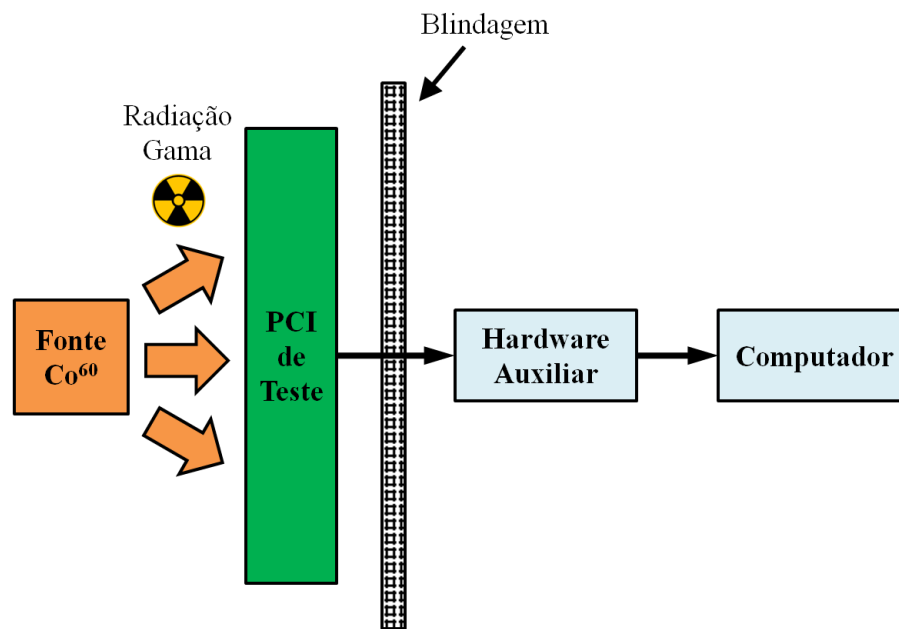


Figura 2: Estrutura para realização dos testes nas memórias.

Assim sendo, a sequência de trabalho neste projeto, e que está retratada neste relatório inicia-se com o estudo dos efeitos da radiação ionizante em transistores MOS, passando para seus efeitos em memórias flash e SRAM. A etapa seguinte é o estudo dos tipos de falhas funcionais que podem vir a ocorrer em memórias, e a partir daí avaliar quais tipos de falhas podem vir a ocorrer provocadas por radiação. A seguir vem a etapa de estudo dos tipos de testes empregados em memórias, de forma a buscar tipos de testes que sejam adequados aos objetivos deste trabalho, ou seja, que não sejam de muito longa duração e que não sejam de implementação muito complexa e que exija muitos recursos.

A partir da definição dos testes a etapa seguinte é a de definição das memórias flash e SRAM que terão utilização prevista na plataforma de testes, e a partir da definição das mesmas pode-se selecionar a tecnologia empregada na plataforma e realizar as definições finais das especificações de hardware, procedendo com seu desenvolvimento. A última etapa é selecionar os testes a serem implementados, cuja complexidade deve estar de acordo com o tempo disponível para o desenvolvimento dos mesmos.

2 EFEITOS DA RADIAÇÃO IONIZANTE EM SEMICONDUTORES

2.1 EFEITOS DA RADIAÇÃO IONIZANTE EM TRANSISTORES MOS

Existem diversas formas de radiação ionizante, e cada uma delas produz determinados efeitos em dispositivos semicondutores. A radiação ionizante pode ser formada por raios gama, raios-x, partículas alfa e outros tipos de partículas pesadas. As partículas pesadas, como íons e prótons, produzem efeitos nos semicondutores que são detectados logo após o mesmo ser submetido à radiação. Estes efeitos podem ser destrutivos ou não, e não serão estudados neste trabalho.

Outro tipo de efeito que pode vir a ocorrer em dispositivos semicondutores é o efeito de dose total ionizante, causado geralmente por raios gama ou raios-x. Este efeito caracteriza-se por não causar falhas imediatamente após o início da exposição do dispositivo à radiação. Seus efeitos são, como seu próprio nome indica, causados pela dose total de radiação acumulada no semicondutor, ou seja, apenas após um certo tempo de irradiação o semicondutor começa a apresentar falhas.

Nos transistores MOS (Metal-Oxide Semiconductor) a dose total ionizante tem como efeito principal e característico a ionização das camadas de óxido que são utilizadas como camadas isolantes na construção destes componentes, geralmente constituídas por dióxido de silício (SiO_2). A figura 3 apresenta a vista em corte de um transistor MOS canal-n (NMOS), no qual pode ser visto o óxido que separa a porta do transistor da região do canal.

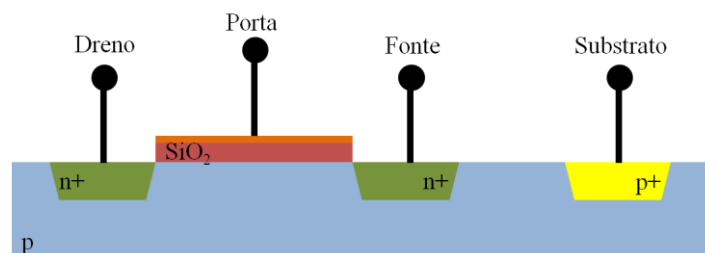


Figura 3: Transistor MOS canal-n (NMOS).

Quando um transistor MOS é submetido a um ambiente com radiação ionizante de alta energia, esta radiação acaba por retirar elétrons da camada de valência do óxido isolante, levando-os à banda de condução. Com isso, é gerado um par elétron-lacuna na região do dióxido de silício. Grande parte dos elétrons gerados, visto que possuem grande mobilidade (comparados às lacunas), acaba por ser drenada pela porta do transistor em um intervalo de tempo muito pequeno. Uma outra parte destes elétrons por sua vez acaba sofrendo recombinação com as lacunas geradas, de forma que resta no óxido um número menor de lacunas do que foi gerado inicialmente. Estas lacunas restantes, por sua vez, acabam por se locomover até a região próxima à interface com o silício que compõe o canal do transistor, de forma a formar uma camada de cargas positivas junto ao canal. Esta camada de cargas positivas, por sua vez, age com as cargas presentes no silício, de forma que ela acaba por alterar a tensão de limiar do transistor que está no ambiente de radiação. Mesmo que o número de cargas positivas seja pequeno, se o tempo de exposição à radiação for suficientemente grande haverá influência significativa na tensão de limiar, o que causará problemas ao funcionamento do circuito eletrônico no qual o transistor está inserido. Caso a dose de radiação acumulada seja ainda maior, este transistor pode ter tanta carga acumulada em seu óxido que nem as tensões limite do circuito eletrônico podem ser capazes de formar ou extinguir o canal, de forma que o transistor ficará travado em um estado, que pode ser ativo ou inativo. A figura 4 mostra o efeito da radiação no dióxido de silício, com a geração de pares elétron-lacuna e a acumulação de cargas positivas junto à interface do óxido com o canal do transistor. A figura 5, por sua vez, apresenta o processo que ocorre no óxido por etapas, mostrando a geração dos pares elétron-lacuna, a recombinação e a presença de cargas acumuladas no óxido. Já a figura 6 é responsável por ilustrar a presença de cargas positivas aprisionadas no óxido isolante de um transistor NMOS, e seu efeito na formação de canal do

referido transistor. Neste caso a presença de cargas é tamanha que já é capaz de formar o canal de condução entre dreno e fonte mesmo sem a presença de tensão na porta.

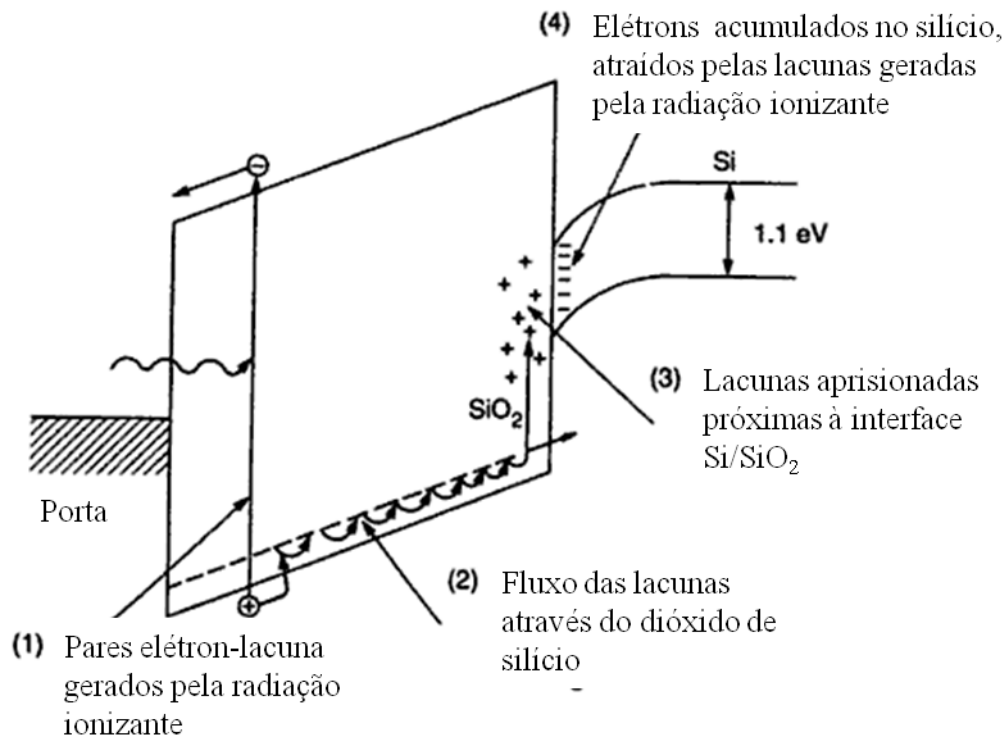


Figura 4: Efeitos da radiação ionizante no dióxido de silício.

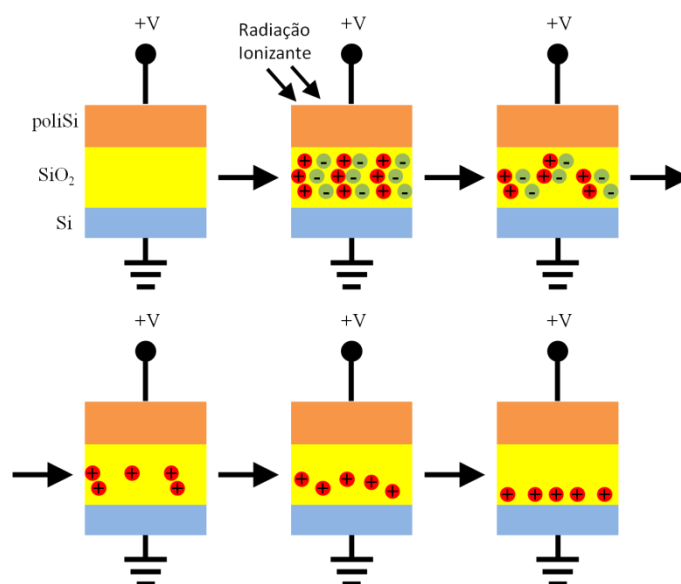


Figura 5: Criação de pares elétron-lacuna no óxido, recombinação dos mesmos, e posterior deslocamento e aprisionamento de lacunas na interface Si/SiO₂.

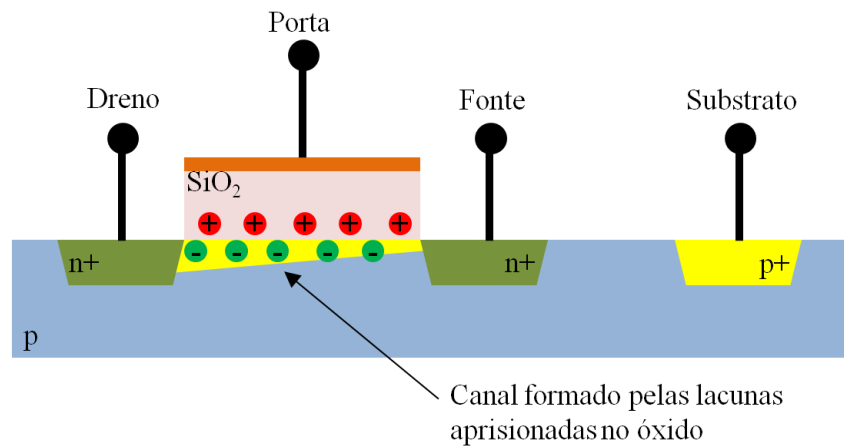


Figura 6: Formação de canal em um transistor NMOS devida à presença de cargas positivas aprisionadas no óxido junto à porta.

Em transistores NMOS a alteração na tensão de limiar se dá de forma que é necessária uma tensão menos positiva no gate, devido à presença de cargas aprisionadas no óxido, para a formação do canal. Em casos extremos o travamento do transistor se dá com o canal formado, ou seja, o transistor sempre estará ligado, visto que haverá tantas cargas positivas no dióxido de silício que o canal sempre estará formado. Em transistores PMOS o efeito é inverso, visto que para a formação do canal são necessárias tensões de porta negativas, de forma a atrair os portadores minoritários negativos para formarem o canal. Como haverá cargas positivas aprisionadas junto à interface Si/SiO₂, será necessária uma tensão ainda mais negativa para formar o canal, de forma que em casos extremos torna-se impossível formar o canal, ou seja, o transistor estará sempre desligado.

Além do efeito da alteração na tensão de limiar e possível travamento dos transistores expostos à radiação, são observados outros efeitos no funcionamento destes dispositivos. O principal deles é o aumento da corrente de fuga, especialmente entre dreno e fonte. Como pode haver formação de canal apenas pelo efeito das cargas aprisionadas no óxido, podem surgir correntes de fuga no dispositivo mesmo que não esteja sendo aplicada na porta uma tensão para provocar a formação do canal. Este efeito é verificado em transistores NMOS, visto que em transistores PMOS a presença de cargas positivas aprisionadas no óxido não irá

produzir efeitos de formação de canal. Além disso, a corrente de fuga pode surgir devido ao surgimento de canais parasitas no óxido de campo que tem como função isolar transistores adjacentes, o que é mostrado na figura 7. Como há a presença de óxido nesta região, nela também pode ocorrer o aprisionamento de cargas positivas, que acabam por atrair portadores minoritários do substrato e formando caminhos para a corrente de fuga. Da mesma forma, este efeito também é característico de transistores NMOS.

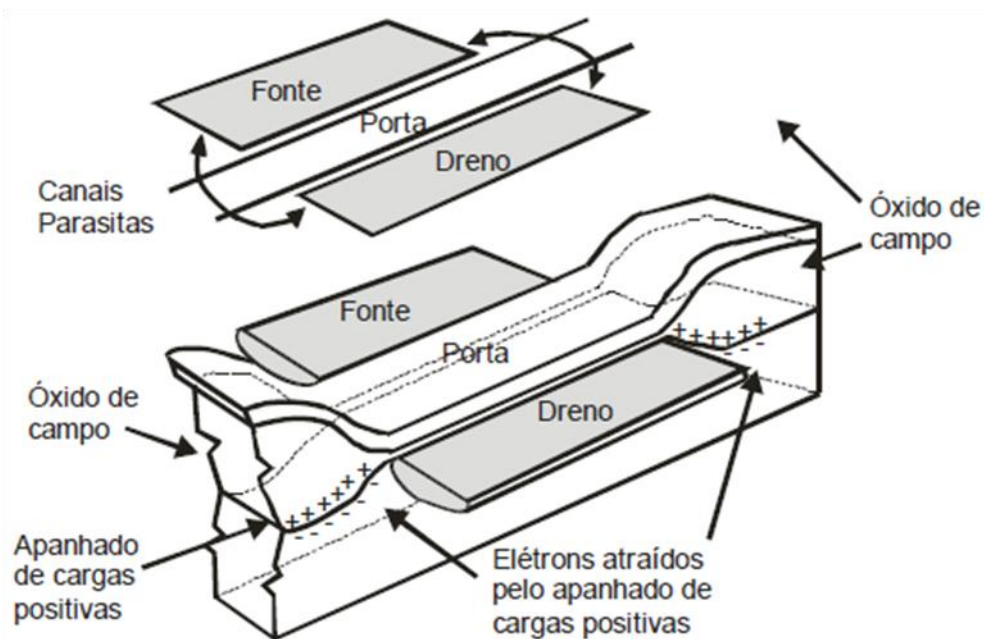


Figura 7: Formação de canais parasitas devido a cargas aprisionadas no óxido de campo, e conseqüente corrente de fuga.

2.2 EFEITOS DA RADIAÇÃO IONIZANTE EM MEMÓRIAS SRAM

A célula de memória SRAM, ilustrada na figura 8, é constituída por seis transistores MOS, sendo formada por dois inversores lógicos realimentados, cada um formado por dois transistores, um NMOS e um PMOS, e dois transistores responsáveis por ligar a célula de memória às linhas de dados, chamadas de *bit lines* (BL e \overline{BL}). Estes dois transistores são acionados pela *word line* (WL), que é a linha de endereçamento.

pode vir a apresentar falhas, visto que seus transistores também podem vir a ter suas tensões de limiar alteradas devido ao efeito de dose total ionizante. Desta forma pode ocorrer a perda do dado armazenado naquela célula.

2.3 EFEITOS DA RADIAÇÃO IONIZANTE EM MEMÓRIAS FLASH

Células de memória flash são transistores MOS de porta flutuante. Este tipo de transistor possui uma característica construtiva diferente dos transistores tradicionais, visto que possuem entre a porta do transistor e a região do canal uma outra região semicondutora, chamada de porta flutuante, envolta por material isolante (dióxido de silício). Esta porta flutuante é responsável pelo armazenamento de dados na célula de memória, visto que ela pode estar sem nenhum tipo de carga elétrica armazenada ou com elétrons, que ficam aprisionados nela devido à presença de camadas isolantes ao redor da porta flutuante. Desta forma a célula de memória é composta por apenas um transistor, ilustrado na figura 9.

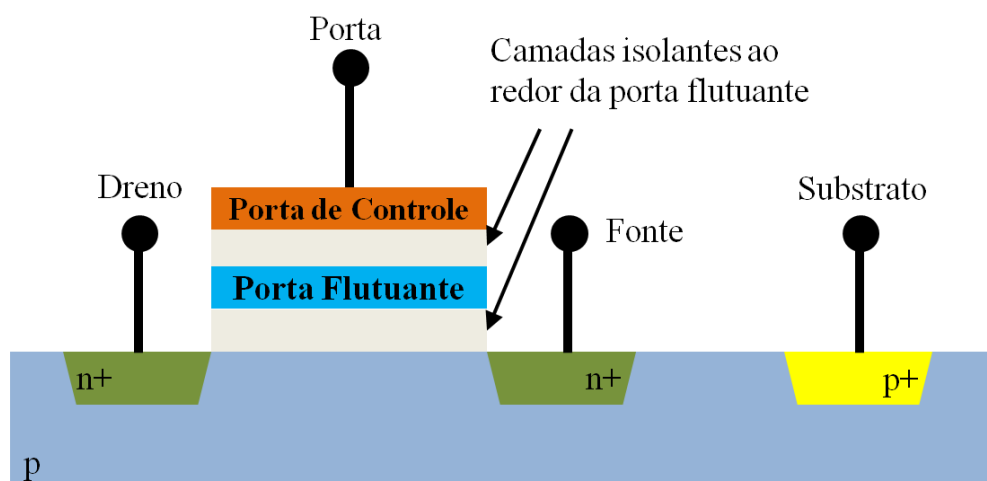


Figura 9: Célula de memória flash.

Para efetuar a gravação (inserção de cargas na porta flutuante) ou o apagamento (retirada de cargas da porta flutuante) de uma célula de memória são necessárias tensões mais elevadas que as tensões normais de leitura da memória, visto que é necessário fazer com que

os elétrons atravessem as camadas isolantes ao redor da porta flutuante, ou seja, é necessária uma maior quantidade de energia para causar o tunelamento dos mesmos. Desta forma, além dos circuitos periféricos existentes nas memórias SRAM há também a necessidade de circuitos elevadores de tensão, chamados de *charge pumps*, para efetuar a gravação ou apagamento das células de memória. Por este motivo as memórias flash requerem um protocolo para gravação, que faz com que a máquina de controle ative estes circuitos para efetuar a gravação ou apagamento. Isto faz com que os procedimentos de gravação e apagamento demandem um tempo elevado em comparação ao procedimento de leitura, especialmente se a gravação ou apagamento for feita em blocos pequenos de endereços. Na figura 10 está ilustrada uma célula de memória flash em um tipo de processo de gravação (inserção de cargas negativas na porta flutuante), e na figura 11 é mostrado um tipo de processo de apagamento (retirada dos elétrons aprisionados na célula de memória).

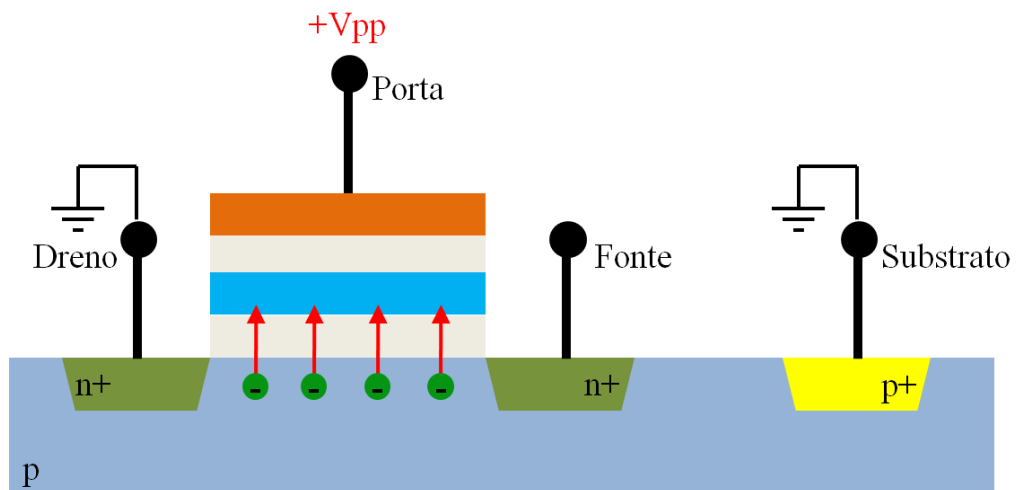


Figura 10: Processo de gravação de uma célula de memória flash.

As memórias flash estão sujeitas aos mesmos tipos de falhas que os já citados para as memórias SRAM, como falhas no decodificador de endereços e nos multiplexadores de

dados. Além disso, os *charge pumps* são dispositivos bastante sujeitos a falhas devido à presença de radiação ionizante, conforme descrito por (NGUYEM, 1998).

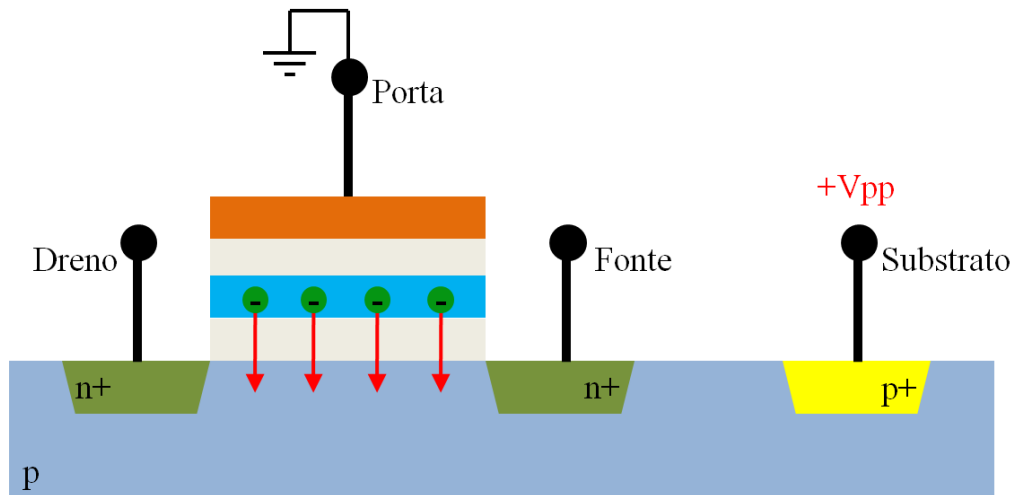


Figura 11: Processo de apagamento de uma célula de memória flash.

Como as memórias flash armazenam dados na forma de elétrons (ou falta deles) aprisionados em uma região condutora isolada da porta e do canal, há uma outra possibilidade de falha que surge da possibilidade desta carga armazenada ser retirada da porta flutuante. Isto pode ocorrer devido ao efeito de dose total ionizante, visto que ele é responsável pela geração de cargas positivas nas regiões isolantes do transistor (dióxido de silício). Como estas cargas positivas ficam aprisionadas no óxido elas podem ser atraídas pelas cargas negativas armazenadas na porta flutuante, e assim pode ocorrer a recombinação entre os elétrons armazenados e as lacunas geradas pela radiação ionizante. Desta maneira pode ocorrer a perda dos dados armazenados nas células de memória flash. Na figura 12 é ilustrado este efeito de geração de cargas positivas no óxido e recombinação das mesmas com as cargas negativas (elétrons) armazenadas na porta flutuante da célula de memória.

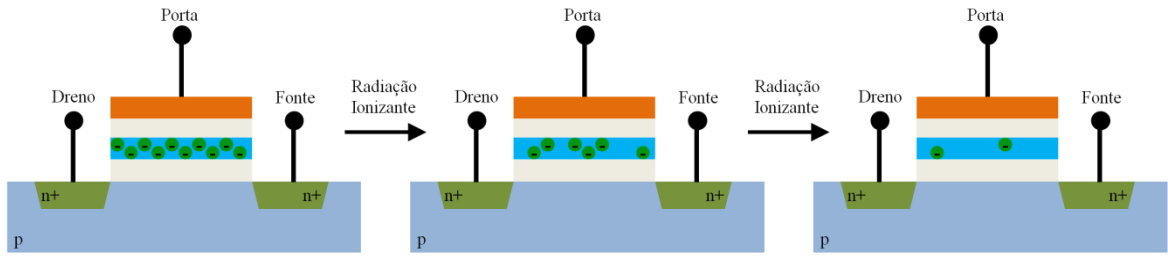


Figura 12: Perda de carga negativa armazenada em células de memória flash causadas por recombinação com lacunas liberadas pela radiação ionizante.

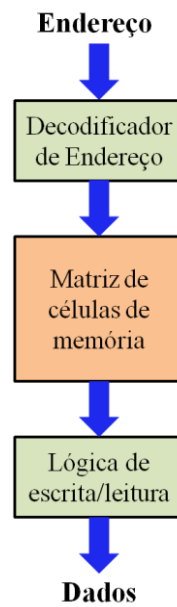


Figura 14: Modelo funcional simplificado de uma memória.

Existem diversos tipos de falhas funcionais que podem ocorrer em uma memória. Os principais deles estão listados na tabela 1. Uma célula pode ser tanto uma célula de memória quanto um registrador, enquanto uma linha é uma conexão física na memória. Estas falhas podem ser sintetizadas em um conjunto reduzido de falhas funcionais, que está de acordo com o modelo da figura 14 e listado na tabela 2. Estes dois conjuntos de falhas funcionais podem ser relacionados, visto que cada item do conjunto reduzido de falhas funcionais engloba um ou mais tipos de falhas, e este mapeamento de falhas está listado na tabela 3.

Tabela 1: Falhas funcionais que podem ocorrer em memórias.

	Falha funcional		Falha funcional
a	Travamento da célula	i	Travamento da linha de endereço
b	Travamento do <i>driver</i>	j	Circuito aberto na linha de endereço
c	Travamento da linha <i>read/write</i>	k	Curto-circuito entre linhas de endereço
d	Travamento da linha <i>chip-select</i>	l	Circuito aberto no decodificador
e	Travamento da linha de dados	m	Acesso a endereço incorreto
f	Circuito aberto na linha de dados	n	Acesso a múltiplos endereços simultaneamente
g	Curto-circuito entre linhas de dados	o	A célula pode ser colocada em 0 mas não em 1 (ou vice-versa)
h	<i>Crosstalk</i> entre linhas de dados	p	Interação sensível a padrões entre células

Tabela 2: Conjunto reduzido de falhas funcionais de memórias.

Notação	Falha
SAF	Falha de travamento
TF	Falha de transição
CF	Falha por acoplamento
NPSF	Falha por acoplamento sensível aos padrões da vizinhança

Tabela 3: Mapeamento de falhas funcionais no conjunto reduzido de falhas funcionais de memórias.

Falha funcional do conjunto reduzido	Falha funcional
SAF	a Travamento da célula
SAF	b Travamento do <i>driver</i>
SAF	c Travamento da linha <i>read/write</i>
SAF	d Travamento da linha <i>chip-select</i>
SAF	e Travamento da linha de dados
SAF	f Circuito aberto na linha de dados
CF	g Curto-circuito entre linhas de dados
CF	h <i>Crosstalk</i> entre linhas de dados
AF	i Travamento da linha de endereço
AF	j Circuito aberto na linha de endereço
AF	k Curto-circuito entre linhas de endereço
AF	l Circuito aberto no decodificador
AF	m Acesso a endereço incorreto
AF	n Acesso a múltiplos endereços simultaneamente
TF	o A célula pode ser colocada em 0 mas não em 1 (ou vice-versa)
NPSF	p Interação sensível a padrões entre células

3.1 NOTAÇÃO DAS FALHAS

Para descrever as falhas que podem ocorrer em uma memória, utilizaremos a seguinte notação:

- **r0** – Operação de leitura em um endereço de memória, esperando o valor 0;
- **r1** – Operação de leitura em um endereço de memória, esperando o valor 1;
- **w0** – Operação de escrita do valor 0 em um endereço de memória;
- **w1** – Operação de escrita do valor 1 em um endereço de memória;
- **↑** - Transição de 0 para 1 no valor armazenado em uma célula;

- \downarrow - Transição de 1 para 0 no valor armazenado em uma célula;
- \updownarrow - O valor armazenado em uma célula passa a ser seu complemento;
- \uparrow - O endereçamento da memória deve ser incrementado a cada operação;
- \downarrow - O endereçamento da memória deve ser decrementado a cada operação;
- \updownarrow - O endereçamento da memória pode ser incrementado ou decrementado a cada operação. \rightarrow - Escrita de um valor 0 em uma célula que já o contém;
- \forall - Indica qualquer operação de escrita na memória: $\forall \in \{\uparrow, \downarrow, \updownarrow, \rightarrow, \rightarrow, \Rightarrow\}$;
- $\langle \dots \rangle$ - Representa uma falha qualquer, que deve ser descrita no lugar do símbolo (...);
- $\langle I/F \rangle$ - Representa uma falha, conforme notação acima, sendo que I é a condição para que a falha se manifeste, e F é o valor da célula durante a ocorrência da falha. $I \in \{\uparrow, \downarrow, \updownarrow, \rightarrow, \rightarrow, \Rightarrow\}$ e $F \in \{0, 1, \uparrow, \downarrow, \updownarrow\}$;
- $\langle I_1, \dots, I_{n-1}; I_n/F \rangle$ - Representa uma falha, conforme notação acima, envolvendo n células de memória. I_1, \dots, I_{n-1} são as condições para que a falha na célula n se manifeste, enquanto que I_n é a condição que deve ocorrer na própria célula para potencializar a ocorrência da falha. Caso a própria célula não tenha influência nas falhas, então o campo I_n/F passa a ser escrito apenas como F.
- n - Número de endereços de memória de um determinado componente. No caso de memórias orientadas a bit é o próprio número de células de memória.

3.2 FALHAS DE VALOR FIXO

As falhas de valor fixo (*Stuck-At Faults* – SAF) são aquelas nas quais o valor de uma célula ou de uma linha é sempre lido como 0 (falha chamada de *stuck-at 0* - SA0) ou 1 (chamada de *stuck-at 1* - SA1), independente de qualquer escrita que seja realizada no

referido endereço. Enfim, a célula (ou linha) está permanentemente no estado de falha, que não pode ser modificado.

As falhas SA0 são descritas pela notação $\langle \forall/0 \rangle$, e as falhas SA1 são descritas pela notação $\langle \forall/1 \rangle$, que afirmam que para qualquer ação tomada sobre aquele referido endereço sua resposta sempre será 0 (para SA0) ou 1 (para SA1). Na figura 15 temos o diagrama de estados de uma célula com comportamento adequado, para comparação com os as células que apresentam falhas. Na figura 16 pode ser observado o diagrama de estados de uma célula com falha do tipo SA0, e na figura 17 temos o diagrama de uma célula com falha SA1.

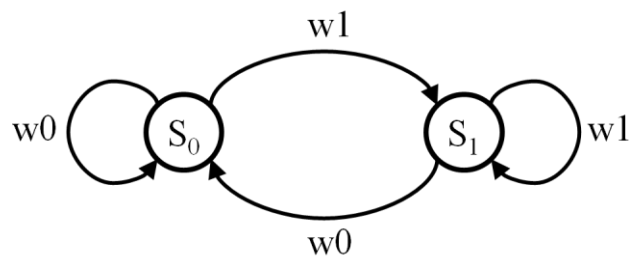


Figura 15: Diagrama de estados de uma célula sem falhas.

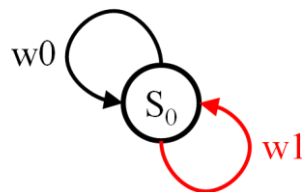


Figura 16: Diagrama de estados de uma célula que apresenta falha *stuck-at 0*.

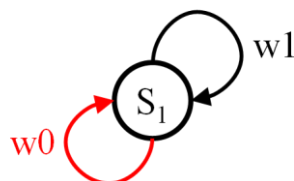


Figura 17: Diagrama de estados de uma célula que apresenta falha *stuck-at 1*.

Para que um teste seja capaz de detectar e localizar qualquer tipo de *stuck-at faults* a condição é que, para cada célula de memória, um valor lógico 0 e um valor lógico 1 devem ser lidos.

Este tipo de falha pode ocorrer devido a problemas de fabricação, mas também pode ser causado pelos efeitos da radiação ionizante, visto que os circuitos de decodificação e multiplexação dos barramentos de dados podem ter seus transistores afetados pelos efeitos da radiação. Além disso, os transistores das células de memória SRAM podem ter seu comportamento afetado pelos efeitos da TID, de forma a apresentarem este tipo de falha. Também podemos citar o fato de que o transistor de porta flutuante das memórias flash pode ter sua tensão de limiar alterada devido aos efeitos da TID, ou até ficar travado em casos extremos, portanto este tipo de falha pode ser provocado por radiação tanto em memórias flash quanto em SRAMs.

3.3 FALHAS DE TRANSIÇÃO

A falha de transição (*transition fault* - TF) é um caso especial das falhas SAF. Ela ocorre quando uma célula de memória não consegue efetuar uma transição de subida ou de descida ao ser escrita. A notação para uma falha na transição de subida, cujo diagrama de estados é mostrado na figura 18, é $\langle \uparrow/0 \rangle$, e a para uma falha na transição de descida a notação é $\langle \downarrow/0 \rangle$.

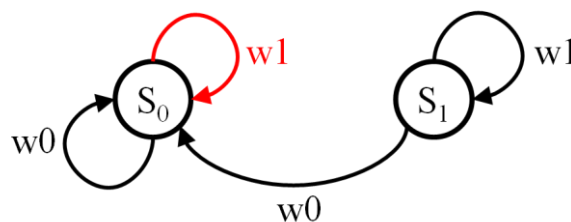


Figura 18: Diagrama de estados de uma falha na transição de subida $\langle \uparrow/0 \rangle$.

Para que um teste seja capaz de detectar e localizar todos os tipos de falha de transição ele deve realizar, em cada célula, uma transição de subida (\uparrow) e uma transição de descida (\downarrow), e ler a célula imediatamente após efetuar a transição, antes de efetuar qualquer outra escrita, para evitar que outros tipos de falha possam mascarar a ocorrência da falha de transição.

Este tipo de falha pode ocorrer devido a problemas de fabricação, mas também pode ser causado pelos efeitos da radiação ionizante, visto que os circuitos de decodificação e multiplexação dos barramentos de dados podem ter seus transistores afetados pelos efeitos da radiação. Além disso, os transistores das células de memória SRAM podem ter seu comportamento afetado pelos efeitos da TID, de forma a apresentarem este tipo de falha.

3.4 FALHAS POR ACOPLAMENTO

As falhas por acoplamento (*Coupling Faults* – CF) ocorrem quando a transição em um bit de memória, ocorrida durante um processo de escrita neste bit, causa uma transição indesejada em outro(s) bit(s) da memória. Existem diversos tipos de falhas por acoplamento, alguns envolvendo apenas duas células (uma agressora e uma vítima) e outros envolvendo diversas células.

Analisando o conceito de falhas por acoplamento pode-se concluir que é possível que elas sejam causadas pelos efeitos da radiação ionizante. Sua principal causa é a existência de curtos-circuitos ou capacitâncias parasitas entre células e/ou linhas de dados ou endereçamento próximas. Como a radiação ionizante tem efeitos na presença de cargas elétricas armazenadas nos óxidos que são utilizados como isolantes entre transistores ou ligações elétricas adjacentes nos dispositivos semicondutores, pode ser considerado que a alteração da presença de cargas elétricas nestes isolantes pode potencializar uma falha do tipo. A seguir serão analisados e descritos os diversos tipos de falhas por acoplamento.

3.4.1. Falhas de Inversão por Acoplamento

As falhas de inversão por acoplamento (*inversion coupling faults – CFin*) são provocadas por uma transição de subida ou de descida na célula agressora j , que causa a inversão do conteúdo da célula vítima i . Existem dois tipos de falhas CFin, o causado por uma transição de subida, que possui a notação $\langle \uparrow; \downarrow \rangle$, e o causado por uma transição de descida, descrito pela notação $\langle \downarrow; \uparrow \rangle$. O símbolo (\Downarrow) indica que o conteúdo da célula vítima i é invertido, independente do seu valor anterior à falha. A figura 19 mostra o diagrama de estados de um par de células que não apresentam nenhum tipo de falha, para comparação com os diagramas das células com falhas. A figura 20 tem por objetivo ilustrar a ocorrência de uma falha CFin causada por transição de subida na célula agressora, ou seja, uma falha $\langle \uparrow; \downarrow \rangle$.

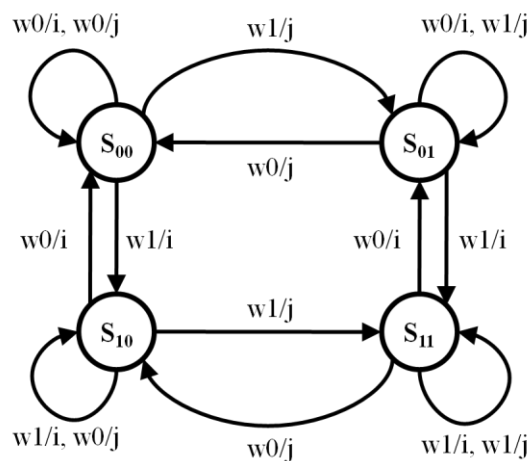


Figura 19: Diagrama de estados de duas células que não apresentam falhas.

Para que um teste detecte todas as ocorrências de falhas CFin, ele deve efetuar a leitura de todas as células que estão potencialmente acopladas entre si após a ocorrência de uma possível CFin devido à escrita nas células agressoras, e o número de transições nas células acopladas deve ser ímpar, de forma a prevenir que as falhas mascarem umas às outras.

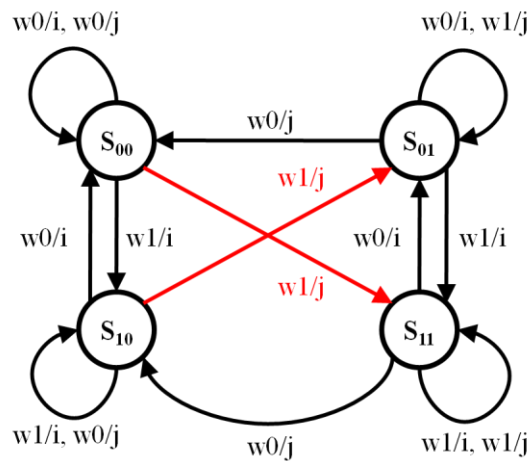


Figura 20: Diagrama de estados de uma falha CFin do tipo $\langle \uparrow; \downarrow \rangle$.

3.4.2. Falhas de Valor Armazenado por Acoplamento

Falhas de valor armazenado por acoplamento (*idempotent coupling faults – CFid*) ocorrem quando uma transição de subida ou de descida na célula agressora j faz com que o valor armazenado célula vítima i passe para 0 ($\langle \uparrow; 0 \rangle$ ou $\langle \downarrow; 0 \rangle$) ou 1 ($\langle \uparrow; 1 \rangle$, ilustrada na figura 21, ou $\langle \downarrow; 1 \rangle$).

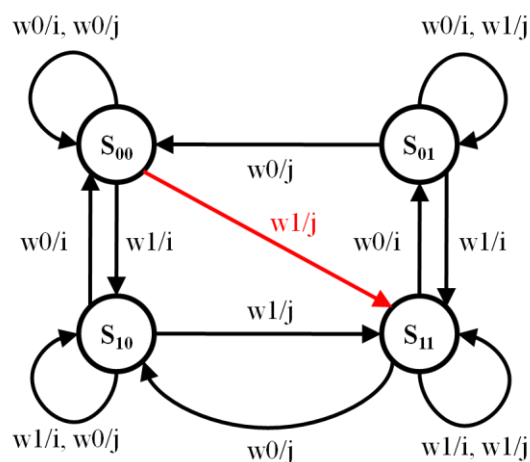


Figura 21: Diagrama de estados de uma falha CFid do tipo $\langle \uparrow; 1 \rangle$.

Um teste que seja capaz de detectar todas as ocorrências possíveis de CFid deve ler cada célula acoplada após escritas nas células agressoras que podem causar a ocorrência de

uma série de falhas CFid, evitando que haja múltiplas falhas que podem mascarar umas às outras.

3.4.3. Falhas por Acoplamento Dinâmicas

As falhas por acoplamento dinâmicas (*dynamic coupling faults* – CFdyn) ocorrem entre células que estão em diferentes palavras da memória, e são causadas quando uma operação qualquer, de escrita ou de leitura, efetuada na célula agressora faz com que o conteúdo da célula vítima seja passado para 0 ou para 1. Este tipo de falha é um caso mais geral de falhas CFid, sendo causado tanto por operações de leitura quanto de escrita, enquanto as falhas CFid são causadas apenas por operações de escrita.

3.4.4. Falhas de Ligação

As falhas de ligação (*Bridging Faults* – BF) são curto-circuitos entre duas ou mais células de memória ou linhas de endereçamento ou de dados. Estas falhas são caracterizadas pelo fato de que qualquer ação tomada em uma das células será efetuada em todas as outras, seja esta operação de escrita ou de leitura.

3.4.5. Falhas de Estado por Acoplamento

As falhas de estado por acoplamento (*state coupling faults* – SCF) ocorrem quando uma célula agressora j que está com um determinado nível lógico faz com que a célula vítima i fique com um determinado nível lógico, 0 ou 1. Há quatro tipos de SCFs, descritos por $\langle 0; 0 \rangle$, $\langle 0; 1 \rangle$, $\langle 1; 0 \rangle$ e $\langle 1; 1 \rangle$.

3.5 FALHAS POR ACOPLAMENTO SENSÍVEIS AOS PADRÕES DA VIZINHANÇA

Este tipo de falha, cuja sigla é NSPF (*Neighborhood Pattern Sensitive Coupling Fault*), caracteriza-se pelo fato de que o conteúdo da célula vítima i é influenciado pelo

conteúdo de todas as outras células de memória, que podem possuir o valor 0, o valor 1 ou estar transicionando. Este tipo de falha é de detecção bastante difícil, devido à necessidade de gerar todos os padrões de vizinhança possíveis para todas as células do componente. Devido a este fato, este tipo de falha não será considerado no desenvolvimento da plataforma de testes.

3.6 FALHAS NO DECODIFICADOR DE ENDEREÇO

Estas falhas, conhecidas por AF (*address decoder faults*), ocorrem quando há um erro na decodificação do endereço que se deseja acessar. Para uma abordagem em termos de falhas funcionais é necessário assumir que elas se dêem tanto nas operações de escrita quanto nas de leitura. Existem basicamente quatro casos de falhas deste tipo, ilustradas na figura 22:

- Falha 1: Nenhuma célula de memória é acessada por um determinado endereço;
- Falha 2: Nenhum endereço é capaz de acessar uma determinada célula;
- Falha 3: Um endereço acessa mais de uma célula simultaneamente;
- Falha 4: Uma célula pode ser acessada a partir de diversos endereços.

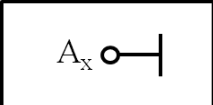
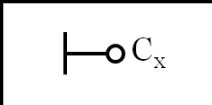
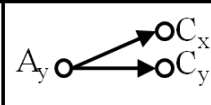
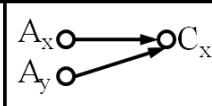
			
Falha 1	Falha 2	Falha 3	Falha 4
Nenhuma célula é acessada por A_x	Nenhum endereço acessa a célula C_x	A_x acessa várias células	Vários endereços acessam C_x

Figura 22: Falhas no decodificador de endereços.

Para cobrir todos os tipos de falhas possíveis, basta que sejam verificadas as seguintes combinações de falhas, que estão ilustradas na figura 23:

- Falha A: Falha 1 + Falha 2;
- Falha B: Falha 1 + Falha 3;

- Falha C: Falha 2 + Falha 4;
- Falha D: Falha 3 + Falha 4.

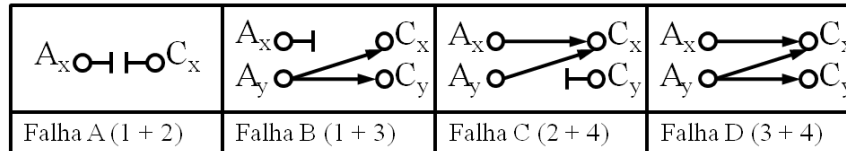


Figura 23: Combinações de falhas no decodificador de endereços.

Para que sejam testadas todas as possibilidades de falhas no decodificador de endereços, é necessária a execução de um teste march que possua os seguintes elementos march:

- $\uparrow (rx, \dots, w\bar{x})$;
- $\downarrow (r\bar{x}, \dots, wx)$.

Os testes march, suas etapas e seus elementos serão explicados no capítulo 4 deste relatório, e a prova de que um teste que possua os elementos descritos acima é capaz de detectar todas as ocorrências de falhas no decodificador de endereços está em (BUSHNELL, 2000).

Como os efeitos da radiação ionizante atuam também nos transistores dos circuitos decodificadores de endereço podemos facilmente concluir que este é um tipo de falha que pode ser causado pelos efeitos da radiação.

3.7 FALHAS DE RETENÇÃO DE DADOS

As falhas de retenção de dados (*data retention faults* – DRF) são caracterizadas pela perda do dado armazenado em uma determinada célula de memória, ou seja, algum tempo após uma escrita que ocorreu com sucesso o dado armazenado muda de valor.

Em memórias flash um dos efeitos da radiação ionizante é a geração de cargas positivas no óxido que existe entre o canal e a porta flutuante, e entre a porta flutuante e o terminal de porta em si. Desta forma, estas cargas acabam alterando a tensão de limiar do transistor, e acabam anulando o efeito causado pelas cargas negativas armazenadas na porta flutuante. Com a ação destes efeitos em um determinado momento a tensão de limiar de transistores com e sem carga acumulada em sua porta flutuante acaba por induzir a uma leitura que indica a perda dos dados gravados. Enfim, este tipo de falha é causado por radiação ionizante.

Em SRAMs as falhas de retenção de dados ocorrem devido a danos nos transistores que compõem as células de memória. Como já foi visto, a radiação ionizante altera o comportamento elétrico dos transistores MOS, modificando sua tensão de limiar, entre outros efeitos. Esta alteração da tensão de limiar dos transistores da célula de memória pode vir a interferir na capacidade de armazenamento de dados da célula, pois pode impedir o correto funcionamento dos dois inversores lógicos que compõem cada célula de memória. Portanto, em SRAMs este tipo de falha também pode ser causado pelos efeitos da radiação ionizante.

4 TESTES DE MEMÓRIAS

Existem diversos tipos de testes para aplicação em memórias, desenvolvidos para diferentes fins. Uma família de testes, que é chamada de testes march, apresenta características que fazem com que ela seja largamente empregada para a realização de testes em memórias.

Os testes march consistem de uma sequência de operações, um algoritmo, que deve ser aplicado em todos os endereços de memória do dispositivo que se deseja testar. Existem testes march com o objetivo de somente detectar falhas, além de testes march cujo objetivo é identificar o tipo de falha ocorrido.

Uma das vantagens da utilização de testes march é o pequeno tempo necessário para sua execução. O número de operações de um teste march é um múltiplo do número de endereços da memória, enquanto outros testes têm um tempo de duração bem mais elevado, chegando ao número de endereços de memória elevado ao quadrado para testes do tipo 1's caminhanças. Desta forma, este trabalho consistirá apenas na análise dos testes march, devido à sua velocidade e simplicidade de execução.

4.1 NOTAÇÃO DOS TESTES MARCH

Antes de iniciar a descrição dos testes march é necessário definir a notação que será utilizada. Os símbolos e notações utilizados são os descritos no capítulo 3.1. Cada teste march é constituído de uma sequência de elementos march, que por sua vez são compostos por uma sequência de uma ou mais operações. Estas operações podem ser de quatro tipos:

- Escrita de um valor 0 na célula, descrita por $w0$;
- Escrita de um valor 1 na célula, descrita por $w1$;
- Leitura de uma célula cujo valor esperado é 0, descrita por $r0$;
- Leitura de uma célula cujo valor esperado é 1, descrita por $r1$.

Após a execução de todas as operações de um elemento march em uma determinada célula, elas devem ser aplicadas à célula seguinte, e assim sucessivamente. O endereço da célula seguinte pode seguir três tipos de ordenação, uma delas denotada pelo símbolo (\Uparrow), outra denotada pela operação (\Downarrow) e uma terceira na qual a ordem dos endereços é irrelevante, representada pelo símbolo (\Updownarrow). Deve ser observado que as ordens representadas pelos símbolos (\Uparrow) e (\Downarrow) não necessariamente representam um incremento ou decremento do valor do endereçamento da célula de memória, mas sim que as duas ordens são exatamente o inverso uma da outra. O teste só pode passar para o elemento march seguinte após efetuar todas as operações do elemento march anterior em todas as células de memória.

Analisando o teste MATS+ podemos identificar os seus elementos march e as operações de cada elemento, de forma a esclarecer a notação dos testes march. A notação completa do teste MATS+ é a seguinte: $\{\Updownarrow (w0); \Uparrow (r0, w1); \Downarrow (r1, w0)\}$. Entre chaves está a notação completa do teste, e seus elementos march estão separados por ponto e vírgula. Desta forma, temos os seguintes elementos march:

- Elemento march M_0 : $\Updownarrow (w0)$. Este elemento é composto por apenas uma operação, $w0$, que indica que devemos escrever o valor 0 em todos os endereços de memória. A sequência de endereçamento que deve ser seguida é irrelevante, conforme o operador (\Updownarrow) indica.
- Elemento march M_1 : $\Uparrow (r0, w1)$. Este elemento possui duas operações que devem ser executadas em sequência para cada célula de memória. A primeira é a operação $r0$, que indica que deve ser feita a leitura na célula, e que o valor esperado é 0. Caso seja lido um valor 1, a célula apresenta falha. A segunda operação é $w1$, ou seja, deve ser escrito o valor 1 na célula de memória. Após a realização destas duas operações, passa-se para o endereço seguinte. Como o

operador utilizado para representar a sequência de endereços que deve ser seguida é o (\uparrow), o endereço deve ser incrementado.

- Elemento march M_2 : $\Downarrow (r1, w0)$. Este elemento também é constituído por duas operações. A sua diferença para o M_1 é que as operações são de leitura com valor esperado 1 e de escrita de valor 0 na célula de memória. Além disso, a ordem de endereçamento é inversa, ou seja, o endereço deve ser decrementado após a realização de todas as operações em cada célula de memória.

Cabe a observação de que neste capítulo e no restante deste trabalho os testes march que serão abordados são voltados a memórias com palavras de 1 bit. Assim, segundo (VAN DE GOOR, 1998) os testes serão capazes apenas de verificar falhas que envolvam mais de uma célula entre duas *words* diferentes, ficando as falhas entre células de uma mesma palavra fora da cobertura dos testes. Para que o teste abordasse falhas entre palavras e entre células de uma mesma palavra uma abordagem, descrita em (VAN DE GOOR, 1998) é a de realizar um teste orientado a bit na memória para verificar as falhas entre as diferentes *words* e na sequência um teste dentro de cada palavra, que pode ser, por exemplo, um teste de 1's caminhantes (no qual se faz um valor 1 passar por cada bit da palavra, sendo que os outros bits têm valor 0 gravado), para verificação de falhas entre células de uma mesma palavra. Esta alternativa de testar apenas falhas entre *words* foi escolhida devido ao tempo disponível para o desenvolvimento do trabalho, visto que abordar falhas dentro da *word* demandaria testes mais complexos e extensos. Esta escolha será retratada com maiores detalhes no capítulo 5.

4.2 TESTES MARCH PARA DETECÇÃO DE FALHAS

Existem diversos testes march já desenvolvidos, cada um deles com um propósito específico. Na tabela 4 estão descritos os algoritmos e o número de operações total para diversos tipos de testes march.

Estes testes são capazes de detectar diversos tipos de falhas em cada operação, porém para que um teste seja capaz de detectar todas as ocorrências de um determinado tipo de falha ele deve cumprir alguns requisitos, comentados no capítulo 3. A cobertura de falhas dos testes march citados na tabela 4 pode ser vista na tabela 5.

Tabela 4: Algoritmos de alguns testes march.

Algoritmo	Descrição	Número de operações
MATS	$\{\Downarrow (w0); \Downarrow (r0, w1); \Downarrow (r1)\}$	$4 \cdot n$
MATS+	$\{\Downarrow (w0); \Uparrow (r0, w1); \Downarrow (r1, w0)\}$	$5 \cdot n$
MATS++	$\{\Downarrow (w0); \Uparrow (r0, w1); \Downarrow (r1, w0, r0)\}$	$6 \cdot n$
MARCH X	$\{\Downarrow (w0); \Uparrow (r0, w1); \Downarrow (r1, w0); \Downarrow (r0)\}$	$6 \cdot n$
MARCH C—	$\{\Downarrow (w0); \Uparrow (r0, w1); \Uparrow (r1, w0); \Downarrow (r0, w1); \Downarrow (r1, w0); \Downarrow (r0)\}$	$10 \cdot n$
MARCH A	$\{\Downarrow (w0); \Uparrow (r0, w1, w0, w1); \Uparrow (r1, w0, w1); \Downarrow (r1, w0, w1, w0); \Downarrow (r0, w1, w0)\}$	$15 \cdot n$
MARCH Y	$\{\Downarrow (w0); \Uparrow (r0, w1, r1); \Downarrow (r1, w0, r0); \Downarrow (r0)\}$	$8 \cdot n$
MARCH B	$\{\Downarrow (w0); \Uparrow (r0, w1, r1, w0, r0, w1); \Uparrow (r1, w0, w1); \Downarrow (r1, w0, w1, w0); \Downarrow (r0, w1, w0)\}$	$17 \cdot n$

Tabela 5: Cobertura de falhas de alguns testes march.

Algoritmo	Cobertura de falhas							Número de operações
	SAF	AF	TF	CFin	CFid	CFdyn	SCF	
MATS	Todas	Algumas						$4 \cdot n$
MATS+	Todas	Todas						$5 \cdot n$
MATS++	Todas	Todas	Todas					$6 \cdot n$
MARCH X	Todas	Todas	Todas	Todas				$6 \cdot n$
MARCH C--	Todas	Todas	Todas	Todas	Todas	Todas	Todas	$10 \cdot n$
MARCH A	Todas	Todas	Todas	Todas				$15 \cdot n$
MARCH Y	Todas	Todas	Todas	Todas				$8 \cdot n$
MARCH B	Todas	Todas	Todas	Todas				$17 \cdot n$

Observa-se que os testes march citados proporcionam uma grande cobertura de falhas com um número total de operações bastante baixo, o que faz com que o tempo total de execução dos testes seja reduzido também. Nas tabelas 6 e 7 podem ser vistos os tempo necessários para executar as operações em memórias de diversos tamanhos e diversos tempos

mínimos de acesso. Estes baixos tempos necessários para a execução dos testes os torna viáveis para as aplicações deste trabalho. Nas tabelas 6 e 7 a memória número 1 é uma SRAM da fabricante ISSI, modelo IS66WV25616BLL-55TLI, com seu barramento de dados orientado a uma palavra de 16 bits, a memória 2 é a mesma SRAM com seu barramento de dados orientado a uma palavra de 8 bits, e a memória número 3 é uma memória flash, fabricada pela Spansion, modelo AM29LV040B-90JD. Estas memórias foram as selecionadas para o desenvolvimento da plataforma de testes deste projeto.

Tabela 6: Duração total de alguns testes march executados em memórias de tamanhos e tempos de acesso diferentes.

Memória	Número de Endereços	Tempo Mínimo de Acesso	MATS	MATS+	MATS++	MARCH X
			4n	5n	6n	6n
1	256k	55ns	0,058s	0,072s	0,087s	0,087s
2	512k	55ns	0,115s	0,144s	0,173s	0,173s
3	512k	90ns	0,189s	0,236s	0,283s	0,283s

Tabela 7: Duração total de alguns testes march executados em memórias de tamanhos e tempos de acesso diferentes.

Memória	Número de Endereços	Tempo Mínimo de Acesso	MARCH C-	MARCH B	1's Caminhantes
			10n	17n	n ²
1	256k	55ns	0,144s	0,245s	1,05h
2	512k	55ns	0,288s	0,490s	4,20h
3	512k	90ns	0,472s	0,802s	6,87h

O processo de teste é bastante simples, especialmente para testes mais curtos. O teste MATS+ possui apenas três operações de leitura, ou seja, exige poucos recursos para a

avaliação de falhas em uma memória. Na figura 24 observa-se a detecção de uma falha do tipo SA0 com a utilização de um teste march MATS+.

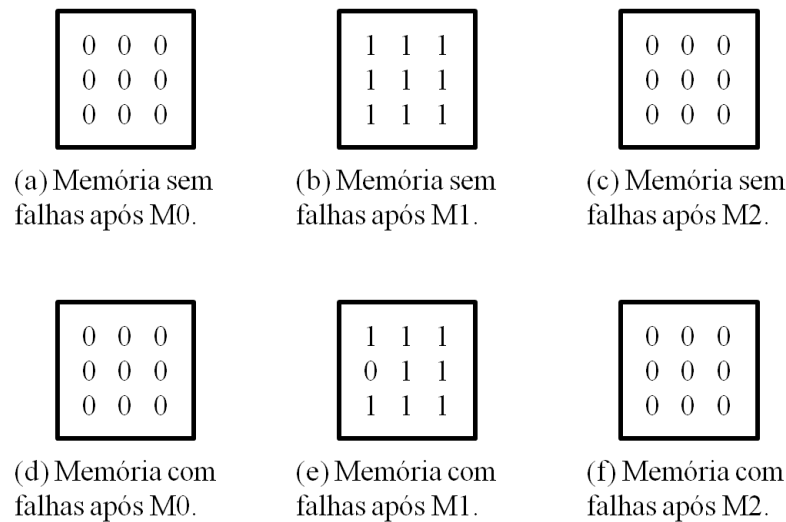


Figura 24: Detecção de uma falha SA0 na célula (2,1) através de teste MATS+.

4.3 TESTES MARCH PARA IDENTIFICAÇÃO DE FALHAS

Além dos testes focados apenas em detectar as falhas, que não possuem a capacidade de identificar qual foi o tipo de falha ocorrido em determinada célula de memória, há testes que, através da execução de certas etapas de teste, são capazes de identificar alguns tipos de falha que podem vir a ter ocorrido na memória. Estes testes, além de identificar o tipo de falha ocorrido podem identificar também a célula agressora e a célula vítima do processo de falha, o que permite que seja feita uma análise mais profunda das falhas ocorridas na memória, e seus potenciais motivos.

Testes que são capazes de fazer a identificação de falhas necessitam mais operações que um teste desenvolvido apenas para detectar falhas. Para realizar a identificação da falha ocorrida é utilizada a assinatura ou síndrome do teste, que é formada pela existência ou não de falhas em cada operação de leitura efetuada durante o teste. Um valor 1 na assinatura do teste

significa que uma operação de leitura naquela célula detectou falha, ou seja, foi lido um valor diferente do esperado. Um valor 0 na assinatura representa que não foi detectado nenhum tipo de falha naquela operação de leitura. Se a célula de memória que está sendo testada não possuir falha alguma ou possuir falhas que não podem ser detectadas pelo teste a assinatura para esta célula irá ser formada apenas por zeros.

Um teste march capaz de identificar a falha ocorrida deve garantir que cada falha que deve ser identificada possua uma assinatura diferente. Mesmo que o teste seja bastante completo e extenso ele pode não ser capaz de identificar todas as falhas possíveis, visto que algumas falhas apresentam o mesmo comportamento durante um teste march.

O teste march DSS, descrito em (AL-HARBI, 2007), é um teste march para identificação de falhas. Este é um teste bastante extenso comparado àqueles descritos anteriormente, sendo constituído por 46 operações, ou seja, requer a execução de $46 \cdot n$ operações para sua conclusão, sendo n o número de endereços da memória a ser testada. A notação do teste march DSS é dada por

$$\begin{aligned}
 & \{ \uparrow (w0); \uparrow (r0, r0, w0, r0, w1); \uparrow (r1, w1, r1, w0); \\
 & \quad \downarrow (r0, w0, r0, w1); \downarrow (r1, w1, r1, w0, w0, r0); \\
 & \quad \downarrow (r0, w0, r0); \downarrow (r0, w1, r1); \downarrow (r1, w1); \\
 & \quad \uparrow (r1, w0, r0); \uparrow (r0, w1, r1); \uparrow (r1, w0); \\
 & \quad \downarrow (r0, w0); \uparrow (r0, w1); \downarrow (r1, w1, r1); \\
 & \quad \downarrow (r1, w0); \downarrow (r0) \} \tag{1}
 \end{aligned}$$

Algumas falhas não são identificáveis entre si. São os casos do grupo formado pelas falhas SA0 e falhas de transição de subida e do grupo oposto, formado por falhas SA1 e falhas de transição de descida. Uma ampla gama de falhas pode ser identificada, incluindo

diversos tipos de *coupling faults*. Isto permite que se saiba exatamente o tipo de problema que se está detectando, e assim pode-se analisar as causas destas falhas, levando a um maior entendimento dos efeitos das condições ambientais no funcionamento das memórias.

Observa-se portanto que o teste march DSS é um teste muito interessante para a utilização na plataforma de testes, visto que através dele é possível ter uma ideia bastante aprofundada dos fatos que estão ocorrendo na memória, enquanto outros testes apenas permitem que sejam detectadas as falhas, e desta forma pode ser feita uma avaliação dos pontos fortes e fracos dos componentes testados.

5 ANÁLISE DE ALTERNATIVAS

A partir dos estudos retratados nos capítulos 2, 3 e 4, pode-se iniciar a especificação dos requisitos da plataforma de testes de memória a ser desenvolvida como objetivo deste projeto.

5.1 SELEÇÃO DAS MEMÓRIAS

Na introdução deste trabalho já foram citadas duas memórias de interesse para este projeto, selecionadas através de informações obtidas em contatos com Odair Lelis Gonzalez, pesquisador do Departamento de Ciência e Tecnologia Aeroespacial – DCTA, Instituto de Estudos Avançados – IEAv, localizado em São José dos Campos/SP, que informou alguns modelos que são comumente empregados em aplicações aeroespaciais. Cabe ressaltar que as informações a respeito dos componentes utilizados em satélites e em outras aplicações aeroespaciais geralmente não são públicas, sendo desta forma importante obtê-las diretamente com pesquisadores do setor.

As memórias indicadas foram duas ao todo, sendo uma memória Flash (Spansion AM29LV040B-90JD) e uma SRAM (ISSI IS66WV25616BLL-55TLI). A decisão foi a de prever a utilização das duas memórias na plataforma de testes, de forma que a placa de circuito impresso a ser projetada deve acomodar estes dois componentes. Como são apenas dois componentes com interfaces bastante semelhantes entre si não haverá problema em compartilhar a plataforma entre as duas memórias.

5.2 DEFINIÇÃO DA TECNOLOGIA DA PLATAFORMA DE TESTES

Para que sejam realizados os testes é necessária a construção de uma plataforma de hardware capaz de acomodar em uma placa de circuito impresso as duas memórias que se deseja testar. Esta placa de circuito impresso deve se comunicar com um dispositivo capaz de

se comunicar com as duas memórias, realizando os acessos de leitura e escrita necessários à execução de qualquer tipo de teste que venha a ser executado.

A definição inicial do projeto neste sentido é de que este dispositivo responsável pela execução dos testes deve ser uma plataforma de desenvolvimento baseada em microcontrolador ou FPGA, cuja placa deve estar disponível na Universidade ou seja de fácil aquisição, ou seja, tenha baixo custo e disponibilidade em distribuidores autorizados pelos fabricantes.

Outro critério bastante importante na seleção da plataforma de desenvolvimento é o número de pinos de entrada / saída disponíveis para uso geral, que devido ao tamanho dos barramentos das memórias utilizadas não deve ser inferior a 33 pinos, conforme tabela 8.

Tabela 8: Conjunto mínimo de sinais necessários para atendimento às memórias.

Sinal	Número de sinais	Função
MEM_ADDR_o	19	Endereçamento (SRAM e flash)
MEM_DATA_io	8	Dados (SRAM e flash)
MEM_CS_n_o	2	Chip Select (um para cada memória)
MEM_OE_n_o	1	Output Enable (SRAM e flash)
MEM_WE_n_o	1	Write Enable (SRAM e flash)
MEM_LB_n_o	1	Ativa o byte menos significativo (SRAM)
MEM_UB_n_o	1	Ativa o byte mais significativo (SRAM)
TOTAL	33	-

Também é necessária a presença de uma porta de comunicação serial RS-232, para permitir comunicação com um microcomputador que fará o controle da realização dos testes, e que será a plataforma na qual serão visualizados os resultados das operações.

Outro requisito fundamental é que os sinais de entrada / saída configuráveis sejam compatíveis com os níveis de tensão das portas das memórias, conforme tabelas 9 e 10, e que esteja disponível no conector que faz a ligação com a placa de expansão que acomoda as memórias uma tensão de 3.3V para alimentar estes componentes.

Tabela 9: Níveis de tensão requeridos pela SRAM ($V_{CC} = 3.3V$).

Símbolo	Parâmetro	Valor mínimo (V)	Valor máximo (V)
V_{OH}	Tensão de saída em nível alto	2.2	-
V_{OL}	Tensão de saída em nível baixo	-	0.4
V_{IH}	Tensão de entrada em nível alto	2.2	3.6
V_{IL}	Tensão de entrada em nível baixo	-0.2	0.6

Tabela 10: Níveis de tensão requeridos pela memória flash ($V_{CC} = 3.3V$).

Símbolo	Parâmetro	Valor mínimo (V)	Valor máximo (V)
V_{OH}	Tensão de saída em nível alto	2.805	-
V_{OL}	Tensão de saída em nível baixo	-	0.45
V_{IH}	Tensão de entrada em nível alto	2.31	3.6
V_{IL}	Tensão de entrada em nível baixo	-0.5	0.8

Também é necessária a existência de um relógio (*clock*) com período inferior ao menor tempo de acesso dentre as memórias consideradas neste projeto. Como o menor tempo de acesso é 55ns, referente à SRAM, é interessante que o período do relógio do FPGA seja inferior a 50ns, de forma a proporcionar a possibilidade de realização dos acessos às memórias no menor tempo possível, considerando os requisitos das mesmas. Caso o período de relógio seja excessivamente grande os tempos de teste viriam a ser muito longos, inviabilizando a realização de testes mais complexos.

Além de todos os requisitos acima, um fator desejável é que já se tivesse um razoável conhecimento da tecnologia da plataforma de desenvolvimento, preferencialmente em relação aos métodos de desenvolvimento utilizados para a implementação de sistemas sobre ela. Assim seria possível realizar o trabalho dentro do prazo estipulado pela disciplina de Projeto de Diplomação, visto que o período de estudo da tecnologia da plataforma seria minimizado.

Considerando todos os apontamentos acima foi decidido pela utilização de uma plataforma de FPGA, devido ao fato de que haveria menor necessidade de estudos, visto que já há um conhecimento anterior do desenvolvimento de lógica para FPGAs em linguagem VHDL, proporcionado pela Universidade e por estágios.

Após a seleção da tecnologia, o passo seguinte é a seleção do kit de desenvolvimento responsável por realizar a comunicação com as memórias. O kit de desenvolvimento foi selecionado com a ajuda do Professor Dr. Gilson Inácio Wirth, orientador deste projeto, que informou os kits mais interessantes para o desenvolvimento do projeto em termos de disponibilidade na Universidade. As sugestões foram duas plataformas do fabricante Xilinx, uma contendo FPGA da família Spartan-3e e uma contendo FPGA da família Virtex-4, dando preferência ao kit do Spartan-3e. Como o kit do Spartan-3e é o que deve preferencialmente ser utilizado caso atenda aos requisitos do projeto, será feita a avaliação do mesmo. A tabela 11 apresenta as características do kit de desenvolvimento do Spartan-3e que devem ser observadas para a aprovação do uso do mesmo, além de indicar se ele cumpre os requisitos deste projeto.

Tabela 11: Características do kit do Spartan-3e em relação aos requisitos do projeto.

Característica	Requisito	Kit Spartan-3e
Pinos de entrada/saída	33 pinos	40 pinos
Porta de comunicação RS-232	Necessária	Possui porta RS-232
Níveis de tensão	Vide tabelas 9 e 10	Para padrão LVCMOS33: $V_{OH} = 2.9V$ (min) $V_{OL} = 0.4V$ (max) $V_{IH} = 2.0V$ (min) $V_{IL} = 0.8V$ (max)
Período do oscilador	<50ns (20MHz)	20ns (50MHz)

Observa-se que o kit possui um relógio com frequência de 50MHz, o que proporciona um período de relógio máximo de 20ns. Considerando que o tempo de acesso mínimo da memória mais rápida em questão, a SRAM, é de 55ns, temos nesta plataforma uma velocidade de relógio adequada à execução dos testes, visto que três ciclos de relógio permitem um acesso à memória com uma pequena folga de temporização (5ns) e permitem

que sejam executadas instruções intermediárias de uma máquina de estados durante o acesso à memória.

Além disso, o kit possui uma quantidade aceitável de pinos de entrada / saída configuráveis, além de possuir porta serial RS-232. Possui também níveis de tensão nos sinais ligados ao conector de expansão compatíveis com as duas memórias consideradas neste projeto, além de prover uma tensão de alimentação compatível com os dois componentes, ou seja, há plena compatibilidade elétrica entre o kit do Spartan-3e e as memórias que se deseja testar.

Desta maneira, conclui-se que o kit de desenvolvimento do Spartan-3e é adequado à utilização neste projeto, visto que ele atende a todos os requisitos da plataforma de teste de memórias. Assim, o desenvolvimento da placa de circuito impresso que acomodará as memórias será feito de forma a ter uma interface adequada com este kit de desenvolvimento, e os testes selecionados serão implementados em VHDL, utilizando as ferramentas de síntese e implementação disponibilizadas pela própria Xilinx, fabricante do FPGA.

5.3 SELEÇÃO DOS TESTES DESENVOLVIDOS DURANTE O PROJETO

No capítulo 4, que trata de testes de memórias, são citados vários tipos de testes march, cada um com uma implementação diferente e, desta forma, atingindo resultados diferentes em termos de cobertura de falhas. No capítulo 3 foi visto que diversos tipos de falha podem ser provocados pela influência da radiação ionizante no comportamento das memórias, como as falhas SA0, SA1, TF, CFid, CFin, CFdyn, AF e DRF.

Para os efeitos deste trabalho, é interessante que se desenvolva um teste para falhas de retenção de dados (DRF) para ambos os tipos de memória, visto que este é um dos principais tipos de falha provocados pela radiação ionizante, sendo assim um teste de fundamental execução para avaliação das memórias. Um teste para verificação de falhas de retenção de

dados consiste na escrita de um padrão de dados em todas as células de memória no início do período de testes, e após o início da exposição da memória à radiação são realizadas sucessivas leituras, a intervalos regulares de tempo, de forma a verificar se os dados armazenados nas células de memória permanecem intocados. Caso o valor armazenado em alguma célula de memória tenha se alterado há uma falha de retenção de dados. Com um teste simples como este é possível detectar e identificar a falha ocorrida.

Além das falhas DRF podem ocorrer diversos outros tipos de falha, como já foi citado, e simples escritas e leituras não farão uma avaliação completa para as falhas que podem ocorrer devido à radiação ionizante. Desta forma torna-se muito interessante realizar um teste para detectar o número de falhas ocorridas devido à radiação ionizante. Para isso pode ser executado um teste march, selecionado de acordo com os tipos de falhas que se deseja detectar. Utilizando um teste march para detecção de falhas é possível verificar o número de células de memória que apresentam falhas provocadas pela radiação ionizante, porém é impossível identificar o tipo de falha ocorrido. Este tipo de teste é interessante para que se faça a avaliação do número de falhas que pode ocorrer em uma memória, devido à radiação ionizante, que não sejam do tipo de retenção de dados, o que pode levar a conclusões sobre o comportamento da memória. Uma aplicação interessante é aplicar um teste march para detecção de falhas em uma área da memória, como 25% ou 50%, e um teste de retenção de dados no restante do componente, de forma que torna-se possível realizar uma avaliação sobre a incidência de falhas DRF com relação a outros tipos de falhas provocadas pela radiação ionizante.

Também é interessante o desenvolvimento de testes march para identificação de falhas, visto que com a informação do número de falhas por tipo pode-se verificar quais são os pontos fortes e fracos de uma memória. Além disso este também é um teste complementar ao teste de falhas de retenção de dados, também sendo interessante dividir a memória em

partes para executar testes para DRF em uma parcela e testes march para identificação de falhas no restante do componente.

Como o tempo para o desenvolvimento do Projeto de Diplomação é de apenas um semestre e o período de estudos dos efeitos da radiação ionizante em memórias, das falhas em memórias e dos tipos de teste aplicados nas mesmas foi bastante extenso, restou apenas um mês para o desenvolvimento dos testes a serem implementados no FPGA e redação de grande parte deste relatório. Com este tempo bastante curto para efetuar todo o desenvolvimento, partindo do estudo do kit de desenvolvimento do FPGA até a implementação e simulação de todos os testes implementados, foi necessário selecionar apenas alguns testes para desenvolvimento.

A primeira análise foi realizada de forma a selecionar a memória mais indicada para ter seus blocos de teste desenvolvidos primeiro. A SRAM apresenta excelentes condições para implementação de todos os tipos de teste citados neste capítulo, visto que possui tempos de acesso bastante pequenos (55ns no mínimo). A memória flash apresenta uma interface semelhante à da SRAM, o que favorece o desenvolvimento de um bloco de testes que atenda às duas memórias. Porém, para realizar escritas na memória flash é necessário o cumprimento de um protocolo de comunicação, com o fornecimento de palavras de comando antes de efetuar as escritas em si, conforme ilustrado na figura 25. Isso torna inviável a realização de testes march na memória flash considerada neste projeto, visto que cada elemento march executa escritas em todos os endereços da memória intercaladas com operações de leitura, ou seja, para cada elemento march seria necessário realizar o protocolo de escrita da memória flash tantas vezes quantos sejam o número de endereços da memória. Desta forma, e devido ao curto tempo disponível para o desenvolvimento dos testes, o foco será o desenvolvimento dos blocos para teste da SRAM, de forma a viabilizar um teste adequado para este tipo de memória, em detrimento do desenvolvimento dos testes para a memória flash, até porque os

resultados seriam muito mais limitados devido ao fato de que seria possível desenvolver apenas testes para falhas de retenção de dados (DRF).

O primeiro bloco de lógica programável a ser desenvolvido é o bloco de acesso à SRAM. Este bloco é de desenvolvimento essencial, visto que não há como efetuar os testes sem que haja como acessar a memória. Para o desenvolvimento deste bloco é essencial o rigoroso cumprimento de todos os requisitos de temporização da memória, ou seja, devem ser atendidas todas as exigências presentes no *datasheet* do componente. Este bloco deve ser simulado adequadamente, de forma a garantir o cumprimento dos requisitos de temporização.

Após o desenvolvimento do bloco de acesso à memória deve ser desenvolvido o bloco que executa os testes. Para o cumprimento dos prazos do Projeto de Diplomação selecionei dois tipos de testes, o teste de falhas de retenção de dados (DRF) e um teste march para detecção de falhas, o MARCH C--, ambos orientados a detectar apenas falhas entre duas *words* distintas, como já foi citado no capítulo 4, visto que o desenvolvimento de um teste para detectar também falhas por acoplamento dentro de uma mesma *word* demandaria um tempo de desenvolvimento muito maior, tempo este que não está disponível para a conclusão deste projeto. Com o desenvolvimento destes dois testes será possível realizar análises na SRAM dividindo a mesma em duas áreas, uma para execução do teste de falhas de retenção de dados e outra para execução do teste MARCH C--. Este teste march é capaz de detectar todas as ocorrências de falhas SAF, TF, AF, CFid, CFin, CFdyn e SCF, ou seja, é um teste bastante completo, e permitirá a realização de diversas avaliações de comportamento da SRAM na presença de radiação ionizante.

Desta forma, o trabalho de desenvolvimento dos testes consiste no desenvolvimento do bloco de acesso à SRAM e no bloco de testes, incluindo teste para DRF e teste MARCH C--, além do desenvolvimento de blocos de teste para a simulação dos blocos desenvolvidos. Estes blocos serão todos desenvolvidos em VHDL e serão sintetizados, implementados e

simulados utilizando as ferramentas disponibilizadas pela Xilinx, fabricante do FPGA utilizado.

6 HARDWARE DESENVOLVIDO

O hardware para a plataforma de testes de memórias foi desenvolvido tendo como base o kit de desenvolvimento do FPGA Spartan-3e da Xilinx. Para possibilitar a realização dos testes desejados nas memórias em estudo foi necessário o desenvolvimento de uma placa de expansão, que deve ser conectada ao kit para a realização dos testes. Os testes, por sua vez, foram implementados no FPGA, e são tratados no capítulo seguinte.

6.1 KIT DE DESENVOLVIMENTO SPARTAN-3E

No processo de desenvolvimento da plataforma de hardware foi utilizado o kit de desenvolvimento do FPGA Spartan-3e da Xilinx, ilustrado na figura 25, o qual possui as seguintes características principais:

- FPGA Xilinx Spartan-3e XC3S500E;
- PROM para configuração de 4Mbits;
- CPLD Xilinx CoolRunner XC2C64A, com 64 macrocélulas;
- DDR SDRAM de 64MBytes (512Mbits), com interface de dados x16 e frequência de operação até valores superiores a 100MHz;
- Memória Flash NOR, paralela, de 16MBytes (128Mbits);
- Memória Flash, serial, acessada por SPI, de 16Mbits;
- *Display* de cristal líquido de 2 linhas e 16 caracteres;
- Porta para mouse ou teclado PS/2;
- Porta VGA para monitor de vídeo;
- 10/100 Ethernet PHY (exige MAC Ethernet no FPGA);
- Duas portas RS-232 de 9 pinos;
- Interface USB para *download* e *debug* do FPGA e do CPLD;
- Oscilador de 50MHz;

- EEPROM para proteção de cópias do binário gravado no FPGA;
- Conector de expansão do tipo Hirose FX2;
- Três conectores de expansão Digilent de 6 pinos;
- Conversor digital-analógico de quatro saídas, controlado por SPI;
- Conversor analógico-digital de duas entradas, controlado por SPI, com pré-amplificador de ganho programável;
- Porta para testes utilizando o *software* ChipScope;
- Oito LEDs;
- Quatro chaves deslizantes;
- Quatro botões do tipo *push-button*;
- Entrada de clock SMA;
- Soquete de 8 pinos para oscilador auxiliar.

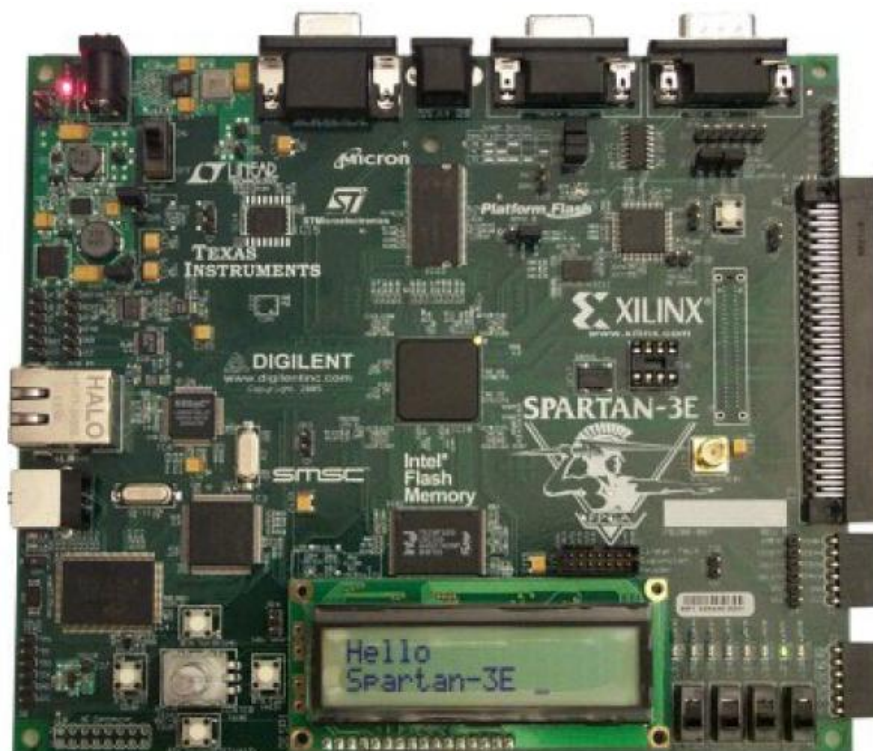


Figura 25: Kit de Desenvolvimento Xilinx Spartan-3e.

As características do kit que interessam para o projeto são o FPGA utilizado, o oscilador presente no kit e o conector de expansão para comunicação com as memórias sob teste.

6.1.1. FPGA Xilinx Spartan-3e XC3S500E

O FPGA Xilinx Spartan-3e presente no kit de desenvolvimento utilizado é o XC3S500E no encapsulamento FBGA com 320 pinos, ilustrado na figura 26. Este encapsulamento disponibiliza como pinos de entrada/saída para o usuário um total de 232 pinos. As características deste componente que são relevantes para este projeto são as seguintes:

- Encapsulamento FBGA320;
- 232 pinos de entrada/saída disponíveis para o usuário;
- 92 pares diferenciais de entrada/saída disponíveis para o usuário;
- 4 bancos de pinos, conforme figura 27;
- Opera com tensões de 3.3V, 2.5V, 1.8V, 1.5V e 1.2V em seus bancos de entrada/saída;
- 1.164 CLBs, totalizando 4.656 slices, que equivalem a 9.312 LUTs de 4 entradas;
- 73Kbits de RAM distribuída;
- 360Kbits de RAM em bloco;
- 4 DCMs (*Digital Clock Manager*).

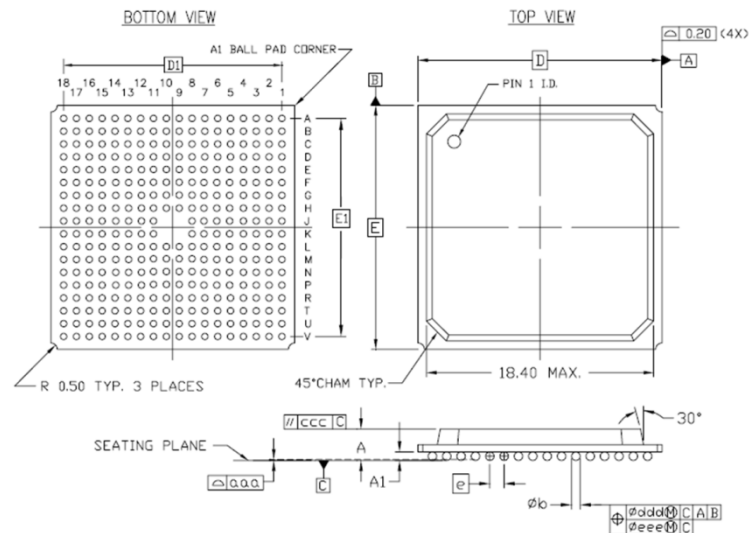


Figura 26: FPGA Xilinx Spartan-3e XC3S500E FG320.

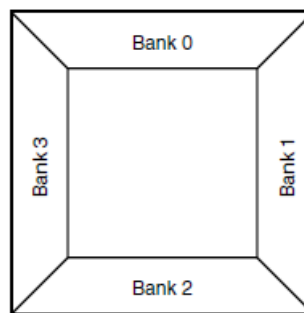


Figura 27: Bancos de pinos de entrada/saída do XC3S500E FG320.

A distribuição dos pinos no encapsulamento se dá em bancos, como já foi citado. Estes bancos podem ser alimentados por tensões de alimentação diferentes, de acordo com as interfaces que se deseja conectar em cada um deles. No kit de desenvolvimento utilizado o banco que está ligado ao conector de expansão Hirose FX2 é o banco 0, que pode ser alimentado a 2.5V ou 3.3V, cujo valor pode ser selecionado através da chave JP9, ilustrada na figura 28, próxima ao conector de expansão Hirose FX2. Neste projeto o banco 0 é alimentado a 3.3V, para permitir conexão às memórias que se deseja testar. Os bancos 1 e 2 são fixos em 3.3V, enquanto que o banco 3 é fixo em 2.5V para permitir sua conexão à memória DDR.

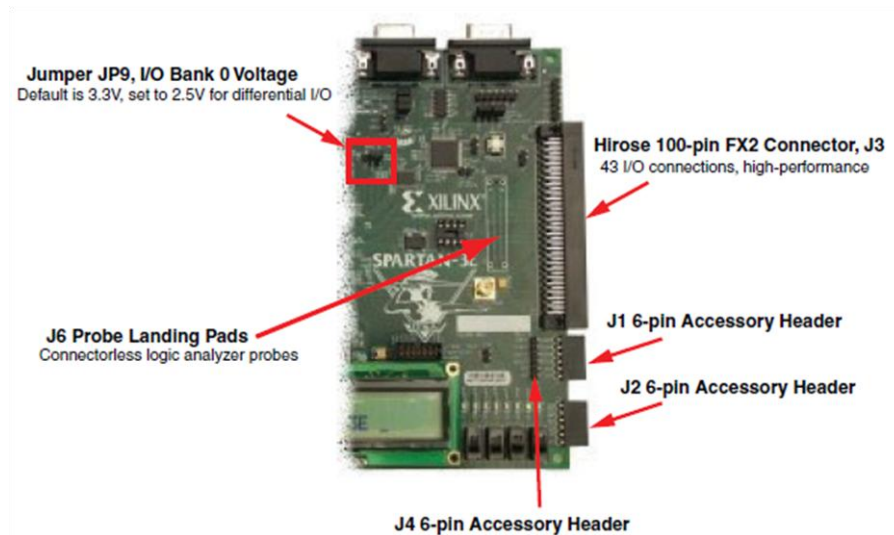


Figura 28: Chave de seleção (JP9) da tensão do banco 0 (e da placa de expansão).

6.1.2. Oscilador de 50MHz

A placa do kit de desenvolvimento possui um oscilador de 50MHz ligado ao FPGA. Este oscilador está ligado ao pino C9 do Spartan-3e, no *buffer* global de relógio GCLK10. Desta forma, é possível utilizá-lo como relógio de referência para toda a lógica implementada no FPGA, garantindo um período de relógio de 20ns para o circuito, o que é um valor adequado para realizar testes nas memórias.

6.1.3. Conector de Expansão Hirose FX2

O kit de desenvolvimento utilizado possui um conector de expansão para possibilitar aplicações diferentes para os pinos de entrada/saída do banco 0 do FPGA. Este conector é um conector Hirose FX2-100P01.27DS, de 100 pinos com espaçamento de 1.27mm, identificado como J3 no kit, e ilustrado na figura 28.

Dos 100 pinos do conector, 43 estão ligados diretamente ao FPGA, conforme a figura 29. Destes pinos, 38 podem ser utilizados como entrada e/ou saída, e 5 deles apenas como entrada no FPGA (FX2_IP<38:35> e FX2_IP<40>). Os sinais identificados como relógios

(*clocks*) também fazem parte dos 38 pinos que podem ser entradas e/ou saídas, mas além disso são ideais para o tráfego de sinais de relógio pelo conector.

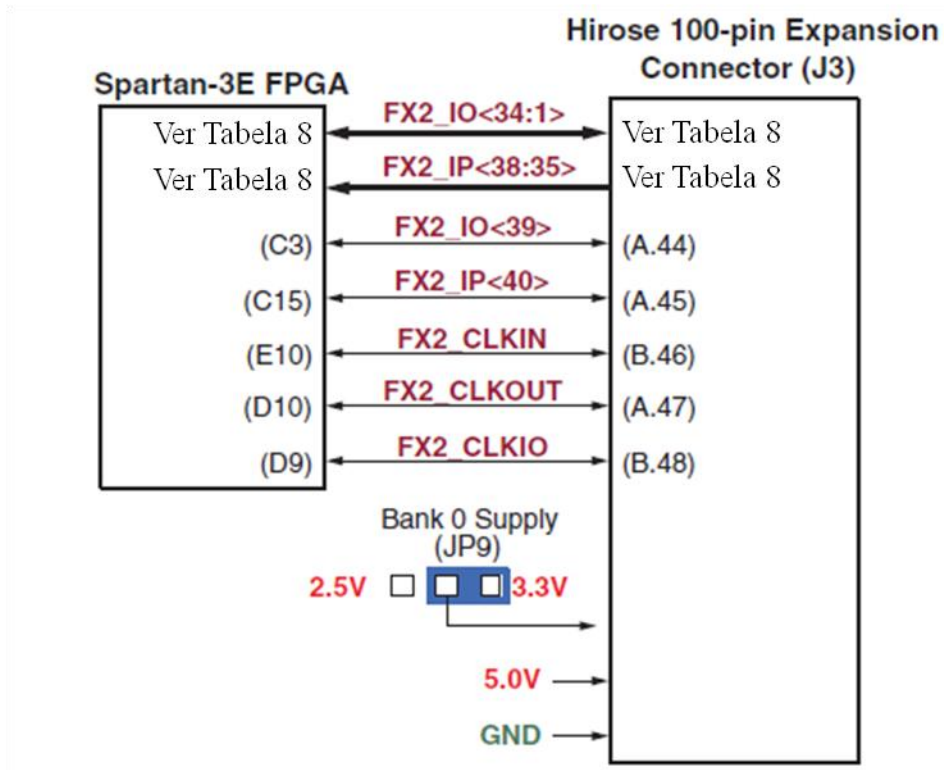


Figura 29: Conexões do FPGA ao conector Hirose FX2.

Existem duas tensões ligadas ao conector Hirose FX2, uma fixa em 5.0V e outra selecionável entre 2.5V e 3.3V. Neste projeto ela será fixada em 3.3V, para permitir a operação adequada das memórias da placa de expansão. A tabela 12 apresenta as conexões do FPGA ao conector Hirose FX2. A ligação das memórias ao conector da placa de expansão será descrita mais adiante, e define a que pinos das memórias cada um dos sinais genéricos apresentados na tabela 12 será ligado, e desta forma define a ligação dos sinais internos do FPGA aos seus pinos.

Tabela 12: Conexões do FPGA ao conector Hirose FX2.

Hirose FX2 A (superior)	Nome do Sinal	Pino do FPGA	Hirose FX2 B (inferior)	Nome do Sinal	Pino do FPGA
1		VCCO_0	51	SHIELD	
2		VCCO_0	52	GND	GND
3	TMS_B		53	TDO_XC2C	
4	JTSEL		54	TCK_B	
5	TDO_FX2		55	GND	GND
6	FX2_IO1	B4	56	GND	GND
7	FX2_IO2	A4	57	GND	GND
8	FX2_IO3	D5	58	GND	GND
9	FX2_IO4	C5	59	GND	GND
10	FX2_IO5	A6	60	GND	GND
11	FX2_IO6	B6	61	GND	GND
12	FX2_IO7	E7	62	GND	GND
13	FX2_IO8	F7	63	GND	GND
14	FX2_IO9	D7	64	GND	GND
15	FX2_IO10	C7	65	GND	GND
16	FX2_IO11	F8	66	GND	GND
17	FX2_IO12	E8	67	GND	GND
18	FX2_IO13	F9	68	GND	GND
19	FX2_IO14	E9	69	GND	GND
20	FX2_IO15	D11	70	GND	GND
21	FX2_IO16	C11	71	GND	GND
22	FX2_IO17	F11	72	GND	GND
23	FX2_IO18	E11	73	GND	GND
24	FX2_IO19	E12	74	GND	GND
25	FX2_IO20	F12	75	GND	GND
26	FX2_IO21	A13	76	GND	GND
27	FX2_IO22	B13	77	GND	GND
28	FX2_IO23	A14	78	GND	GND
29	FX2_IO24	B14	79	GND	GND
30	FX2_IO25	C14	80	GND	GND
31	FX2_IO26	D14	81	GND	GND
32	FX2_IO27	A16	82	GND	GND
33	FX2_IO28	B16	83	GND	GND
34	FX2_IO29	E13	84	GND	GND
35	FX2_IO30	C4	85	GND	GND
36	FX2_IO31	B11	86	GND	GND
37	FX2_IO32	A11	87	GND	GND
38	FX2_IO33	A8	88	GND	GND
39	FX2_IO34	G9	89	GND	GND
40	FX2_IP35	D12	90	GND	GND
41	FX2_IP36	C12	91	GND	GND
42	FX2_IP37	A15	92	GND	GND
43	FX2_IP38	B15	93	GND	GND
44	FX2_IO39	C3	94	GND	GND
45	FX2_IP40	C15	95	GND	GND
46	GND	GND	96	FX2_CLKIN	E10
47	FX2_CLKOUT	D10	97	GND	GND
48	GND	GND	98	FX2_CLKIO	D9
49	5.0V		99	5.0V	
50	5.0V		100	SHIELD	

6.2 PLACA DE EXPANSÃO

6.2.1. Conector de Expansão Hirose FX2

A placa de expansão foi desenvolvida de forma a permitir uma conexão completa das duas memórias (flash e SRAM) ao kit de desenvolvimento do Spartan-3e. A primeira definição é a do conector que faz a interface entre as duas placas. Como o conector do kit de desenvolvimento é um Hirose FX2-100P-1.27DS, deve ser utilizado o conector Hirose FX2-100S-1.27DS, que é um receptáculo para o conector do kit. Este conector possui 100 pinos, com espaçamento entre eles de 1.27mm. O leiaute da placa de forma a acomodar este conector é mostrado na figura 30.

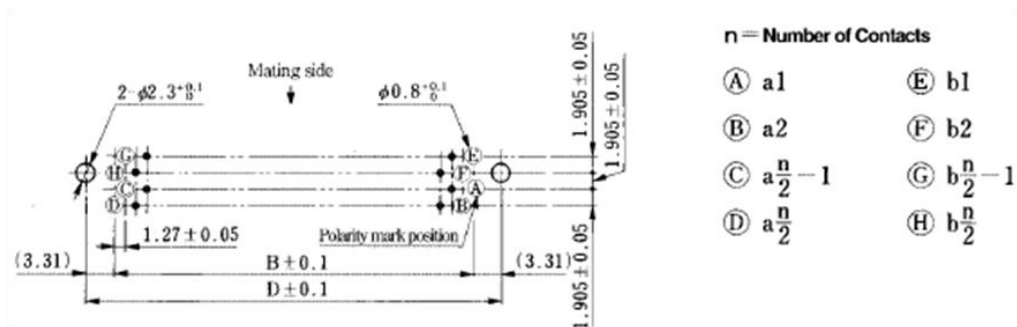


Figura 30: Leiaute para o conector Hirose FX2-100S-1.27DS.

Como há apenas 43 pinos disponíveis no conector do kit para tráfego de sinais, torna-se necessário acessar a memória SRAM através de um barramento de 8 bits de dados, utilizando seus sinais de controle \overline{LB} e \overline{UB} . Assim seus 16 bits de dados podem ser ligados entre si, visto que apenas 8 deles ficarão ativos por vez. Além disto, estes 8 bits resultantes da interface de dados da SRAM podem ser ligados diretamente aos 8 bits de dados da memória flash, visto que apenas uma memória será ativada por vez, via *chip select*. Os bits de endereçamento e controle também podem ser ligados às duas memórias simultaneamente, de

forma que são necessários apenas 33 sinais entre o FPGA e a placa de expansão, listados na tabela 13.

Tabela 13: Sinais entre o FPGA e a placa de expansão.

Sinal	Função
MEM_ADDR_o	Barramento de 19 bits que compõem o endereçamento das memórias. Sinais de saída do FPGA.
MEM_DATA_io	Barramento de 8 bits que conduz os dados entre o FPGA e as memórias. São sinais de saída do FPGA em acessos de escrita e de entrada em acessos de leitura.
MEM_CS_n_o	Barramento com 2 bits, sendo cada bit responsável por seleccionar uma das memórias. Estes sinais são de saída do FPGA e são ativos em 0.
MEM_OE_n_o	Sinal responsável por ativar uma operação de leitura. É saída do FPGA, ativo em 0, e é comum às duas memórias.
MEM_WE_n_o	Sinal responsável por ativar uma operação de escrita. É saída do FPGA, ativo em 0, e é comum às duas memórias.
MEM_LB_n_o	Sinal responsável por seleccionar o byte menos significativo da SRAM para ser acessado. Será utilizado visto que o barramento original de 16 bits da SRAM é muito grande para ser acomodado no conector Hirose FX2. É saída do FPGA e ativo em 0.
MEM_UB_n_o	Sinal responsável por seleccionar o byte mais significativo da SRAM para ser acessado. Será utilizado visto que o barramento original de 16 bits da SRAM é muito grande para ser acomodado no conector Hirose FX2. É saída do FPGA e ativo em 0.

A ligação do conector às memórias foi feita de forma a melhor acomodar o leiaute. Desta forma, ocorreu um processo iterativo, iniciando um o desenvolvimento de um esquema elétrico inicial que foi alterado durante o período de leiaute para permitir um roteamento mais adequado das trilhas entre as memórias e o conector.

6.2.2. Memória SRAM IS66WV25616BLL-55TLI

A memória SRAM utilizada é fabricada pela ISSI, com código IS66WV25616BLL-55TLI. Este componente caracteriza-se por ser uma SRAM de 4Mbits organizada em 256K palavras de 16 bits cada uma. O componente possui dois *chip-selects*, um ativo em 1 (CS2) e um ativo em 0 (CS1). Possui também um único sinal capaz de definir se a operação que está sendo feita é de escrita ou de leitura, além de possuir dois sinais capazes de fazê-lo operar com um barramento de dados de 8 bits (UB e LB).

O encapsulamento do componente é do tipo TSOP, de 44 pinos, como ilustrado na figura 31 e descrito na tabela 14. A memória pode ser alimentada na faixa de 2.5V a 3.6V, ou seja, está dentro da faixa de operação do banco 0 de alimentação do FPGA do kit de desenvolvimento utilizado. Desta forma ela pode ser alimentada diretamente pela tensão de 3.3V disponibilizada no conector de expansão Hirose FX2. O tempo de acesso mínimo à memória para uma operação de escrita ou de leitura é de 55ns, tempo este que deve ser respeitado em qualquer acesso à memória que venha a ser feito através do FPGA.

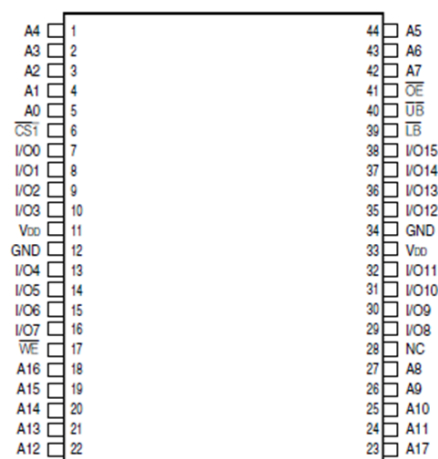


Figura 31: Memória SRAM IS66WV25616BLL-55TLI.

Tabela 14: Função dos pinos da memória SRAM IS66WV25616BLL-55TLI.

Sinal	Função
A0-A17	Endereçamento (entradas)
I/O0-I/O15	Dados (entrada/saída)
$\overline{CS1}$, $\overline{CS2}$	Habilitação do componente (entradas)
\overline{OE}	Habilitação das saídas para leitura (entrada)
\overline{WE}	Habilitação para escrita (entrada)
\overline{LB}	Habilitação do byte menos significativo (I/O0-I/O7) (entrada)
\overline{UB}	Habilitação do byte mais significativo (I/O8-I/O15) (entrada)
NC	Não conectado
V_{DD}	Alimentação
GND	Terra

6.2.3. Memória Flash AM29LV040B-90JD

A memória flash utilizada é fabricada pela Spansion, sob o código AM29LV040B-90JD. Garante um mínimo de 1.000.000 de ciclos de apagamento, e retenção de dados de 20 anos a uma temperatura de 125°C. Esta memória flash possui 4Mbits de armazenamento, e é organizada em 524.288 bytes (palavras de 8 bits).

Esta memória se apresenta no encapsulamento PLCC de 32 pinos, ilustrado na figura 32, cujos pinos possuem as funções descritas na tabela 15. O componente pode ser alimentado por apenas uma fonte de alimentação entre 2.7V e 3.6V, o que o torna adequado para receber alimentação diretamente do kit de desenvolvimento utilizado. O tempo de acesso mínimo à memória para qualquer operação de escrita ou leitura é de 90ns, tempo este que deve ser respeitado durante qualquer acesso à memória que venha a ser feito a partir do FPGA.

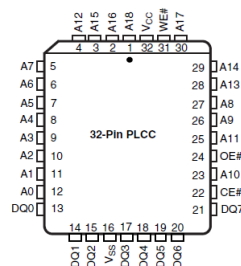
**Figura 32: Memória Flash AM29LV040B-90JD.**

Tabela 15: Função dos pinos da memória Flash AM29LV040B-90JD.

Sinal	Função
A0-A18	Endereçamento (entradas)
DQ0-DQ7	Dados (entrada/saída)
\overline{CE}	Habilitação do componente (entradas)
\overline{OE}	Habilitação das saídas para leitura (entrada)
\overline{WE}	Habilitação para escrita (entrada)
V _{CC}	Alimentação
V _{SS}	Terra

6.2.4. Esquema Elétrico

O esquema elétrico foi desenvolvido levando em consideração a distribuição dos pinos nos encapsulamentos das memórias, e também qual seria a melhor forma de interconectá-los, evitando cruzamentos desnecessários e complicações no leiaute. Desta forma, o desenvolvimento do esquema elétrico foi uma etapa integrada ao desenvolvimento do leiaute, visto que a decisão de como as trilhas seriam roteadas influencia nas conexões entre os pinos.

Os pinos de endereçamento e de dados das memórias foram conectados diretamente entre si, e os sinais de controle com a mesma função também foram curto-circuitados. Os sinais de controle diferentes em cada memória receberam conexões exclusivas ao conector de expansão Hirose FX2, de forma que na lógica implementada no FPGA é feito o adequado tratamento para estes sinais. A tabela 16 apresenta as conexões possíveis entre as memórias, considerando pinos de endereçamento, dados e controle.

Tabela 16: Conexões necessárias entre as memórias SRAM e Flash.

Sinal do FPGA	SRAM	Memória flash
MEM_ADDR_o	A0-A17	A0-A18
MEM_DATA_io	I/O0-I/O15	DQ0-DQ7
MEM_CS_n_o	$\overline{CS1}$	\overline{CE}
MEM_OE_n_o	\overline{OE}	\overline{OE}
MEM_WE_n_o	\overline{WE}	\overline{WE}
MEM_LB_n_o	\overline{LB}	-
MEM_UB_n_o	\overline{UB}	-

Adequando as conexões à disposição dos pinos no conector Hirose FX2, o esquema elétrico resultante conecta os pinos das memórias ao conector conforme a tabela 17. Desta forma as ligações entre as memórias e o conector são possíveis com um número pequeno de cruzamentos. O esquema elétrico resultante pode ser visto na figura 33, que apresenta de forma visual as ligações entre os componentes utilizados. A ferramenta utilizada para desenvolver e documentar o esquema elétrico foi o Altium Designer, ambiente de desenvolvimento de circuitos eletrônicos que permite desenvolver desde o esquema elétrico até o leiaute da placa.

Tabela 17: Conexões das memórias SRAM e Flash ao conector Hirose FX2.

Sinal	Pino SRAM	Pino memória flash	Pino conector Hirose FX2
MEM_ADDR_o(0)	5	12	6
MEM_ADDR_o(1)	4	11	7
MEM_ADDR_o(2)	3	10	8
MEM_ADDR_o(3)	2	9	9
MEM_ADDR_o(4)	1	8	10
MEM_ADDR_o(5)	44	7	11
MEM_ADDR_o(6)	43	6	12
MEM_ADDR_o(7)	42	5	13
MEM_ADDR_o(8)	27	27	14
MEM_ADDR_o(9)	26	26	15
MEM_ADDR_o(10)	25	23	16
MEM_ADDR_o(11)	24	25	17
MEM_ADDR_o(12)	22	4	18
MEM_ADDR_o(13)	21	28	19
MEM_ADDR_o(14)	20	29	20
MEM_ADDR_o(15)	19	3	21
MEM_ADDR_o(16)	18	2	22
MEM_ADDR_o(17)	23	30	23
MEM_ADDR_o(18)	-	1	24
MEM_DATA_io(0)	7 e 29	13	25
MEM_DATA_io(1)	8 e 30	14	26
MEM_DATA_io(2)	9 e 31	15	27
MEM_DATA_io(3)	10 e 32	17	28
MEM_DATA_io(4)	13 e 35	18	29
MEM_DATA_io(5)	14 e 36	19	30
MEM_DATA_io(6)	15 e 37	20	31
MEM_DATA_io(7)	16 e 38	21	32
MEM_CS_n_o(0)	6	-	36

Sinal	Pino SRAM	Pino memória flash	Pino conector Hirose FX2
MEM_CS_n_o(1)	-	22	33
MEM_OE_n_o	41	24	34
MEM_WE_n_o	17	31	35
MEM_LB_n_o	39	-	38
MEM_UB_n_o	40	-	37

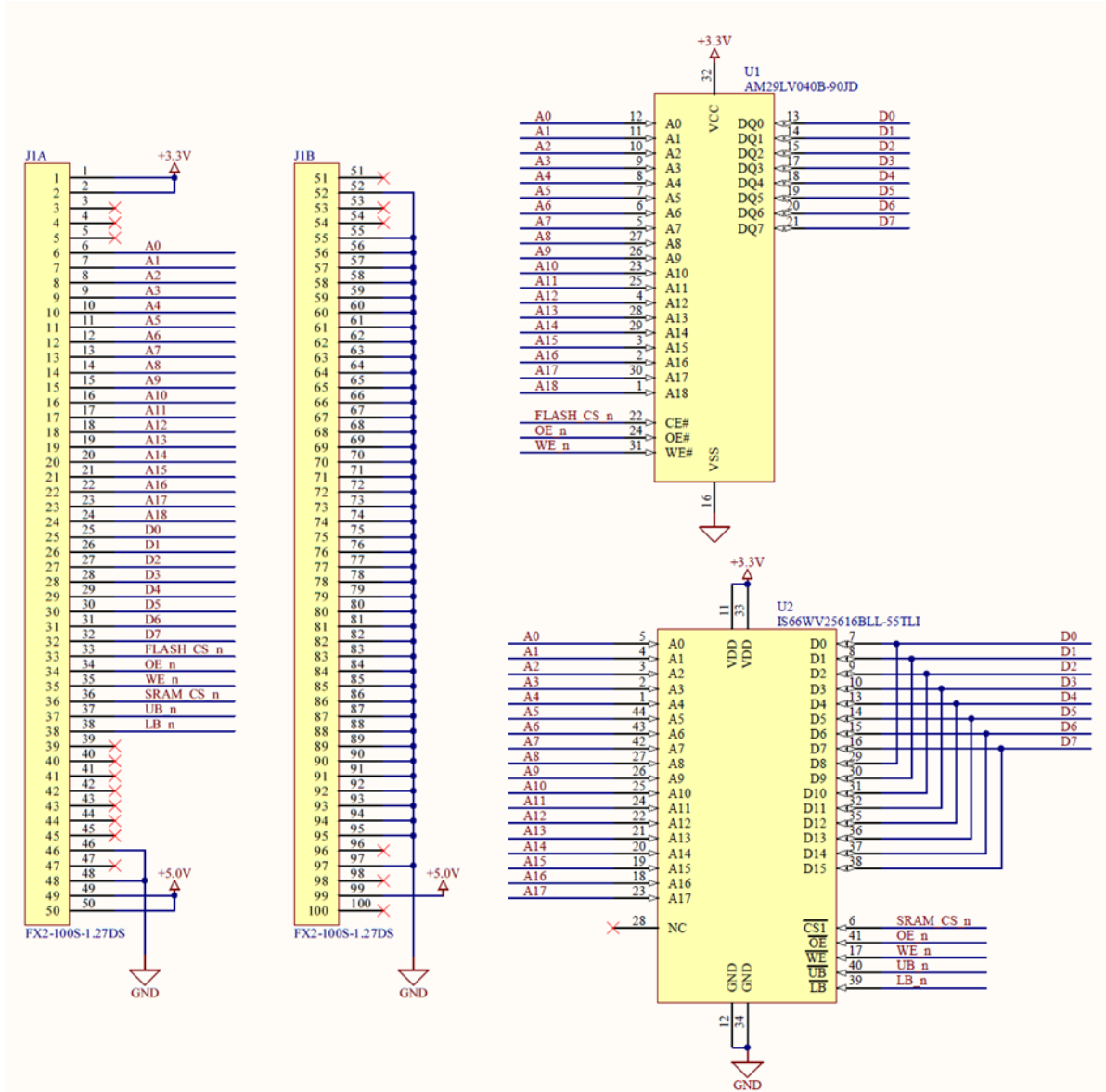


Figura 33: Esquema elétrico da placa de expansão.

6.2.5. Leiaute da Placa

O leiaute da placa foi desenvolvido em conjunto com o esquema elétrico. Sua versão final foi baseada no circuito da figura 33, de forma a permitir a ligação entre as duas memórias e o conector Hirose FX2 com o menor número de cruzamentos possível. A ferramenta utilizada para desenvolver e documentar o leiaute da placa foi o Altium Designer, ambiente de desenvolvimento de circuitos eletrônicos que permite desenvolver desde o esquema elétrico até o leiaute da placa.

Para que a radiação ionizante aplicada às memórias durante os testes dos efeitos de dose total não viesse a causar falhas no kit de desenvolvimento, o leiaute foi desenvolvido mantendo uma distância de no mínimo 5cm entre as memórias e o conector de expansão Hirose FX2. Como o feixe de radiação utilizado neste tipo de teste possui alta diretividade esta distância é suficiente para minimizar os efeitos da radiação sobre os componentes eletrônicos do kit de desenvolvimento do FPGA Spartan-3e.

Levando em consideração os fatores acima, a placa de circuito impresso desenvolvida possui as dimensões de 10cm por 10cm, e possui duas camadas para o roteamento dos sinais (placa dupla-face). Desta forma, a figura 34 apresenta o leiaute da camadas superior e a figura 35 apresenta o leiaute da camada inferior da placa desenvolvida.

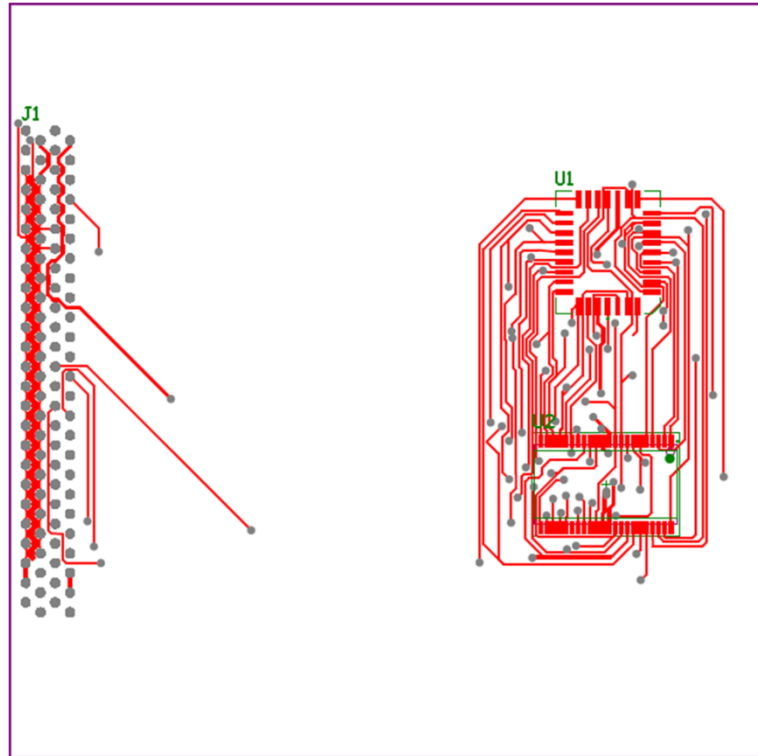


Figura 34: Leiaute da camada superior da placa de expansão.

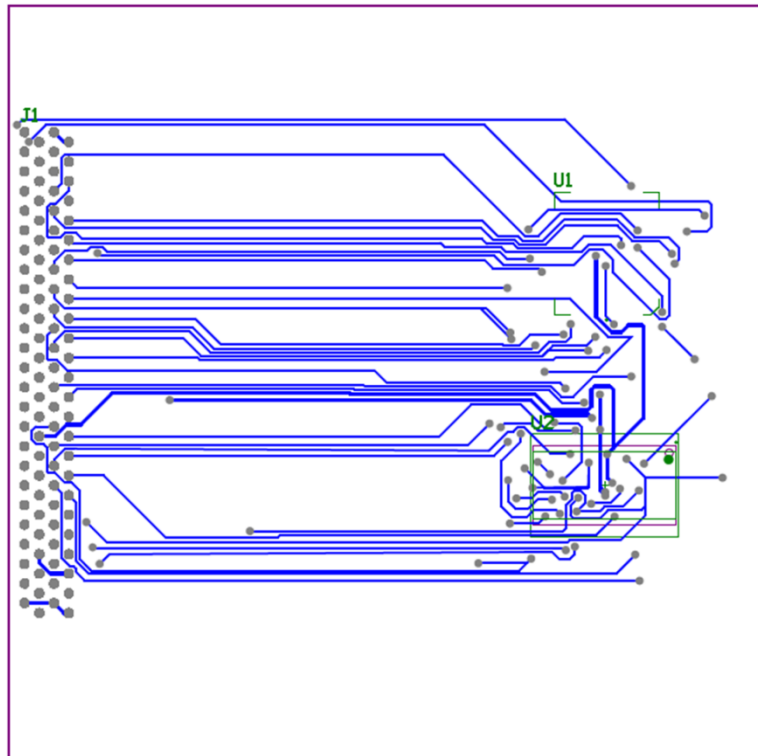


Figura 35: Leiaute da camada inferior da placa de expansão.

7 TESTES IMPLEMENTADOS

Neste projeto foram desenvolvidos em linguagem VHDL dois blocos de lógica programável, conforme descrito no capítulo 5. O primeiro deles consiste em uma interface para efetuar o acesso às memórias, sendo que neste projeto este bloco será desenvolvido apenas para a SRAM. O segundo bloco consiste da execução dos testes definidos como objetos deste trabalho, que são o teste de falhas de retenção de dados e o teste MARCH C--, para detecção de falhas de diversos tipos, ambos desenvolvidos exclusivamente para a SRAM, por motivos descritos no capítulo 5.

7.1 BLOCO DE ACESSO ÀS MEMÓRIAS (MEMORY_ACCESS.VHD)

7.1.1. Requisitos

Este bloco consiste em implementar a interface necessária à comunicação do FPGA com as memórias presentes na placa de expansão desenvolvida. Neste projeto este bloco foi desenvolvido apenas para a SRAM objeto de estudo, a memória IS66WV25616BLL-55TLI fabricada pela ISSI. Não foi feito o desenvolvimento da interface de acesso à memória flash devido ao fato de que o único teste que seria interessante de realizar seria o teste de falhas de retenção de dados, visto que a memória flash exige a execução de um protocolo antes de cada operação de escrita, o que inviabilizaria a execução de testes que realizam muitas operações de escrita intercaladas com operações de leitura, o que é o caso dos testes march. Desta maneira, os resultados que se poderia alcançar com a memória flash seriam muito limitados, então devido ao curto tempo disponível para o desenvolvimento dos testes em VHDL limitou-se o desenvolvimento dos blocos, de forma a atender apenas à SRAM.

O principal requisito deste bloco é que ele seja capaz de realizar operações de escrita e de leitura na SRAM com sucesso, ou seja, deve respeitar todas as características da memória. Como já foi citado no capítulo 6 a interface do FPGA é totalmente compatível eletricamente

com as memórias, desde que os pinos de entrada/saída do FPGA estejam configurados para o padrão LVCMOS33. Esta configuração é feita através das *constraints* aplicadas aos pinos do FPGA no projeto. Além das características elétricas, é fundamental que sejam respeitadas as características temporais da SRAM, descritas no *datasheet* do componente. Existem características que devem ser respeitadas em acessos de leitura e características referentes a acessos de escrita.

Para acessos de leitura existem dois tipos de ciclo disponíveis, um deles controlado pelo endereço acessado, ilustrado na figura 36, e outro controlado pelos sinais de controle (*chip select*, *output enable*, *write enable*), ilustrado na figura 37. Os valores dos tempos mínimos e máximos que devem ser cumpridos nestes ciclos estão definidos na tabela 18.

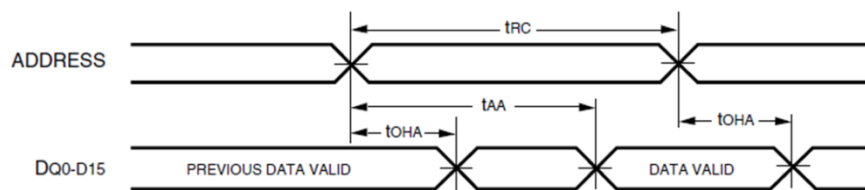


Figura 36: Ciclo de leitura 1 para SRAM (controlado pelo endereço).

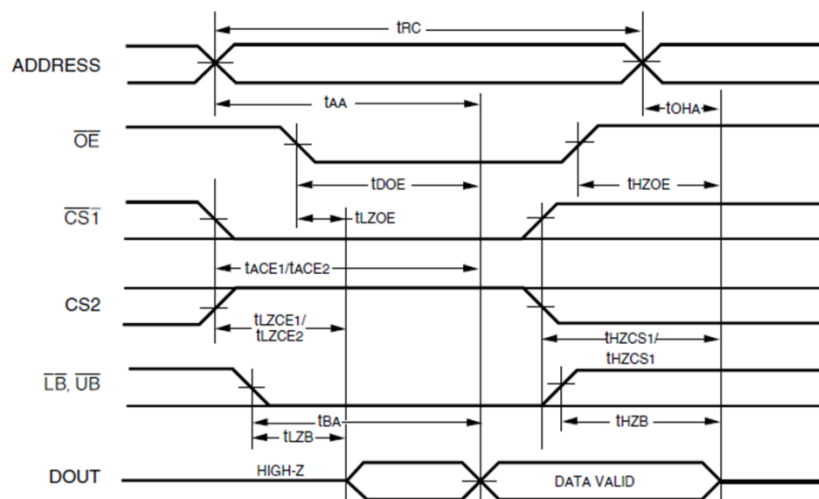
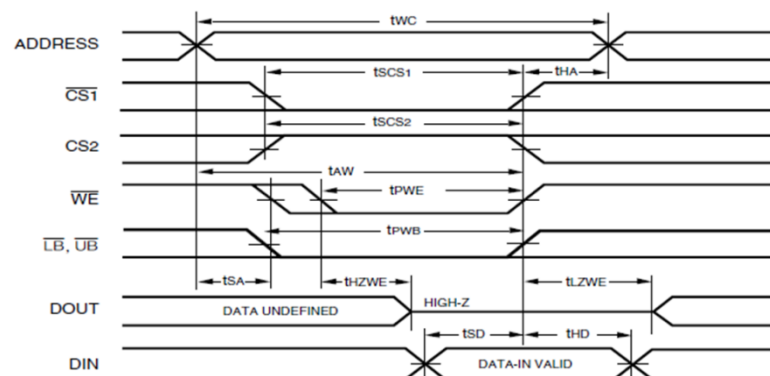


Figura 37: Ciclo de leitura 2 para SRAM (controlado por $\overline{CS1}$, $\overline{CS2}$, \overline{OE} , \overline{UB} e \overline{LB}).

Tabela 18: Características temporais da SRAM em ciclos de leitura.

Símbolo	Parâmetro	Mín	Máx	Unidade
t_{RC}	Tempo do ciclo de leitura	55	-	ns
t_{AA}	Tempo de acesso de endereço	-	55	ns
t_{OHA}	Tempo de hold da saída	10	-	ns
t_{ACS1} / t_{ACS2}	Tempo de acesso de $\overline{CS1} / CS2$	-	55	ns
t_{DOE}	Tempo de acesso de \overline{OE}	-	25	ns
t_{HZOE}	\overline{OE} para saídas em alta impedância	-	20	ns
t_{LZOE}	\overline{OE} para saídas em baixa impedância	5	-	ns
t_{HZCS1} / t_{HZCS2}	$\overline{CS1} / CS2$ para saídas em alta impedância	0	20	ns
t_{LZCS1} / t_{LZCS2}	$\overline{CS1} / CS2$ para saídas em baixa impedância	10	-	ns
t_{BA}	Tempo de acesso de \overline{LB} e \overline{UB}	-	55	ns
t_{HZB}	\overline{LB} e \overline{UB} para saídas em alta impedância	0	20	ns
t_{LZB}	\overline{LB} e \overline{UB} para saídas em baixa impedância	0	-	ns

Para acessos de escrita existem quatro tipos de ciclo possíveis. O primeiro deles é controlado pelo sinal $\overline{CS1}$, e está mostrado na figura 38. O segundo é controlado por \overline{WE} , com \overline{OE} em nível alto durante o ciclo, e está ilustrado na figura 39. O terceiro, apresentado na figura 40, também é controlado por \overline{WE} , porém exige \overline{OE} em nível baixo durante o ciclo. O quarto está ilustrado na figura 41 e é controlado pelos sinais \overline{UB} e \overline{LB} . Os valores dos tempos mínimos e máximos que devem ser cumpridos nestes ciclos estão definidos na tabela 19.

**Figura 38: Ciclo de escrita 1 para SRAM (controlado por $\overline{CS1}$).**

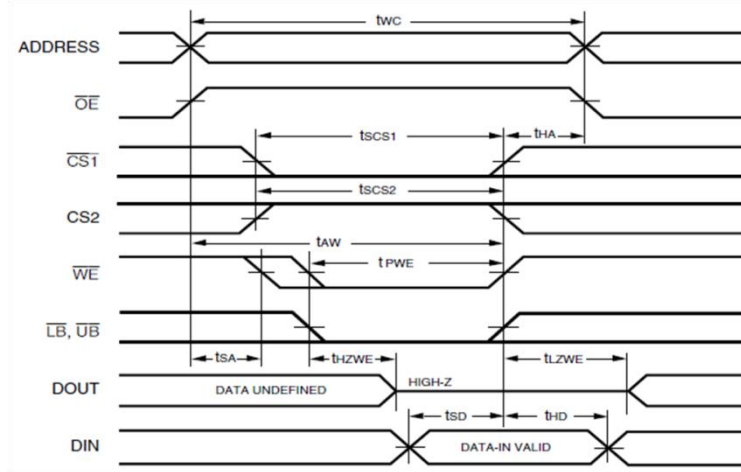


Figura 39: Ciclo de escrita 2 para SRAM (controlado por \overline{WE} , com \overline{OE} em nível alto).

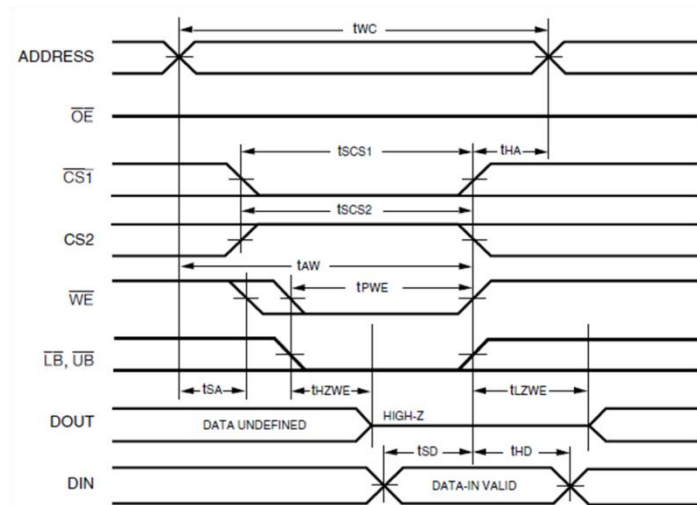


Figura 40: Ciclo de escrita 3 para SRAM (controlado por \overline{WE} , com \overline{OE} em nível baixo).

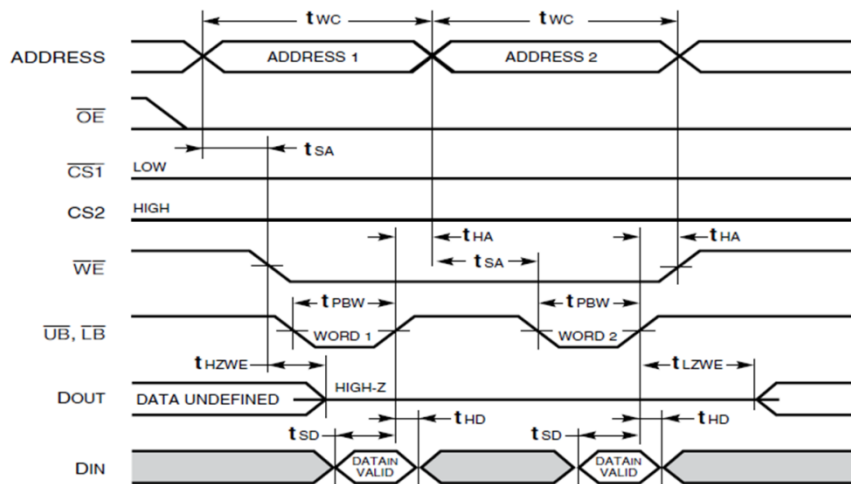


Figura 41: Ciclo de escrita 4 para SRAM (controlado por \overline{UB} e \overline{LB}).

Tabela 19: Características temporais da SRAM em ciclos de escrita.

Símbolo	Parâmetro	Mín	Máx	Unidade
t_{WC}	Tempo do ciclo de escrita	55	-	ns
t_{SCS1} / t_{SCS2}	$\overline{CS1} / CS2$ para o fim da escrita	45	-	ns
t_{AW}	Setup do endereço para o fim da escrita	45	-	ns
t_{HA}	Hold do endereço a partir do fim da escrita	0	-	ns
t_{SA}	Tempo de setup do endereço	0	-	ns
t_{PWB}	\overline{LB} e \overline{UB} válidos para o fim da escrita	45	-	ns
t_{PWE}	Largura de pulso de \overline{WE}	45	-	ns
t_{SD}	Setup dos dados para o fim da escrita	25	-	ns
t_{HD}	Hold dos dados para o fim da escrita	0	-	ns
t_{HZWE}	\overline{WE} em 0 para saídas em alta impedância	-	20	ns
t_{LZWE}	\overline{WE} em 1 para saídas em baixa impedância	5	-	ns

7.1.2. Implementação

De conhecimento dos tipos de ciclos disponíveis o passo seguinte é a definição de qual tipo de ciclo utilizar no projeto, de forma a executar os testes respeitando os requisitos da memória e ao mesmo tempo da maneira mais rápida possível. Além disso, é essencial que cada acesso simples seja uma operação completa, ou seja, ao fim de cada acesso a memória deve ser colocada novamente em seu estado inicial, de forma a permitir que qualquer tipo de acesso seja feito após uma operação de escrita ou de leitura. Isso se faz necessário devido às características dos testes march, que podem executar operações de escrita e leitura alternadas em um mesmo endereço, por exemplo.

Para os acessos de leitura na SRAM o tipo de ciclo escolhido foi o ciclo de leitura 1, visto que realizando o controle através dos sinais de controle é possível deixar a memória em seu estado inicial logo após a execução do ciclo de leitura. O ciclo foi implementado de forma que tanto o endereço quanto os sinais de controle são disponibilizados simultaneamente.

Para os acessos de escrita na SRAM o ciclo escolhido foi um híbrido entre os quatro tipos possíveis, visto que também foi implementado de forma que tanto o endereço quanto os sinais de controle são disponibilizados ao mesmo tempo.

A implementação do bloco de acesso à SRAM foi feita através de uma máquina de estados, responsável por executar tanto as operações de leitura quanto as de escrita, que são selecionadas através de um sinal de controle. O bloco implementado é configurado pelos *generics* descritos na tabela 20, e possui uma interface, descrita na tabela 21, dividida em dois blocos, uma responsável pelo acesso às memórias, que é ligada diretamente aos pinos do FPGA, e outra que se comunica diretamente com o bloco executor dos testes.

Tabela 20: Configurações (*generics*) do bloco de acesso às memórias.

Generic	Função
ADDR_WIDTH_g	Largura (número de bits) do barramento de endereços.
DATA_WIDTH_g	Largura (número de bits) do barramento de dados.
CLOCK_ADJ_SRAM_g	Número de ciclos de relógio necessários a um acesso completo de escrita ou leitura à SRAM.

Tabela 21: Interface do bloco de acesso às memórias.

Sinal	Função
MEM_ADDR_o	Endereçamento da memória.
MEM_DATA_io	Barramento de dados ligado à memória.
MEM_CS_n_o	Chip select das memórias.
MEM_OE_n_o	Output enable das memórias.
MEM_WE_n_o	Write enable das memórias.
MEM_LB_n_o	Habilita o byte menos significativo da SRAM.
MEM_UB_n_o	Habilita o byte mais significativo da SRAM.
ACCESS_ADDR_i	Endereço que se deseja acessar.
ACCESS_DATA_WR_i	Dado a ser escrito na memória.
ACCESS_DATA_RD_o	Dado lido da memória, para o bloco de testes.
ACCESS_RD_WR_n_i	Em 0 habilita escrita e em 1 habilita leitura à memória.
ACCESS_CS_n_i	Chip select das memórias. O bit 0 é para a SRAM e o bit 1 é para a memória flash.
ACCESS_START_i	A transição de 0 para 1 inicia o acesso à memória.
ACCESS_DONE_o	Indica a conclusão do acesso.
CLK_i	Relógio do bloco, de 50MHz.
CLK_EN_i	Clock enable do bloco.
RST_i	Reset do bloco.

A execução dos acessos é feita através de uma máquina de estados, que recebe os sinais de controle da interface que se comunica com o bloco dos testes para iniciar sua

operação. A seguir o acesso à memória solicitado é realizado, e o bloco dos testes é informado da conclusão do teste assim que a temporização da memória for cumprida. O diagrama de estados implementado está ilustrado na figura 42.

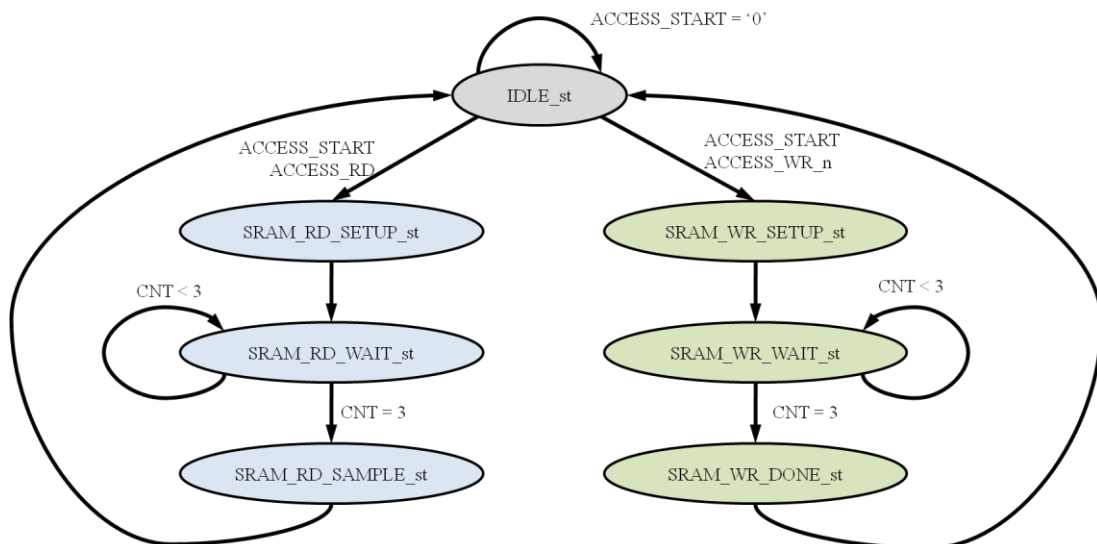


Figura 42: Máquina de estados implementada no bloco de acesso às memórias (memory_access.vhd).

Os sinais de entrada da interface com o bloco de execução dos testes são registrados assim que é solicitado o início de um novo teste. Os sinais de acesso à memória são controlados pela máquina de estados. Todos os sinais, incluindo controle, endereçamento e dados, são fornecidos à memória nos estados SRAM_RD_SETUP_st e SRAM_WR_SETUP_st. Nos estados SRAM_RD_WAIT_st e SRAM_WR_WAIT_st a máquina de estados aguarda um número de ciclos de clock suficientes para que a operação seja completada com sucesso na memória. Neste ponto é imprescindível considerar o tempo que o FPGA leva para disponibilizar os sinais internos nos seus pinos. Como utilizamos sinais do tipo LVCMOS33 nos pinos, com *slew rate* rápido e corrente de 8mA (mesmas configurações utilizadas nos exemplos do kit, e que são adequadas a este projeto), o tempo máximo que o FPGA leva para disponibilizar os sinais nos pinos é de 6.28ns. Além disso,

deve ser cumprido o tempo de *setup* do FPGA, que para as mesmas configurações deve ser de no mínimo 4.73ns, e também o tempo de *hold* do FPGA, que deve ser de -0.77ns no mínimo. Como no kit de desenvolvimento temos um período de relógio de 20ns, quatro ciclos de relógio são suficientes para que a SRAM complete suas operações, visto que seu tempo mínimo de acesso é de 55ns, o tempo de saída dos dados do FPGA é de 6.28ns e seu tempo de *setup* é de 4.73ns. Isto dá um tempo de acesso total de 66.01ns, o que é atingido com sobras por quatro ciclos de relógio de aguardo, que dão um total de 80ns. Este número de ciclos de relógio é definido pelo *generic* CLK_ADJ_SRAM_g. Os estados SRAM_RD_SAMPLE_st e SRAM_WR_DONE_st concluem a operação do bloco, ativando o sinal que indica para o bloco de testes que a operação foi concluída, e fornecendo o dado lido no caso de ciclos de leitura.

7.1.3. Simulações

Após a implementação do bloco de acesso às memórias é necessária a realização de simulações, de forma a verificar o total cumprimento dos requisitos de temporização da SRAM. Para isto foi utilizada a suíte de desenvolvimento fornecida pela Xilinx, ISE Design Suite, na sua versão Webpack, que é fornecida gratuitamente no site da Xilinx. As simulações foram realizadas no software Isim, que acompanha a suíte.

Foram realizadas duas simulações no bloco de acesso às memórias, a primeira teve o objetivo de verificar o cumprimento dos requisitos para um acesso de leitura à SRAM, e a segunda buscou verificar o atendimento dos requisitos em um acesso de escrita realizado através do bloco.

Para a simulação ser realizada foi necessário o desenvolvimento de um *testbench* em VHDL, no qual é instanciado o bloco de acesso às memórias. Os sinais de entrada do bloco são estímulos gerados de forma a permitir que haja o acesso à SRAM, e os sinais de saída da

memória são monitorados. Para simular o comportamento da memória foi desenvolvido um modelo simplificado de operação, que cumpre as temporizações da mesma.

Na figura 43 é ilustrado o resultado de uma simulação de três acessos de escrita à SRAM, realizado nos endereços 0, 1 e 2. Está sendo escrito o valor AAh no endereço 0, 55h no endereço 1 e 3Ch no endereço 2, conforme pode ser visto nas formas de onda da simulação.

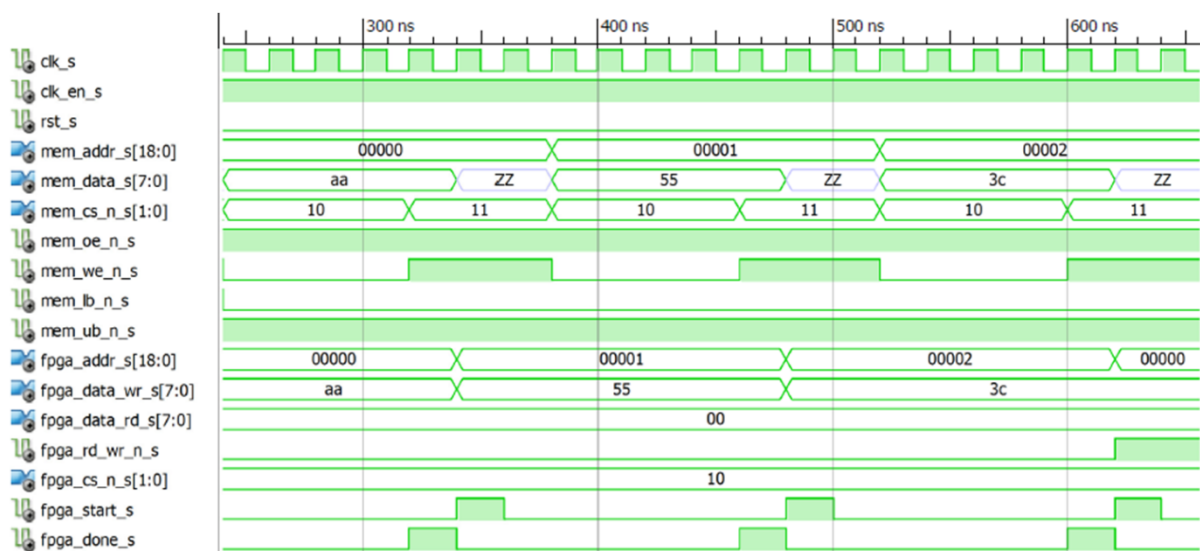


Figura 43: Simulação de acessos de escrita na SRAM.

A análise visual nos mostra o total cumprimento dos requisitos da memória no que diz respeito à sua temporização. Após a inicialização do processo o FPGA aguarda quatro ciclos de relógio, ou seja, 80ns para que a memória conclua seu ciclo, o que se dará em no máximo 61.28ns, que é a soma do tempo de acesso da memória somado ao tempo de saída dos dados do FPGA. Assim, na finalização do acesso informada ao bloco de testes garantimos a conclusão da operação de escrita com sucesso.

Na figura 44 pode ser visto o resultado de uma simulação de acessos de leitura na SRAM, realizados nos endereços 0, 1 e 2. Nas células referentes ao endereço 0 estava

armazenado o valor AAh, no endereço 1 estava escrito o valor 55h e no endereço 2 o valor 3Ch, conforme pode ser visto na simulação desta operação de leitura.

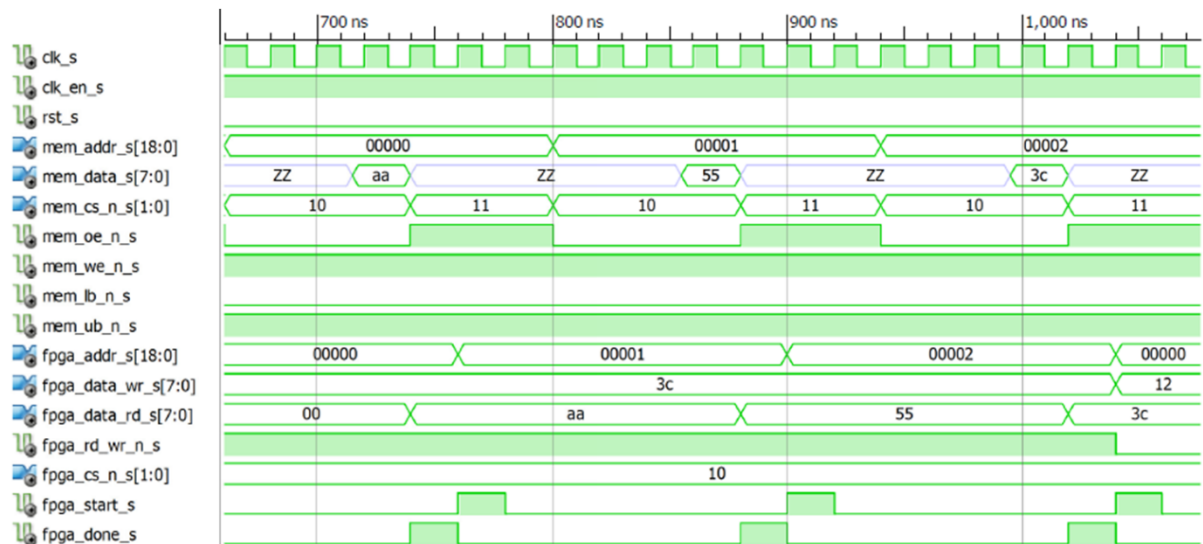


Figura 44: Simulação de acessos de leitura na SRAM.

Conforme pode ser visto na figura 44, há o total cumprimento dos requisitos de temporização da memória. O tempo entre os sinais serem disponibilizados à memória e a amostragem que o FPGA faz dos dados de entrada é de 80ns, acima dos 66.01ns que a memória leva para disponibilizar os dados lidos. Esta folga de 14ns é suficiente para garantir que o atraso de propagação dos dados não interfira no acesso, visto que seu valor é muito baixo, devido ao fato de as trilhas da placa não serem excessivamente longas.

7.2 BLOCO DE TESTE DE MEMÓRIAS (MEMORY_TEST.VHD)

7.2.1. Requisitos

Este bloco deve executar dois tipos de teste na SRAM, um teste de falhas de retenção de dados e um teste MARCH C--. A execução de cada teste deve ser selecionada através do fornecimento dos sinais de entrada deste bloco, os quais devem ser o endereço inicial e o endereço final de execução do teste, a informação de qual memória será testada e de qual teste

será executado, entre outras características peculiares de cada teste, como o padrão de escrita utilizado em testes de falhas de retenção de dados.

Para acessar as memórias o bloco deve utilizar o bloco de acesso às memórias desenvolvido (`memory_access.vhd`), ou seja, deve possuir uma interface compatível com a do mesmo, e utilizá-la de forma compatível com seu funcionamento

7.2.2. Implementação

O bloco de testes de memórias foi implementado de forma a executar os testes selecionados, acessando a memória adequadamente através do bloco de acesso às memórias e avaliando os resultados das leituras efetuadas para produzir os resultados dos testes.

A primeira definição a respeito da implementação refere-se às interfaces que o bloco deve possuir. Desta forma podem ser definidas duas interfaces, uma responsável por conectá-lo ao bloco de acesso às memórias e outra de controle, que liga o bloco a registradores que controlam a execução dos testes e armazenam os resultados. Na tabela 22 estão descritas as configurações de implementação (*generics*) do bloco, e na tabela 23 estão apresentados os sinais das interfaces do bloco.

Tabela 22: Configurações (*generics*) do bloco de teste de memórias.

Generic	Função
ADDR_WIDTH_g	Largura (número de bits) do barramento de endereços.
DATA_WIDTH_g	Largura (número de bits) do barramento de dados.
TEST_TYPES_g	Número de tipos de teste implementados no bloco.

O bloco consiste basicamente de uma máquina de estados responsável por controlar ambos os testes. Além disso, possui lógica adicional para que durante um determinado teste sejam executados todos os acessos necessários em cada endereço da faixa de teste, sendo

formada por diversos registradores, multiplexadores, contadores e comparadores. A máquina de estados está ilustrada na figura 45, de forma simplificada.

Tabela 23: Interface do bloco de teste de memórias.

Sinal	Função
ACCESS_ADDR_o	Endereço que se deseja acessar.
ACCESS_DATA_WR_o	Dado a ser escrito na memória.
ACCESS_DATA_RD_i	Dado lido da memória.
ACCESS_RD_WR_n_o	Em 0 habilita escrita e em 1 habilita leitura à memória.
ACCESS_CS_n_o	Chip select das memórias: Bit 0 = SRAM. Bit 1 = Flash.
ACCESS_START_o	A transição de 0 para 1 inicia o acesso à memória.
ACCESS_DONE_i	Indica a conclusão do acesso à memória.
CTRL_TEST_TYPE_i	Tipo de teste a ser efetuado: Bit 0 = Teste de retenção de dados – Escrita do padrão. Bit 1 = Teste de retenção de dados - Leitura. Bit 2 = MARCH C--.
CTRL_ADDR_START_i	Endereço inicial do teste.
CTRL_ADDR_END_i	Endereço final do teste.
CTRL_DRF_DATA_PATTERN_i	Padrão que será escrito nas células para teste de DRF.
CTRL_CS_n_i	Chip select das memórias: Bit 0 = SRAM. Bit 1 = Flash.
CTRL_START_TEST_i	A transição de 0 para 1 inicia o teste selecionado.
CTRL_TEST_DONE_o	Indica a conclusão do teste.
CTRL_FAULT_CNT_CAPTURE_i	A transição de 0 para 1 captura os contadores de falhas de todos os testes.
CTRL_DRF_CNT_o	Contador de falhas de retenção de dados.
CTRL_MARCH_C_CNT_o	Contador de falhas detectadas pelo teste MARCH C--.
CLK_i	Relógio do bloco, de 50MHz.
CLK_EN_i	Clock enable do bloco.
RST_i	Reset do bloco.

A execução do teste para verificação de falhas de retenção de dados deve ser efetuada em duas etapas. No início do período de testes é executada a versão de escrita do teste, na qual a máquina de estados vai garantir que todos os endereços da faixa solicitada sejam escritos com o valor desejado. Este teste é realizado através da ativação do bit 0 do sinal CTRL_TEST_TYPE_i. A segunda etapa de realização deste teste é periódica, e consiste na execução da versão para leitura do teste, iniciada através da ativação do bit 1 do sinal

CTRL_TEST_TYPE_i. Esta etapa efetua a leitura de todos os endereços da faixa solicitada, e a cada leitura compara o valor lido com o valor do padrão escrito. Caso haja diferença nesta comparação temos a detecção de uma falha, que é registrada em um contador. A etapa de leitura deve ser efetuada periodicamente durante a irradiação da memória, de forma a verificar após a aplicação de uma dose acumulada crescente de radiação ionizante o comportamento do componente em relação a falhas, e se o número de falhas detectado aumenta com o aumento da dose total de radiação ionizante absorvida.

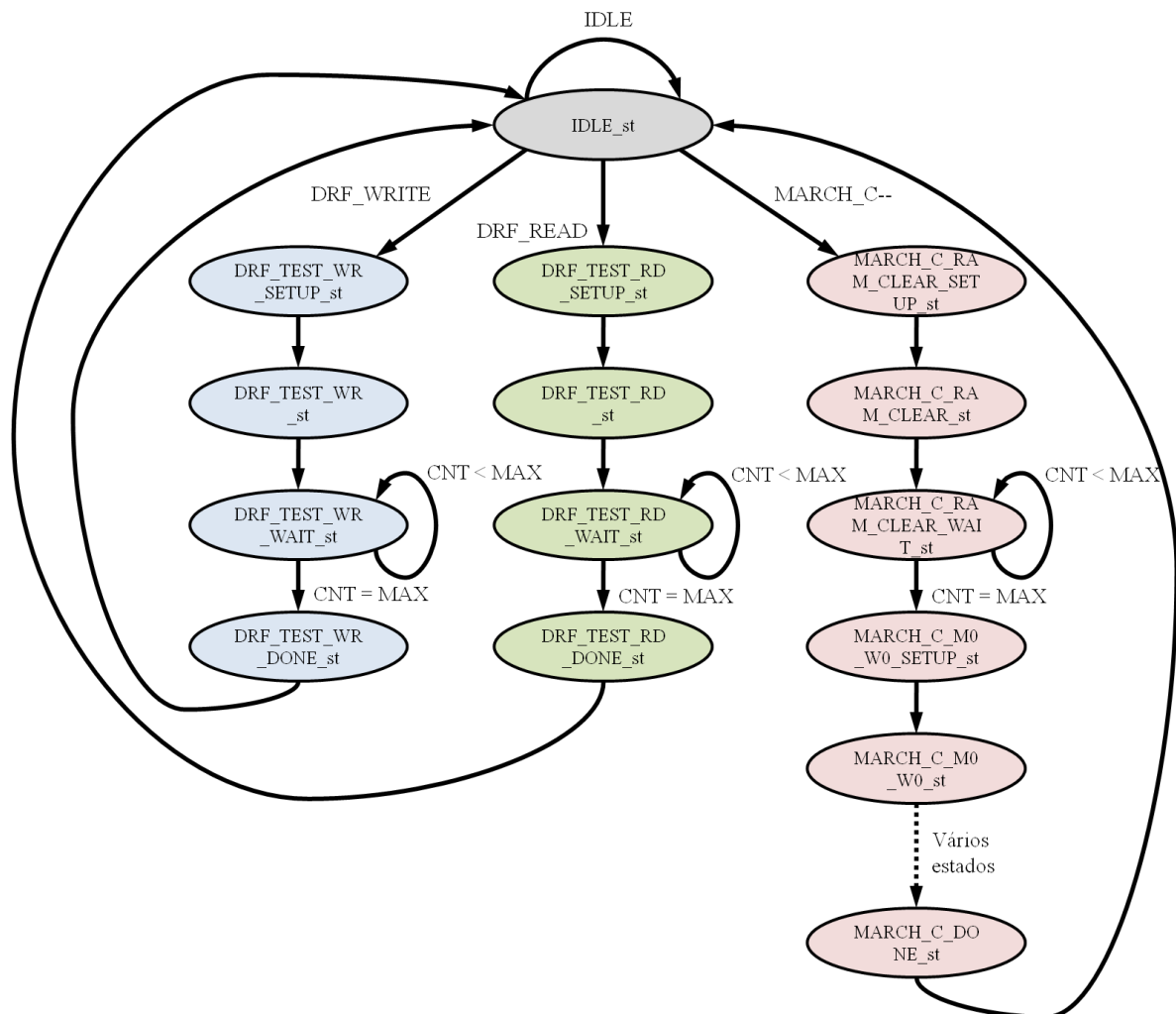


Figura 45: Máquina de estados implementada no bloco de teste de memórias (memory_test.vhd).

O teste MARCH C-- é executado em apenas uma operação. A máquina de estados faz com que cada elemento march seja executado sequencialmente, de forma que são realizadas todas as escritas e leituras previstas no teste na faixa de endereços desejada. Em cada operação de leitura o dado lido é verificado, de forma a analisar se houve falhas ou não. Para isso o dado recebido da memória é comparado ao seu valor esperado, gerando um vetor que indica as células do byte lido que apresentaram falha. Este vetor é armazenado em uma memória RAM, implementada em forma de RAM distribuída no FPGA, de forma que ao fim do teste há o registro de todas as células que apresentaram falhas. Na etapa final do teste é feita uma varredura nesta memória RAM, e é feita a contagem do número total de falhas encontradas na SRAM.

7.2.3. Simulações

Com a conclusão da implementação do bloco inicia-se a etapa de simulação do mesmo, com o objetivo de verificar se os testes implementados realmente são executados da forma planejada, efetuando as operações na sequência correta, varrendo toda a faixa de endereços desejada e armazenando os resultados da forma prevista.

Na figura 46 está representada a simulação do teste DRF de escrita, para apenas quatro endereços (do endereço 0 ao endereço 3), para que a imagem possa ser visualizada de forma adequada. Podemos observar a sequência de escritas sendo executadas da maneira esperada, varrendo toda a faixa de endereços. O dado escrito segue o padrão solicitado, AAh, e os acessos são todos realizados com sucesso.

A simulação da etapa de leitura do teste de retenção de dados está ilustrada na figura 47, para os mesmos endereços utilizados no exemplo anterior. Para esta simulação foi inserida uma falha em um dos bits do endereço 2 da memória, de forma que podemos observar este

erro na leitura do dado da memória e na captura do contador de falhas de retenção de dados, que é feita ao fim da simulação.

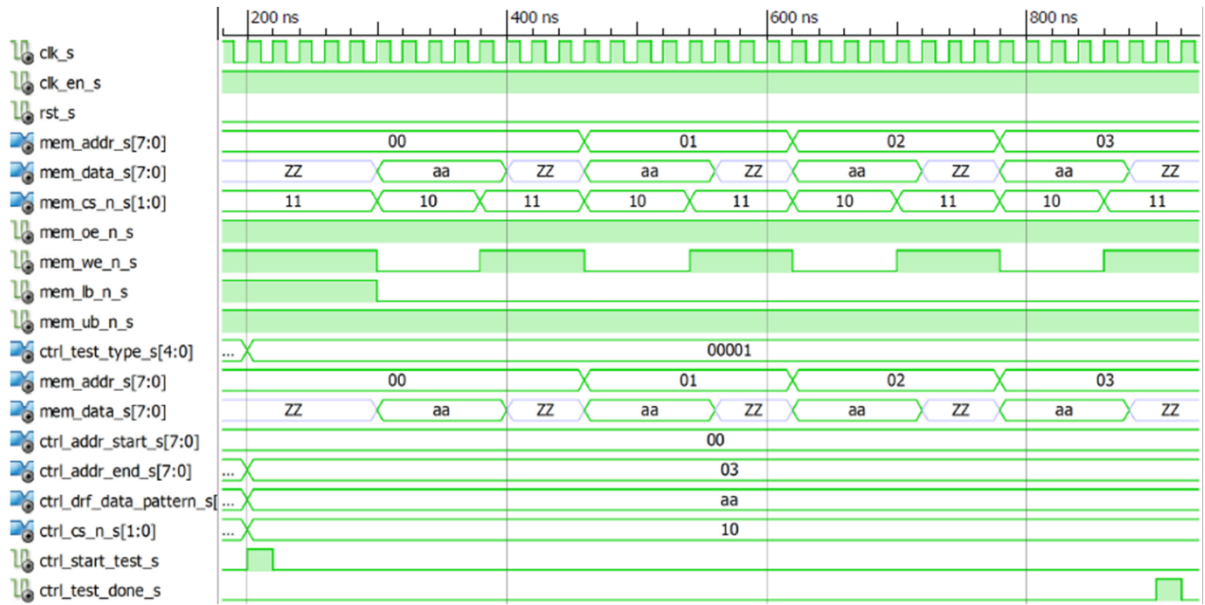


Figura 46: Simulação da etapa de escrita do teste de retenção de dados.

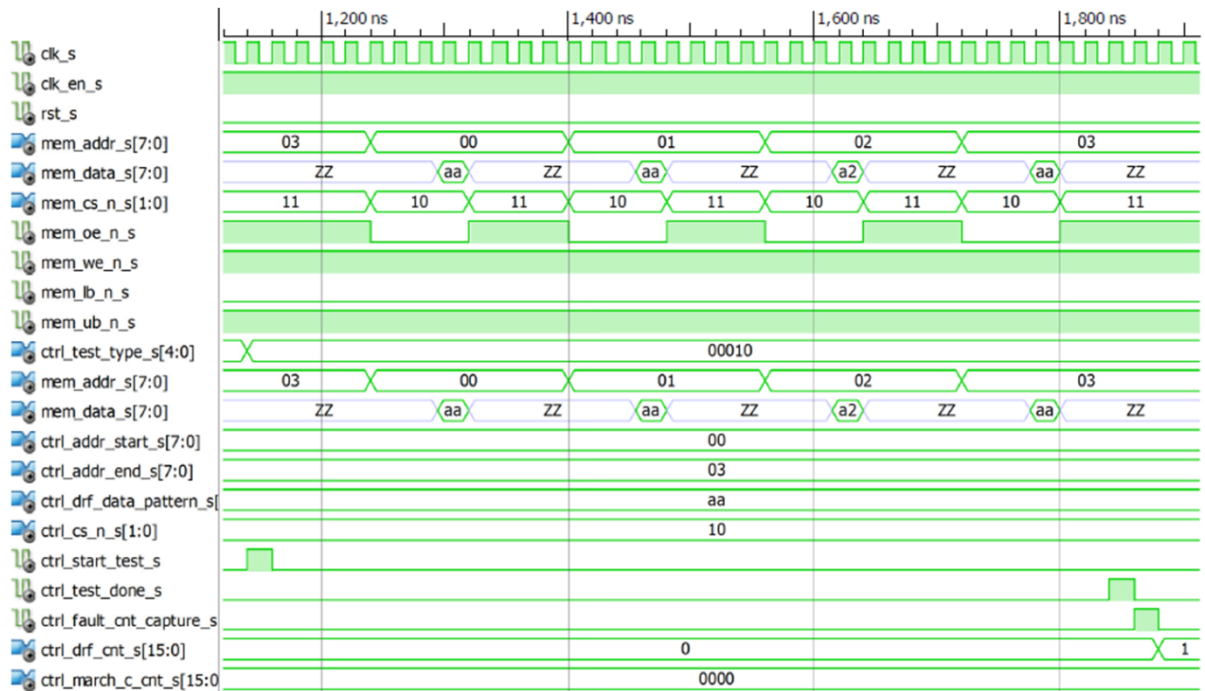


Figura 47: Simulação da etapa de leitura do teste de retenção de dados.

A partir da análise destas duas simulações descritas conclui-se que a implementação destes dois testes foi adequada, visto que visualmente todos os requisitos colocados foram atendidos.

Na figura 48 vemos um trecho do teste MARCH C--, constituído do elemento march M1. Pode ser visto que as duas etapas deste elemento march estão sendo efetuadas adequadamente. O teste MARCH C-- foi simulado por completo, ou seja, o comportamento de todos os elementos march foi avaliado, e se observou um comportamento adequado durante a execução de todo o teste. Para este teste também foi simulada a ocorrência de falhas na memória, e observou-se um correto armazenamento da ocorrência das mesmas na memória RAM implementada no FPGA, e também foi observada a varredura desta RAM ao fim do teste, para alimentar o contador de faltas, e tudo funcionou conforme planejado na implementação.

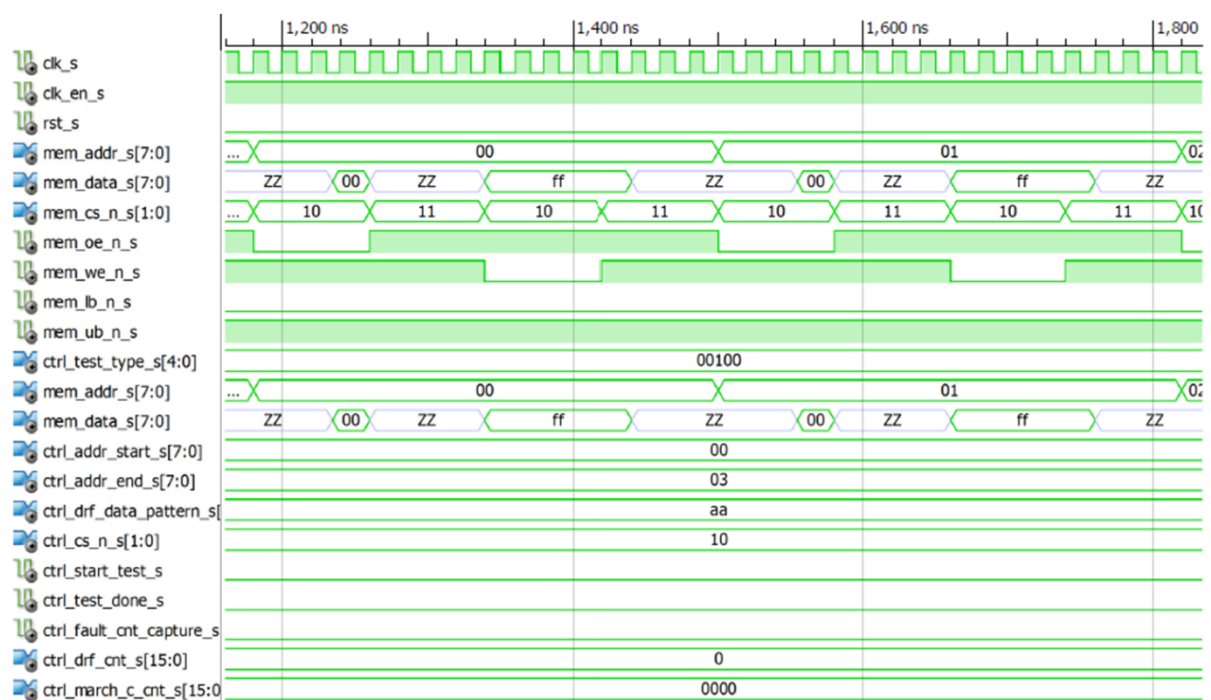


Figura 48: Simulação de um trecho do elemento M1 do teste MARCH C--.

Como todos os testes implementados foram simulados com sucesso a implementação dos testes definidos na etapa de análise de alternativas foi concluída. O desenvolvimento não abrangeu mais tipos de testes devido ao tempo curto disponível para a execução do projeto, portanto o desenvolvimento de novos testes fica para futuros trabalhos. Deve ser observado que o bloco foi desenvolvido de forma que o desenvolvimento de novos testes exija o mínimo de trabalho para qualquer pessoa que venha a trabalhar na continuação deste projeto.

8 RESULTADOS ALCANÇADOS

Este trabalho atingiu todos os objetivos colocados no início do desenvolvimento do mesmo. O primeiro objetivo era o estudo das falhas funcionais que podem ocorrer em memórias flash e SRAM, e os tipos de testes aptos a detectar e identificar estes tipos de falhas. Através destas informações deveria ser feita a escolha de alguns testes que seriam proveitosos para a avaliação de memórias em relação a seu comportamento em ambientes com níveis elevados de radiação ionizante. Nesta etapa foi definido que o teste de retenção de dados através de apenas uma escrita no início do teste e várias leituras sucessivas é fundamental para a verificação das memórias. Outros testes interessantes são todos os testes march para detecção e identificação de falhas. Para implementação durante o curto tempo disponível durante a disciplina de projeto de diplomação foi escolhido o teste March C--, que possui ampla cobertura de falhas, permitindo que diversas falhas possam ser identificadas.

O segundo objetivo, que também foi plenamente atingido, é o de desenvolvimento do *hardware* da placa de expansão da plataforma de testes de memórias, e da seleção da tecnologia que controla as memórias. Foi selecionado o uso de FPGA e o projeto da placa de expansão foi concluído com sucesso. O esquema elétrico da mesma e o seu leiaute estão disponíveis para que os trabalhos futuros confeccionem a placa e realizem testes com as memórias em ambientes com altos níveis de radiação ionizante.

O terceiro e último objetivo era o desenvolvimento dos testes selecionados, para falhas de retenção de dados e o teste MARCH C--. Estes testes foram desenvolvidos em VHDL, para a plataforma de FPGA na qual o projeto foi baseado. Todos os testes foram amplamente simulados, e todos os requisitos impostos inicialmente foram cumpridos. Os resultados da síntese dos testes desenvolvidos, em termos da utilização de recursos do FPGA, estão descritos na tabela 24. Estes resultados são obtidos para o componente presente no kit de desenvolvimento utilizado, o FPGA XC3S500E-4FG320C.

Tabela 24: Resultados da síntese dos testes desenvolvidos.

Recurso	Utilizado	Total	Utilização (%)
Slices	198	4656	4%
Slice Flip-Flops	279	9321	2%
4-input LUTs	270	9321	2%
Block RAMs	8	20	40%
Clocks Globais	1	24	4%
Frequência máxima de clock	50.000MHz	113.817MHz	-

Desta forma o principal resultado obtido foi a conclusão do projeto de uma plataforma de testes de memórias, que fica para a realização de trabalhos futuros junto à Universidade. Além disso foram disponibilizados alguns testes para a aplicação nas memórias, e a plataforma foi desenvolvida de forma a facilitar o desenvolvimento de novos testes.

9 CONCLUSÃO

O desenvolvimento deste projeto atingiu todos os objetivos propostos. Foi realizado o estudo dos efeitos da radiação ionizante em dispositivos semicondutores, especialmente em memórias flash e SRAM. Este estudo serviu como base para a sequência do trabalho.

Também foi realizado com sucesso o estudo dos tipos de falhas funcionais que podem ocorrer nos referidos tipos de memórias, e foi analisada a relação entre os efeitos da radiação ionizante e os tipos de falhas. Além disso, foram estudados diversos tipos de testes para memórias, com ênfase em testes march para detecção e identificação de falhas. Este estudo foi importantíssimo para a definição dos testes que foram implementados neste trabalho e de testes que são interessantes para desenvolvimento em trabalhos futuros.

A partir daí foi projetada a placa de circuito impresso que acomoda as duas memórias de interesse, para que as mesmas sejam submetidas à radiação ionizante na sequência deste projeto. Esta placa comunica-se com um kit de desenvolvimento do FPGA Spartan-3e da Xilinx. Neste FPGA foram implementados os testes de falhas de retenção de dados (DRF) e MARCH C-- para a SRAM, em linguagem VHDL. Os testes foram exaustivamente simulados de forma a verificar seu funcionamento adequado.

Existem diversos trabalhos que podem ser desenvolvidos na sequência deste projeto, utilizando-o como ponto de partida. O primeiro trabalho é submeter a SRAM à radiação ionizante, e aplicar os testes desenvolvidos, de forma a avaliar a ocorrência de falhas de retenção de dados e diversos outros tipos, e a relação entre elas. Outro trabalho é o desenvolvimento de novos testes, como o teste MARCH DSS para a SRAM e teste de falhas de retenção de dados para a memória flash, testes que não foram desenvolvidos neste projeto devido ao curto tempo disponível. Além disso podem ser desenvolvidas novas placas de circuito impresso, para que sejam realizados testes em outras memórias de interesse.

Enfim, os resultados do projeto foram extremamente satisfatórios, visto que todos os objetivos foram atingidos, e este trabalho cria diversas oportunidades de novos projetos, baseados na utilização da plataforma desenvolvida e ampliação da quantidade de testes disponíveis.

REFERÊNCIAS

- AL-HARBI, S. M.; NOOR, F.; AL-TURJMAN, F. M. March DSS: A New Diagnostic March Test for All Memory Simple Static Faults. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, [S. l.], v. 26, n. 9, p. 1713-1720, sep 2007.
- BUSHNELL, M. L.; AGRAWAL, V. D. **Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits**. Boston: Springer, 2000. 712p. ISBN: 0-79-237991-8.
- CELLERE, G. et al. Radiation Effects on Floating-Gate Memory Cells. **IEEE Transactions on Nuclear Science**, [S. l.], v. 48, n. 6, p. 2222-2228, dec. 2001.
- CELLERE, G. et al. Total Ionizing Dose Effects in NOR and NAND Flash Memories. **IEEE Transactions on Nuclear Science**, [S. l.], v. 54, n. 4, p. 1066-1070, aug. 2007.
- CELLERE, G.; PACCAGNELLA, A. A Review of Ionizing Radiation Effects in Floating Gate Memories. **IEEE Transactions on Device and Materials Reliability**, [S. l.], v. 4, n. 3, p. 359-370, sep. 2004.
- HAMDIOUI, S.; VAN DE GOOR, A. J.; RODGERS, M. March SS: A Test for All Static Simple RAM Faults. **IEEE International Workshop on Memory Technology, Design and Testing**, [S. l.], p. 95-100, nov. 2002.
- HIROSE. **1.27mm Pitch Multi-function Two Piece Connector: FX2 Series Datasheet**. 2011. 28 p. Disponível em: <http://www.hirose.co.jp/cataloge_hp/e57220088.pdf>. Acesso em: 11 mai. 2011.
- IROM, F. et al. Effects of Scaling in SEE and TID Response of High Density NAND Flash Memories. **IEEE Transactions on Nuclear Science**, [S. l.], v. 57, n. 6, p. 3329-3335, dec. 2010.
- ISSI. **IS66WV25616ALL/IS66WV25616BLL: Datasheet**. 2010. 16 p. Disponível em: <<http://www.issi.com/china/pdf/66WV25616ALL-BLL.pdf>>. Acesso em: 21 apr. 2011.
- NGUYEN, D. N.; LEE, C. I.; JOHNSTON, A. H. Total Ionizing Dose Effects on Flash Memories. **IEEE Radiation Effects Data Workshop**, [S. l.], p. 100-103, jul. 1998.
- OLDHAM, T. R. **Ionizing Radiation Effects in MOS Oxides**. Singapore: World Scientific, 2000. 188p. ISBN: 981-02-3326-4.
- PANIZ, V. **Simulação Elétrica do Efeito de Dose Total em Células de Memória Estática (SRAM)**. 2010. 85 f. Dissertação (Mestrado) – Escola de Engenharia, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.

SPANSION. **Am29LV040B: Datasheet**. 2009. 37 p. Disponível em: <http://www.spansion.com/Support/Datasheets/AM29LV040B_EOL_21354e5.pdf>. Acesso em: 21 apr. 2011.

VAN DE GOOR, A. J.; TLILI, I. B. S.; HAMDIOUI, S. Converting March Tests for Bit-Oriented Memories into Tests for Word-Oriented Memories. **International Workshop on Memory Technology, Design and Testing**, [S. l.], p. 46-52, aug. 1998.

VAN DE GOOR, A. J.; TLILI, I. B. S. March Tests for Word-Oriented Memories. **Design, Automation and Test in Europe**, [S. l.], p. 501-508, fev. 1998.

VAN DE GOOR, A. J. Using March Tests to Test SRAMs. **IEEE Design & Test of Computers**, [S. l.], v. 10, n. 1, p. 8-14, mar. 1993.

XILINX. **Fine-Pitch BGA (FG320/FGG320) Package**. 2005. 1 p. Disponível em: <http://www.xilinx.com/support/documentation/package_specs/fg320.pdf>. Acesso em: 03 mai. 2011.

XILINX. **Spartan-3E FPGA Family: Data Sheet**. 2009. 233 p. Disponível em: <http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf>. Acesso em: 03 mai. 2011.

XILINX. **Spartan-3E FPGA Starter Kit Board: User Guide**. 2011. 166 p. Disponível em: <http://www.xilinx.com/support/documentation/boards_and_kits/ug230.pdf>. Acesso em: 03 mai. 2011.