

# **Geração de Estímulos no Processo de Verificação Funcional**

Paulo André Haacke

A verificação funcional é o processo que pretende demonstrar que um projeto de circuito foi implementado de acordo com a sua especificação. Para conseguir isso, normalmente usa-se uma combinação de uma simples simulação lógica e casos de teste gerados para alcançar objetivos específicos. Todos os casos de teste são compilados em testbenches.

Para simular o circuito é preciso gerar as configurações de excitação relatadas na especificação. Como explicado anteriormente, essas configurações estão no testbench, onde tem como função gerar estímulos para o circuito. Dessa forma, é um processo de fundamental importância na tarefa da verificação funcional.

Inicialmente, a geração de estímulos era feita de forma direta. Com o aumento da complexidade dos circuitos, esse processo tornou-se inviável, devido principalmente ao custo em termos do tempo de simulação.

Com o objetivo de superar este desafio, os engenheiros optaram pela geração de estímulos randômicos. Dessa forma, os mesmos poderiam cobrir uma área maior do circuito, em menor tempo, encontrando somente uma maior dificuldade em acertar alguma funcionalidade-alvo. Posteriormente, com o objetivo de tornar esta tarefa mais precisa, iniciou-se a utilização da geração de estímulos randômicos limitados por regras, a qual permite atingir com maior eficiência as funcionalidades especificadas.

Visto isto, o objetivo deste trabalho é apresentar e explicar a geração de estímulos em suas várias formas, e usar a ferramenta VEasy como uma ferramenta de apoio para exemplificar a utilização da geração de estímulos randômicos com regras limitantes.