

Este trabalho está inserido no contexto de decodificação de vídeo, mais especificamente o módulo de predição Intra-quadros para o SBTVD (Sistema Brasileiro de Televisão Digital). O padrão brasileiro de TV Digital define dois modos de varredura: progressivo e entrelaçado. Foi tratado o desenvolvimento do modo entrelaçado desde a extração das informações do tipo de vídeo pelo analisador do bitstream de entrada (parser) até algoritmos e as estruturas de dados necessárias para predição Intra-quadros. O objetivo do projeto é chegar a um Chip para o receptor de TV Digital. Portanto, o desenvolvimento aqui apresentado foi balizado pelas diretrizes de um projeto de hardware, partindo de um software de referência e a descrição em VHDL para posterior síntese e validação em FPGA.

Deste modo, primeiramente, foi reimplementado o módulo de parsing do bitstream. Para isto, foi necessário a propagação de informações de entrelaçamento para a entrada do módulo de predição Intra-quadros e a re-engenharia do módulo de cálculo de Coeficientes Não Nulos, nc , para se adaptar a ordem de varredura e mudança de vizinhanças que o vídeo entrelaçado propõe. Tendo validado um caso de entrelaçamento a partir de comparação com softwares de referência foi, então, implantado o suporte no preditor Intra-quadros a partir da reimplementação dos módulos de busca de vizinhanças, decodificação de contexto e armazenamento de amostras. Com o término das implementações, o projeto foi, então, validado para o caso de entrelaçamento tipo campo.

Como resultados foi obtido um aumento de 50% na utilização de memória interna, com modificações insignificantes na frequência de operação e na área ocupada pelo projeto. Posteriormente o trabalho desenvolvido será ser utilizado na geração de um *layout* para a fabricação de um protótipo em silício.